

# 单 Halo 全耗尽应变 Si 绝缘硅金属氧化物半导体场效应管的阈值电压解析模型\*

辛艳辉<sup>†</sup> 刘红侠 范小娇 卓青青

(西安电子科技大学微电子学院, 宽禁带半导体材料与器件教育部重点实验室, 西安 710071)

(2012年11月24日收到; 2012年12月17日收到修改稿)

为了改善金属氧化物半导体场效应管 (MOSFET) 的短沟道效应 (SCE)、漏致势垒降低 (DIBL) 效应, 提高电流的驱动能力, 提出了单 Halo 全耗尽应变硅绝缘体 (SOI) MOSFET 结构, 该结构结合了应变 Si, 峰值掺杂 Halo 结构, SOI 三者的优点. 通过求解二维泊松方程, 建立了全耗尽器件表面势和阈值电压的解析模型. 模型中分析了弛豫层中的 Ge 组分对表面势、表面场强和阈值电压的影响, 不同漏电压对表面势的影响, Halo 掺杂对阈值电压和 DIBL 的影响. 结果表明, 该新结构能够抑制 SCE 和 DIBL 效应, 提高载流子的输运效率.

**关键词:** 应变 Si, 阈值电压, 短沟道效应, 漏致势垒降低

**PACS:** 85.30.De, 85.30.Hi, 85.35.-p

**DOI:** 10.7498/aps.62.108501

## 1 引言

传统绝缘硅金属氧化物半导体场效应管 (silicon-on-insulator metal oxide semiconductor field effect transistor, SOI MOSFET) 器件具有功耗低、抗干扰能力强、集成密度高 (隔离面积小)、速度高 (寄生电容小)、抗辐照能力强等优点. 随着 SOI 顶层硅膜厚度减薄到全耗尽工作状态 (硅膜厚度小于有效耗尽区宽度) 时, 全耗尽的 SOI 器件比传统 SOI 器件具有更优越的特性, 更适合于高性能超大规模集成电路 ULSI. 但是, 随着全耗尽 SOI 技术的不断发展, MOSFET 器件的尺寸缩小到深亚微米和纳米尺度, 器件的短沟道效应 (short channel effect, SCE)、漏感应势垒降低效应 (drain induced barrier lowering, DIBL) 和低驱动电流现象越来越严重<sup>[1]</sup>. 研究能抑制 SCE 并提高载流子输运效率的新器件结构已成为该领域的热点课题<sup>[2]</sup>.

应变硅技术是实际应用中一项极具吸引力的技术, 在提高晶体管的性能方面备受关注. 利用 Si 和 SiGe 材料的晶格失配产生的张应变或压应变效

应获得具有特殊性能的应变材料, 使应变 Si 中的电子和空穴的迁移率得到显著增强, 应用能带工程, 在器件设计中可以获得更大的自由度. 同时, 应变硅技术与与常规工艺有良好的兼容性, 已得到广泛的研究<sup>[3-5]</sup>.

当器件缩小到 100 nm 以下时, SOI MOSFET 的 DIBL 效应比较明显, 近年来, Halo 技术通过在沟道源/漏端注入较高的杂质浓度, 能够提高载流子输运效率, 并对 DIBL 有一定的抑制效果. 研究表明, Halo 结构可以抑制源-漏穿通效应, 减小阈值电压降低幅度, 提高载流子输运效率<sup>[6,7]</sup>. Halo 结构有对称的, 也有非对称的. 已有报道表明, 仅在沟道靠近源端处引入 Halo 区, 可以在很大程度上降低关态截止电流<sup>[8]</sup>.

本文集应变 Si 技术, Halo 结构和 SOI 结构的优点于一体, 提出了单 Halo 全耗尽应变 Si SOI MOSFET 结构, 在沟道靠近源端处引入 Halo 区, 通过精确求解二维泊松方程, 为新型器件结构建立了全耗尽条件下的解析模型, 模型中计算了沟道中两个不同掺杂区域的表面势模型和阈值电压模型, 分别探讨了应变对表面势、表面场强和阈值电压的影响,

\* 国家自然科学基金 (批准号: 60976068, 61076097) 和教育部博士点基金资助项目 (批准号: 20110203110012) 资助的课题.

<sup>†</sup> 通讯作者. E-mail: xinyanhui@ncwu.edu.cn

以及 Halo 结构对新器件的阈值电压和 DIBL 的影响.

## 2 表面势模型

图 1 为单 Halo 全耗尽应变 Si SOI MOSFET 结构示意图, 在沟道靠近源端处引入 Halo 区, 其掺杂浓度  $N_1$  大于其他区域的掺杂浓度  $N_2$ , 考虑 Halo 沟道掺杂的特点, 沟道分成两个区域.

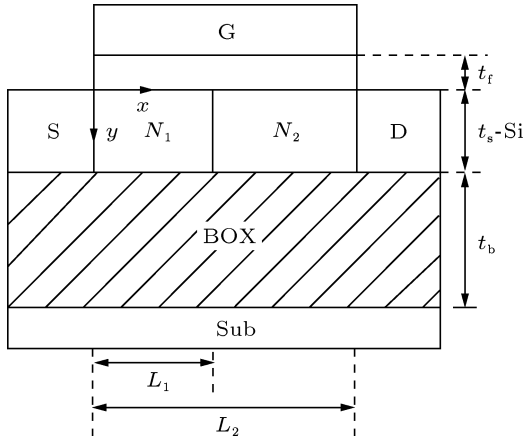


图 1 单 Halo 全耗尽应变 Si SOI MOSFET 结构示意图

忽略固定氧化层电荷对沟道电势的影响, 考虑短沟道, 所以弱反型时沟道电势分布可以用二维泊松方程表示为

$$\frac{\partial^2 \phi_j(x, y)}{\partial x^2} + \frac{\partial^2 \phi_j(x, y)}{\partial y^2} = \frac{qN_j}{\epsilon_{Si}},$$

$$L_{j-1} \leq x \leq L_j, \quad 0 \leq y \leq t_{s-Si}, \quad j = 1, 2, \quad (1)$$

其中,  $\epsilon_{Si}$  为应变硅的介电常数,  $L_0 = 0$ .

当漏端偏压  $V_{DS}$  较小时,  $\phi_j(x, y)$  的纵向电势采用抛物线近似:

$$\phi_j(x, y) = \phi_{Sj}(x) + C_{j1}(x)y + C_{j2}(x)y^2,$$

$$L_{j-1} \leq x \leq L_j, \quad 0 \leq y \leq t_{s-Si}, \quad j = 1, 2, \quad (2)$$

$\phi_{Sj}(x) = \phi_j(x, 0)$ ,  $j = 1, 2$  分别为应变 Si 沟道两个掺杂区域的正面表面电势,  $C_{j1}(x)$ ,  $C_{j2}(x)$  是仅与  $x$  有关的函数.

1) 根据硅层正面与栅介质层的电通量连续, 得

$$\left. \frac{d\phi_j(x, y)}{dy} \right|_{y=0} = \frac{\epsilon_f}{\epsilon_{Si}} \frac{\phi_{Sj}(x) - V'_{GSj}}{t_f}, \quad (3)$$

这里,  $V'_{GSj} = V_{GS} - (V_{FB, fj})_{s-Si}$ ,  $j = 1, 2$ , 式中,  $\epsilon_f$  为栅介质的介电常数,  $t_f$  为栅介质层的厚度,  $V'_{GSj}$ ,  $j = 1, 2$  为两个掺杂区域的有效栅压,  $V_{GS}$  为栅源电压,  $(V_{FB, fj})_{s-Si}$ ,  $j = 1, 2$  为金属栅和应变 Si 沟道两个不

同掺杂区域之间的平带电压. 由于应变, 相应参数得到了修正<sup>[9,10]</sup>:

$$(V_{FB, fj})_{s-Si} = (V_{FB, fj})_{Si} + \Delta V_{FB, fj} \quad j = 1, 2,$$

$$(V_{FB, fj})_{Si} = \phi_M - \phi_{Si j} \quad j = 1, 2,$$

$$\phi_{Si j} = \frac{\chi_{Si}}{q} + \frac{E_{g, Si}}{2q} + V_T \ln \left( \frac{N_j}{n_{i, Si}} \right) \quad j = 1, 2,$$

$$\Delta V_{FB, fj} = \frac{-(\Delta E_C)_{s-Si}}{q} + \frac{(\Delta E_g)_{s-Si}}{q} - V_T \ln \left( \frac{N_{V, Si}}{N_{V, s-Si}} \right),$$

$$(\Delta E_C)_{s-Si} = 0.57x,$$

$$(\Delta E_g)_{s-Si} = 0.4x,$$

$$V_T \ln \left( \frac{N_{V, Si}}{N_{V, s-Si}} \right) = V_T \ln \left( \frac{m_{h, Si}^*}{m_{h, s-Si}^*} \right)^{3/2} \approx 0.075x,$$

其中,  $(V_{FB, fj})_{Si}$ ,  $j = 1, 2$  为金属栅和体硅沟道两个不同掺杂区域之间的平带电压,  $\phi_M$  和  $\phi_{Si j}$ ,  $j = 1, 2$  分别为为金属栅和两个掺杂区域体硅的功函数.

2) 根据硅层背面与埋氧层界面处的电通量连续, 得

$$\left. \frac{d\phi_j(x, y)}{dy} \right|_{y=t_{s-Si}} = \frac{\epsilon_{ox}}{\epsilon_{Si}} \frac{V'_{SUBj} - \phi_j(x, t_{s-Si})}{t_b}$$

$$j = 1, 2, \quad (4)$$

这里,  $\epsilon_{ox}$  为埋氧层的介电常数,  $t_b$  为埋氧层厚度,  $V'_{SUBj} = V_{SUB} - (V_{FB, bj})_{s-Si}$ ,  $(V_{FB, bj})_{s-Si} = (V_{FB, bj})_{Si} + \Delta V_{FB, bj}$ ,  $j = 1, 2$ , 式中,  $V_{SUB}$  为衬底电压,  $(V_{FB, bj})_{s-Si}$ ,  $j = 1, 2$  分别为衬底和应变 Si 沟道两个不同掺杂区域之间的平带电压. 由于应变, 相应参数得到了修正<sup>[9,10]</sup>:

$$(V_{FB, bj})_{s-Si} = (V_{FB, bj})_{Si} + \Delta V_{FB, bj} \quad j = 1, 2,$$

$$(V_{FB, bj})_{Si} = \phi_{SUB} - \phi_{Si j} \quad j = 1, 2,$$

$$\phi_{SUB} = \frac{\chi_{Si}}{q} + \frac{E_{g, Si}}{2q} + V_T \ln \left( \frac{N_{SUB}}{n_{i, Si}} \right),$$

$$\phi_{Si j} = \frac{\chi_{Si}}{q} + \frac{E_{g, Si}}{2q} + V_T \ln \left( \frac{N_j}{n_{i, Si}} \right),$$

$$\Delta V_{FB, bj} = \frac{-(\Delta E_C)_{s-Si}}{q} + \frac{(\Delta E_g)_{s-Si}}{q} - V_T \ln \left( \frac{N_{V, Si}}{N_{V, s-Si}} \right),$$

其中,  $(V_{FB, bj})_{Si}$ ,  $j = 1, 2$  为衬底和体硅之间的平带电压,  $\phi_{SUB}$  为衬底的功函数,  $N_{SUB}$  为衬底的掺杂浓度,  $n_{i, Si}$  为本征 Si 的掺杂浓度.

通过边界条件 (3), (4) 式, 可得  $C_{j1}(x)$ ,  $C_{j2}(x)$  的表达式. 将其代入 (2) 式然后再代入 (1) 式, 并令  $y = 0$ , 可得表面势方程:

$$\frac{d^2 \phi_{Sj}(x)}{dx^2} - \lambda^2 \phi_{Sj} = \beta_j \quad j = 1, 2, \quad (5)$$

其中,

$$\lambda^2 = \frac{2(C_b C_{s-Si} + C_f C_{s-Si} + C_f C_b)}{t_{s-Si}^2 C_{s-Si} (2C_{s-Si} + C_b)},$$

$$\beta_j = \frac{qN_j}{\epsilon_{Si}} - 2V'_{GSj} \frac{C_f(C_{s-Si} + C_b)}{t_{s-Si}^2 C_{s-Si} (2C_{s-Si} + C_b)} - 2V'_{SUBj} \frac{C_b}{t_{s-Si}^2 (2C_{s-Si} + C_b)} \quad j = 1, 2,$$

这里,  $C_{s-Si} = \epsilon_{Si}/t_{s-Si}$ ,  $C_f = \epsilon_f/t_f$ ,  $C_b = \epsilon_{ox}/t_b$  分别为应变硅层、栅介质层、埋氧层的等效电容, 而  $t_{s-Si}$ ,  $t_f$ ,  $t_b$  分别为应变硅层、栅介质层、埋氧层的厚度.

方程 (5) 是简单的二阶常微分方程, 其解的形式如下:

$$\phi_{Sj}(x) = A_j \exp(\lambda x) + B_j \exp(-\lambda x) - \sigma_j, \quad (6)$$

其中,  $\sigma_j = \frac{\beta_j}{\lambda^2} \quad j = 1, 2.$

1) 根据表面势和电场在两个区的交界处连续, 得

$$\phi_1(L_1, 0) = \phi_2(L_1, 0), \quad (7)$$

$$A_1 = \frac{(V_{bi, s-Si} + \sigma_2 + V_{DS}) - (\sigma_1 + V_{bi, s-Si}) \exp(-\lambda L) + (\sigma_1 - \sigma_2) \cosh(\lambda(L - L_1))}{2 \sinh(\lambda L)},$$

$$B_1 = \frac{(V_{bi, s-Si} + \sigma_1) \exp(\lambda L) - (V_{bi, s-Si} + \sigma_2 + V_{DS}) - (\sigma_1 - \sigma_2) \cosh(\lambda(L - L_1))}{2 \sinh(\lambda L)},$$

$$A_2 = A_1 - \frac{\sigma_1 - \sigma_2}{2} \exp(-\lambda L_1),$$

$$B_2 = B_1 - \frac{\sigma_1 - \sigma_2}{2} \exp(\lambda L_1).$$

沿沟道的电场决定了电子的通过沟道的输运速度, 金属栅下的电场为

$$E_j(x) = \lambda A_j \exp(\lambda x) - \lambda B_j \exp(-\lambda x) \quad j = 1, 2.$$

### 3 阈值电压模型

两个区域的掺杂浓度  $N_1 > N_2$ , 表面势的最小值位于  $0 \leq x \leq L_1$  的区域, 如图 2 所示. 该最小值决定整个沟道的阈值电压  $V_{th}$ . 由 (6) 式,

$$\frac{d\phi_{S1}(x)}{dx} = 0,$$

可得前沟道最小表面势及其位置,

$$\phi_{S, \min} = 2\sqrt{A_1 B_1} - \sigma_1, \quad (11)$$

$$x_{\min} = \frac{1}{2\lambda} \ln\left(\frac{B_1}{A_1}\right), \quad (12)$$

阈值电压定义为  $\phi_{S, \min}$  等于  $0 \leq x \leq L_1$  区域的费米势的 2 倍, 即  $\phi_{S, \min} = 2\phi_{F, Si}$  时的栅源电压. 考虑到

$$\left. \frac{d\phi_1(x, y)}{dx} \right|_{x=L_1} = \left. \frac{d\phi_2(x, y)}{dx} \right|_{x=L_1} \quad (8)$$

2) 源区的边界条件为

$$\phi_1(0, 0) = \phi_{S1}(0) = V_{bi, s-Si}. \quad (9)$$

考虑到应变, 相应参数得到了修正 [9]:

$$V_{bi, s-Si} = V_{bi, Si} + \Delta(V_{bi})_{s-Si},$$

$$V_{bi, Si} = \frac{E_{g, Si}}{2q} + \phi_{F, Si} = \frac{E_{g, Si}}{2q} + V_T \ln\left(\frac{N_1}{n_{i, Si}}\right),$$

$$(\Delta V_{bi})_{s-Si} = \frac{-(\Delta E_g)_{s-Si}}{q} - V_T \ln\left(\frac{N_{V, Si}}{N_{V, s-Si}}\right).$$

3) 漏区的边界条件为

$$\phi_2(L_2, 0) = \phi_{S2}(L_2) = V_{bi, s-Si} + V_{DS}. \quad (10)$$

由边界条件 (7)—(10) 式可得 (6) 式中系数  $A_j, B_j$  的表达式:

应变, 前栅表面势的最小值修正 [11] 为

$$\phi_{S, \min} = 2\phi_{F, Si} + \Delta\phi_{s-Si} = \phi_{th}, \quad (13)$$

其中,  $\phi_{F, Si} = V_T \ln\left(\frac{N_1}{n_{i, Si}}\right)$ ,  $\Delta\phi_{s-Si} = \frac{-(\Delta E_g)_{s-Si}}{q} + V_T \ln\left(\frac{N_{V, Si}}{N_{V, s-Si}}\right)$ .

当  $C_b \ll C_{s-Si}$ ,  $C_b \ll C_f$  时, 把 (13) 式代入 (11) 式得到阈值电压:

$$V_{th} = \frac{-\eta + \sqrt{\eta^2 - 4\zeta\xi}}{2\zeta}, \quad (14)$$

$$\zeta = 2 \cosh(\lambda L) - 2 - \sinh^2(\lambda L),$$

$$\eta = (1 - e^{\lambda L}) \cdot V_{b1} + (e^{-\lambda L} - 1) \cdot V_{b2}$$

$$+ 2 \sinh^2(\lambda L) \cdot (U_1 + \phi_{th}),$$

$$\xi = V_{b1} \cdot V_{b2} - \sinh^2(\lambda L) \cdot (U_1 + \phi_{th})^2,$$

$$V_{b1} = -e^{-\lambda L} (V_{bi, s-Si} + U_1)$$

$$+ (U_1 - U_2) \cosh(\lambda(L - L_1))$$

$$+ (V_{bi, s-Si} + V_{DS} + U_2),$$

$$V_{b2} = e^{\lambda L} (V_{bi, s-Si} + U_1)$$

$$- (U_1 - U_2) \cosh(\lambda(L - L_1))$$

$$\begin{aligned}
 & - (V_{bi, s-Si} + V_{DS} + U_2), \\
 U_j &= \frac{qN_j t_{s-Si}}{C_f} + (V_{FB, fj})_{s-Si} - V'_{SUBj} \frac{C_b}{C_f} \\
 & j = 1, 2.
 \end{aligned}$$

### 4 结果分析与讨论

文中采用下列参数对上面表面势模型和阈值电压模型进行了分析和验证. 栅极采用功函数  $\phi_M = 4.77 \text{ eV}$  的金属材料 (如 TiN), 所用参数如表 1 所示, 其中,  $N_1, N_2$  分别为沟道两个不同掺杂区域的掺杂浓度,  $L$  为沟长,  $L_1$  为 Halo 掺杂区域的长度. 文中的非 Halo 掺杂器件, 沟道掺杂浓度  $N = 1 \times 10^{18} \text{ cm}^{-3}$ , 其他参数和 Halo 掺杂器件相同.

表 1 所用参数列表

$N_1/\text{cm}^{-3}$	$N_2/\text{cm}^{-3}$	$N_{SUB}/\text{cm}^{-3}$	$t_f/\text{nm}$	$t_{s-Si}/\text{nm}$	$t_b/\text{nm}$	$L_1/\text{nm}$	$L/\text{nm}$
$4 \times 10^{18}$	$1 \times 10^{18}$	$1 \times 10^{17}$	2	25	200	20	50

图 2 给出了弛豫层的 Ge 组分  $X$  不同时, 前栅与应变硅界面沿沟道方向的表面势分布情况. 从图 2 可以看出, 由于 Halo 结构使表面势最小值位于高掺杂的  $N_1$  区, 在该处产生一个电势阶梯, 位于  $N_1$  区的表面势最小值决定了器件的阈值电压. 在源端和漏端表面势随弛豫层中 Ge 组分的增加而减小, Ge 组分越大其表面势越小; 在沟道中间段其表面电势则随 Ge 组分的增加而增加, Ge 组分越大其表面势越大, 意味着其阈值电压较低. 从图 2 可以明显看出, 垂直沟道方向的表面势分布呈抛物线形状, 证实了抛物线分布假设的正确性.

图 3 为不同漏源电压下沿沟道方向的表面势. 由图可看出, 由于 Halo 掺杂的存在, 引入了电势阶梯分布, Halo 区下的电势分布几乎不受漏电压的影响, 最小电势点的漂移几乎为零, 增加的漏源偏压基本都降在 Halo 区边界和漏端之间. 采用 Halo 结构器件可以消除 SCE 和 DIBL 效应的影响, 器件还可以进一步缩小.

图 4 给出了 Halo 结构器件和非 Halo 结构器件相比, 最小表面势位置随栅长  $L$  的变化. 可以看出, Halo 结构器件的最小表面势位置大幅度向源端移动, 使进入沟道的载流子更早地加速, 使载流子输运速度得到提高, 从而提高了器件跨导及截止频率 [12]. 而且最小表面势位置总是位于 Halo 区

( $L_1 = 20 \text{ nm}$ ), 几乎不变, 因此可以最大限度地抑制短沟道效应. 而非 Halo 结构器件的最小表面势点, 随着沟道长度的增大, 向漏端移动, 不利于载流子输运速度的提高, 而且相对于 Halo 结构器件出现较严重的短沟道效应.

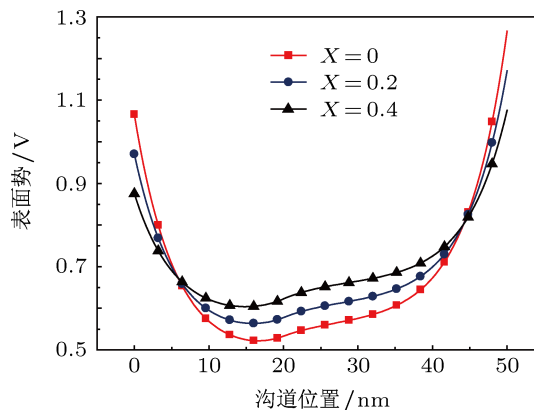


图 2 不同 Ge 组分下, 沿沟道方向的表面势

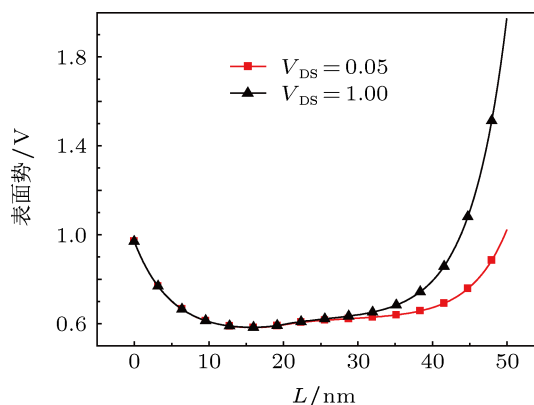


图 3 漏源电压不同, 沿沟道方向的表面势

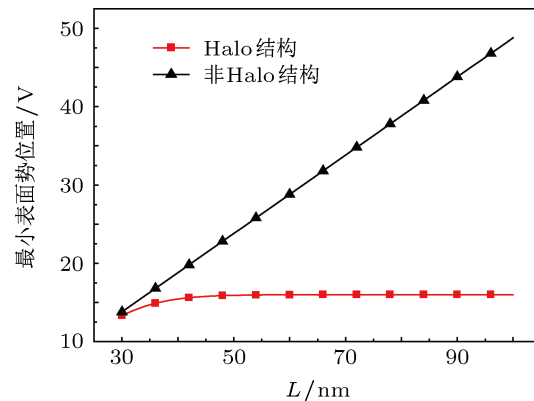


图 4 Halo 结构和非 Halo 结构最小表面势位置随栅长  $L$  的变化

图 5 表示弛豫层的 Ge 组分不同, 表面场强沿沟道的分布情况. 可以看出, 在 Halo 边界附近, 有一个电场峰值. 正是这个电场峰值可以对载流子起到加速的作用, 从而提高载流子传输效率. 同时也可以观察到表面电场随沿沟道水平距离的增加而增加; 在源端表面电场随弛豫层中 Ge 组分的增加而增加, 但是在漏端表面电场则随弛豫层中 Ge 组分的增加而减小.

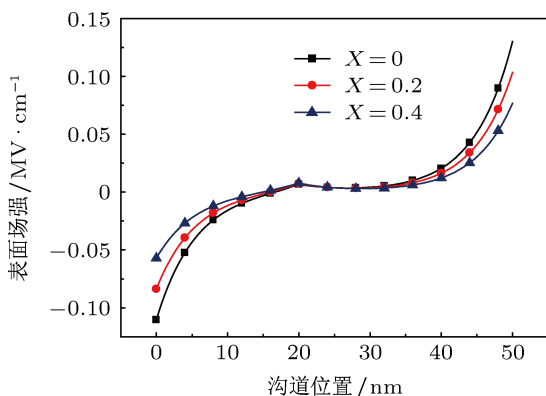


图 5 不同 Ge 组分 X, 表面场强沿沟道的分布

图 6 给出了不同条件下阈值电压随  $L$  的变化. Ge 组分  $X$  相同时, Halo 器件和非 Halo 器件相比阈值电压增大, 这是由于 Halo 器件的 Halo 区沟道掺杂浓度较大, 电离受主的影响使得沟道内反型载流子面密度减小, 导致阈值电压变大; 对于掺杂浓度确定的 Halo 器件和非 Halo 器件, 随着沟长的减小, 阈值电压降低, 沟长越小, 其降低幅度越大. 这是由于随着沟长的减小, 源端的势垒高度降低, 载流子更容易注入到沟道区, 因此导致阈值电压降低, 其降低幅度随沟道长度的减小而增大; 对 Halo 或非 Halo 器件, 在特定沟道长度下, 应变沟道的应变越大其阈值电压越小. 这是由于弛豫层中 Ge 组分增加, 应变 Si 应变加强, 禁带宽度进一步减小,  $\Delta E_c$  增大, 本征载流子浓度和沟道电子面密度均提高, 从而导致阈值电压减小. 同时可以观察到, 对于非 Halo 掺杂器件, 当沟道长度小于 40 nm 后, 阈值电压随沟道长度的减小有明显的降落. 即当沟道长度小于 40 nm 后短沟道效应比较严重. 对于 Halo 掺杂器件, 当沟道长度小于 30 nm 后, 阈值电压随沟道长度减小有明显的降落. 故该结构较非 Halo 掺杂器件有较好的抑制短沟道效应的能力.

图 7 为 Ge 组分  $X = 0.2$  时, DIBL (用  $\Delta V_{th} / \Delta V_{ds}$  描述) 随  $L$  的变化曲线, 其中,  $\Delta V_{th} = V_{th}|_{V_{ds}=0.05} - V_{th}|_{V_{ds}=2}$ . 可以看出, Halo 掺杂器件的 DIBL 比非

Halo 掺杂器件的 DIBL 小, 分析结果表明 Halo 掺杂结构能抑制漏致势垒降低效应.

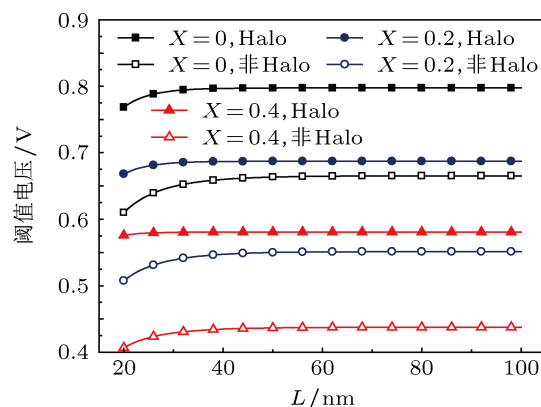


图 6 Ge 组分 X 不同, Halo 结构和非 Halo 结构比较, 阈值电压随栅长  $L$  的变化

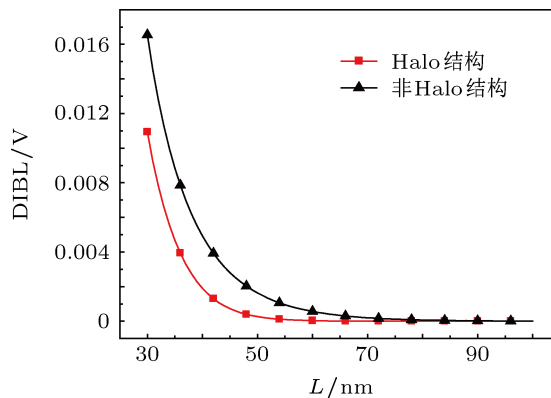


图 7 Halo 结构和非 Halo 结构, DIBL 随栅长  $L$  的变化

## 5 结论

结合应变 Si, Halo 掺杂, SOI 三者的优点, 提出了单 Halo 全耗尽应变 Si SOI MOSFET 结构, 通过求解二维泊松方程, 建立了全耗尽器件表面势和阈值电压的解析模型. 讨论了应变对沟道表面势、表面电场、阈值电压的影响. 结果表明, 在沟道中间段, Ge 组分越大其表面势越大, 靠近源漏端, Ge 组分越大其表面势越小. 在 Ge 组分相同时, Halo 器件比非 Halo 器件的阈值电压大; 在特定的沟道长度情况下应变沟道的应变越大其阈值电压越小. 考虑了在不同漏源电压下表面势随栅长  $L$  的变化, 由于 Halo 掺杂的存在, Halo 区下的电势分布几乎不受漏电压的影响. 同时, 将 Halo 结构器件和非 Halo 结构器件对漏致势垒降低的影响进行了对比分析. 分析结果表明, 提出的新结构对短沟道效应和漏致势垒降低效应有很好的抑制作用.

- [1] He J, Chan M, Xi X M 2006 *Chin. J. Semicond.* **27** 388
- [2] Murali R, Austin B L, Wang L 2004 *IEEE Trans. Electron Dev.* **51** 940
- [3] Wang X Y, Zhang H M, Song J J, Ma J L, Wang G Y, An J H 2011 *Acta Phys. Sin.* **60** 077205 (in Chinese) [王晓艳, 张鹤鸣, 宋建军, 马建立, 王冠宇, 安久华 2011 物理学报 **60** 077205]
- [4] Li J, Liu H X, Li B, Cao L, Yuan B 2010 *Acta Phys. Sin.* **59** 8131 (in Chinese) [李劲, 刘红侠, 李斌, 曹磊, 袁博 2010 物理学报 **59** 8131]
- [5] Qu J T, Zhang H M, Qin S S, Xu X B, Wang X Y, Hu H Y 2011 *Acta Phys. Sin.* **60** 098501 (in Chinese) [屈江涛, 张鹤鸣, 秦珊珊, 徐小波, 王晓艳, 胡辉勇 2011 物理学报 **60** 098501]
- [6] Li Z C 2008 *Chin. Phys. B* **17** 4312
- [7] Djeflal F, Meguellati M, Benhaya A 2009 *Physica E* **41** 1872
- [8] Reddy G V, Kumar M J 2004 *Microelectron. J.* **35** 761
- [9] Venkataraman V, Nawal S, Kummer M J 2007 *IEEE Trans. Electron Dev.* **54** 554
- [10] Kummer M J, Venkataraman V, Nawal S 2006 *IEEE Trans. Electron Dev.* **53** 364
- [11] Young K K 1989 *IEEE Trans. Electron Dev.* **36** 399
- [12] Reddy G V, Kumar M J 2005 *IEEE Trans. Nanotechnol.* **4** 260

# Threshold voltage analytical model of fully depleted strained Si single Halo silicon-on-insulator metal-oxide semiconductor field effect transistor\*

Xin Yan-Hui<sup>†</sup> Liu Hong-Xia Fan Xiao-Jiao Zhuo Qing-Qing

(Key Laboratory for Wide Band Gap Semiconductor Materials and Devices of Education, School of Microelectronics, Xidian University, Xi'an 710071, China)

(Received 24 November 2012; revised manuscript received 17 December 2012)

## Abstract

A single Halo fully depleted strain Si Silicon-On-insulator (SOI) structure, which has the advantages of strained Si, Halo doping, and SOI structure, is proposed to improve driving current, suppress the short channel effect (SCE) and drain induced barrier lowering (DIBL) effect. A two-dimensional analytical model for the surface potential, the surface electric field and the threshold voltage is proposed by solving Poisson's equation. The effects of Ge fraction in the relaxed layer on surface potential and threshold voltage are investigated. In the paper we analyze the influence of drain voltage on surface potential. Finally the effects of Halo doping on threshold voltage and DIBL are investigated. The results show that the novel device can suppress the short channel effect and DIBL effect, and increase carrier transport speed.

**Keywords:** strained Si, threshold voltage, short channel effect, drain induced barrier lowering

**PACS:** 85.30.De, 85.30.Hi, 85.35.-p

**DOI:** 10.7498/aps.62.108501

\* Project supported by the National Natural Science Foundation of China (Grant Nos. 60976068, 61076097), and Specialized Research Fund for the Doctoral Program of Higher Education, China (Grant No. 20110203110012).

<sup>†</sup> Corresponding author. E-mail: xinyanhui@ncwu.edu.cn