

环栅肖特基势垒金属氧化物半导体场效应管 漏致势垒降低效应研究

许立军[†] 张鹤鸣

(西安电子科技大学微电子学院, 宽禁带半导体材料与器件重点实验室, 西安 710071)

(2012年12月13日收到; 2012年12月27日收到修改稿)

结合环栅肖特基势垒金属氧化物半导体场效应管 (MOSFET) 结构, 通过求解圆柱坐标系下的二维泊松方程得到了表面势分布, 并据此建立了适用于低漏电压下的环栅肖特基势垒 NMOSFET 阈值电压模型. 根据计算结果, 分析了漏电压、沟道半径和沟道长度对阈值电压和漏致势垒降低的影响, 对环栅肖特基势垒 MOSFET 器件以及电路设计具有一定的参考价值.

关键词: 环栅肖特基势垒金属氧化物半导体场效应管, 二维泊松方程, 阈值电压模型, 漏致势垒降低

PACS: 85.30.De, 73.40.Qv, 02.60.Cb

DOI: 10.7498/aps.62.108502

1 引言

随着金属氧化物半导体场效应管 (MOSFET) 特征尺寸的不断缩小, 将不可避免地遭遇到短沟道效应和工艺难点. 采用多栅结构如双栅、鳍型栅及环栅能有效抑制短沟道效应, 其中环栅 MOSFET 的栅控能力最强, 抑制短沟道效应最有效^[1]. 另外, 使用肖特基势垒做源漏也是实现小尺寸 MOSFET 的一种有效方法. 肖特基源漏的优点是低热开销工艺, 原子级突变结抑制短沟道效应, 低串联和接触电阻, 完全消除闭锁效应, 以及能够集成高 k 栅介质、金属栅和应变硅沟道等关键新材料. 将上述两种结构结合起来的环栅肖特基势垒 MOSFET, 被认为是最具前景的纳米器件之一^[2].

漏致势垒降低 (drain-induced barrier-lowering, DIBL) 是 MOSFET 短沟道效应中不可忽视的重要物理效应, 表现在漏电压引起的阈值电压降低, 很大程度上影响到器件的电流电压特性, 成为电路设计中 MOSFET 应用的一个重要物理限制. 研究 DIBL 效应必须先得到阈值电压模型. 关于掺杂源漏 MOSFET 阈值电压的研究较多^[3,4], 但对肖特

基势垒 MOSFET 的研究却甚少. Knoch 等^[5] 应用固定电流法推导出了绝缘衬底上的硅肖特基势垒 MOSFET 的阈值电压模型, 但需要先完整地建立电流模型, 过程相对复杂; Xu 等^[6] 和 Li 等^[7] 分别认为沟道最小表面势等于一倍和两倍肖特基势垒高度时的栅电压为阈值电压, 物理意义不明确; Tang 等^[8,9] 给出了肖特基势垒 MOSFET 阈值电压的明确物理意义, 但并没有给出具体的解析模型.

目前对环栅肖特基势垒 MOSFET 的研究主要集中在电流电压特性和亚阈值斜率方面, 对 DIBL 的研究基本处于空白阶段. 为此, 本文通过求解圆柱坐标系下的二维泊松方程, 获得了环栅肖特基势垒 NMOSFET 的表面势分布, 并在文献 [9] 的工作基础上导出了二维阈值电压模型, 进一步分析了影响阈值电压和 DIBL 变化的因素.

2 模型推导

图 1 表示一个采用 $\text{ErSi}_{1.7}$ 做源漏的 N 型环栅肖特基势垒 MOSFET 结构. R 是硅柱半径, L 是硅柱沟道的长度, t_{ox} 是栅氧层厚度, 采用二氧化硅, N_A 是硅柱掺杂浓度. $\phi(r, z)$, $\phi_c(z)$ 和 $\phi_s(z)$ 分别表示

[†] 通讯作者. E-mail: 1320550176@qq.com

硅柱的二维电势、中心电势和表面电势分布, V_g , V_d 和 V_s 分别表示作用在栅极、漏极和源极的电压。

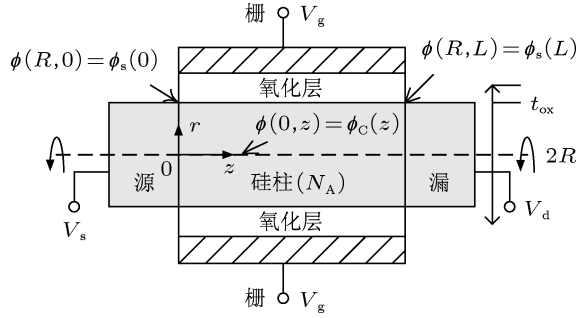


图1 环栅肖特基势垒 NMOSFET 结构

R 较小时硅柱全耗尽, 在圆柱坐标系下关于电势的二维泊松方程可表示为

$$\frac{1}{r} \frac{\partial}{\partial r} \left(r \frac{\partial}{\partial r} \phi(r, z) \right) + \frac{\partial^2}{\partial z^2} \phi(r, z) = \frac{qN_A}{\epsilon_{Si}}, \quad (1)$$

这里 q 是电子电量, ϵ_{Si} 是硅的介电常数. 对 $\phi(r, z)$ 在沟道内沿着半径方向做抛物线函数近似, 可假设

$$\phi(r, z) = a_0(z) + a_1(z)r + a_2(z)r^2, \quad (2)$$

这里相关系数 $a_0(z)$, $a_1(z)$, $a_2(z)$ 是关于 z 的函数, 方程 (1) 必须满足下列边界条件:

$$\begin{cases} \phi(0, z) = a_0(z) = \phi_c(z), \\ \phi(R, z) = \phi_s(z), \\ \left. \frac{\partial}{\partial r} \phi(r, z) \right|_{r=0} = a_1(z) = 0, \\ \left. \frac{\partial}{\partial r} \phi(r, z) \right|_{r=R} = \frac{C_{ox}}{\epsilon_{Si}} [V_{gs} - V_{FB} - \phi_s(z)] = 2Ra_2(z), \end{cases} \quad (3)$$

这里 $C_{ox} = \epsilon_{ox} / (R \ln(1 + t_{ox}/R))$ 是栅氧层单位面积电容, ϵ_{ox} 是栅氧层介电常数, V_{gs} 是栅源电压, V_{FB} 是平带电压。

从 (1)–(3) 式得到

$$\frac{\partial^2}{\partial z^2} \phi_s(z) - A^2 \phi_s(z) = Q, \quad (4)$$

其中

$$A^2 = \frac{2C_{ox}}{R\epsilon_{Si}}, \quad (5)$$

$$Q = A^2 \left(-V_{gs} + V_{FB} + \frac{qN_A R}{2C_{ox}} \right). \quad (6)$$

(4) 式的通解为

$$\phi_s(z) = be^{Az} + ce^{-Az} - S, \quad (7)$$

其中

$$S = -V_{gs} + V_{FB} + \frac{qN_A R}{2C_{ox}}. \quad (8)$$

源漏极的边界条件为

$$\phi(r, 0) = \phi_{Bseff}, \phi(r, L) = \phi_{Bseff} + V_{ds}, \quad (9)$$

其中

$$\phi_{Bseff} = \phi_{iBn} + \Delta\phi_1 - \Delta\phi_2, \quad (10)$$

$$\Delta\phi_1 \approx \frac{3\pi^2 \hbar^2}{qm^*(2R)^2} = \frac{3\pi^2 \hbar^2}{4qm^*R^2}, \quad (11)$$

$$\Delta\phi_2 = \sqrt{\frac{qE_m}{4\pi\epsilon_{Si}}}, \quad (12)$$

$$E_m = \sqrt{\frac{2qN \left(\phi_{iBn} - \frac{\xi}{q} - V_r - \frac{kT}{q} \right)}{\epsilon_{Si}}}, \quad (13)$$

$$\xi = \frac{E_g}{2} - kT \ln \left(\frac{N}{n_i} \right), \quad (14)$$

$$N = \frac{n_i^2}{N_A} \exp \left(\frac{q\phi_{min}}{kT} \right). \quad (15)$$

这里 ϕ_{Bseff} 是源极的有效肖特基势垒高度, V_{ds} 是漏电压, ϕ_{iBn} 是本征肖特基势垒高度, 对 $\text{ErSi}_{1.7}$ 来说 $\phi_{iBn} = 0.32 \text{ V}$ [10]. 因环栅 MOSFET 沟道厚度达到纳米级别, 需要考虑量子化效应引起的肖特基势垒高度增加, 即 $\Delta\phi_1$ [7,11], $\hbar$ 是约化普朗克常量, m^* 是电子在 ErSi 中的有效质量; 器件正常工作时源极反偏, 漏极正偏, 故对源极需要考虑镜像力势垒降低效应, 即 $-\Delta\phi_2$ [12]. E_m 是源极与沟道界面处的最大电场强度, N 是沟道反型层表面电子浓度, ξ 是反型层表面电子准费米能级与导带的能量差, V_r 是加在源极肖特基势垒的反偏电压, k 是玻尔兹曼常数, T 是绝对温度, E_g 是硅的禁带宽度, n_i 是硅的本征载流子浓度, ϕ_{min} 是沟道最小表面电势。

利用 (9) 式对 (7) 式做耦合求解可得

$$\begin{aligned} b &= \frac{(\phi_{Bseff} + S)(1 - e^{-AL}) + V_{ds}}{2 \sinh(AL)}, \\ c &= \frac{(\phi_{Bseff} + S)(e^{AL} - 1) - V_{ds}}{2 \sinh(AL)}. \end{aligned} \quad (16)$$

对 (7) 式微分并令微分为零, 可得到最小电势

$$z_{min} = \frac{1}{2A} \ln \left(\frac{c}{b} \right). \quad (17)$$

将 (17) 式代入 (7) 式, 得到最小表面电势

$$\phi_{min} = 2\sqrt{bc} - S. \quad (18)$$

与传统 MOSFET 相比, 源漏结构的差异改变了肖特基势垒 MOSFET 的电流传输机理^[8]. V_{gs} 通过调节肖特基势垒高度和厚度, 控制着沟道中的载流子输运机理. 通过源极注入沟道的载流子由两种组分构成, 一种是载流子能量高于肖特基势垒的热电子发射部分, 另一种是能量低于肖特基势垒的量子力学隧穿部分. 随着栅压的提高, 肖特基势垒厚度越来越薄, 直到相应的隧穿电流开始占据主导地位. 根据掺杂浓度和温度的高低, 隧穿电流又可分为场发射和热场发射两部分^[12]. 处于半导体费米能级附近的电子隧穿通过势垒称为场发射; 当电子被激发到较高能量时所穿过的是一个比较薄而且低的势垒, 称为热场发射.

当源极反向偏置较小时, 沟道进入强反型并且源极电子主要以场发射方式进入沟道时的 V_{gs} 即为阈值电压, 过渡到场发射的条件是^[9,12]

$$\frac{\xi_m}{qV_D} = \frac{1}{\cosh^2(qE_{00}/kT)} = 0.8, \quad (19)$$

这里 ξ_m 为热场发射电子能量分布最大值, $E_{00} = \frac{\hbar}{2} \sqrt{\frac{N}{\epsilon_{Si} m^*}}$ 是隧穿作用中起重要作用的参数, 它的量纲为能量除以电荷, V_D 为沟道一侧的肖特基扩散势, 即导带向上弯曲形成的电势.

联立 (15), (19) 式解得

$$\phi_{min} = \frac{kT}{q} \ln \left[\frac{\epsilon_{Si} m^* k^2 T^2 N_A}{q^2 \hbar^2 n_i^2} \ln^2 \left(\frac{3 + \sqrt{5}}{2} \right) \right]. \quad (20)$$

沟道强反型时, 满足

$$\phi_{min} = \frac{2kT}{q} \ln \left(\frac{N_A}{n_i} \right), \quad (21)$$

经计算, N_A 和 T 在正常取值范围内, 总是有 (20) $\gg$ (21), 即源极电子主要以场发射方式进入沟道时需要的 V_{gs} 总是大于沟道强反型所需的 V_{gs} . (19) 式只适用于漏电压较小的情况下, 沟道越短, 温度越低, V_{ds} 在源极上的压降比例越大^[13], 可近似取 $V_r \approx -V_{ds}$ ^[14]. 联立 (18) 和 (20) 式得到的 V_{gs} 即为阈值电压:

$$V_{th} = V_{FB} + \frac{qN_A R}{2C_{ox}} + \frac{C + \sqrt{C^2 - 4BD}}{2B}, \quad (22)$$

其中

$$B = 1 - \frac{4 \sinh^2 \left(\frac{AL}{2} \right)}{\sinh^2(AL)}, \quad (23)$$

$$C = 2\phi_{min} - \frac{4 \sinh^2 \left(\frac{AL}{2} \right) (2\phi_{Bseff} + V_{ds})}{\sinh^2(AL)}, \quad (24)$$

$$D = \phi_{min}^2 - \frac{[\phi_{Bseff} (1 - e^{-AL}) + V_{ds}]}{\sinh^2(AL)} \times [\phi_{Bseff} (e^{AL} - 1) - V_{ds}]. \quad (25)$$

通过 (22) 式对 V_{ds} 求导, 得到

$$\frac{\partial V_{th}}{\partial V_{ds}} = \frac{\frac{\partial C}{\partial V_{ds}} + \frac{4C}{\sqrt{C^2 - 4BD}} \frac{\partial D}{\partial V_{ds}}}{2B}, \quad (26)$$

这里

$$\frac{\partial C}{\partial V_{ds}} = - \frac{4 \sinh^2 \left(\frac{AL}{2} \right) \left(1 + 2 \frac{\partial \phi_{Bseff}}{\partial V_{ds}} \right)}{\sinh^2(AL)}, \quad (27)$$

$$\begin{aligned} \frac{\partial D}{\partial V_{ds}} &= \frac{2V_{ds} - 4 \sinh^2 \left(\frac{AL}{2} \right)}{\sinh^2(AL)} \\ &\times \left(\phi_{Bseff} + V_{ds} \frac{\partial \phi_{Bseff}}{\partial V_{ds}} + 2\phi_{Bseff} \frac{\partial \phi_{Bseff}}{\partial V_{ds}} \right), \end{aligned} \quad (28)$$

$$\begin{aligned} \frac{\partial \phi_{Bseff}}{\partial V_{ds}} &= - \frac{qN}{2\epsilon_{Si}} \sqrt{\frac{q}{4\pi\epsilon_{Si}}} \left[\frac{2qN}{\epsilon_{Si}} \right. \\ &\times \left. \left(\phi_{iBn} - \frac{\xi}{q} + V_{ds} - \frac{kT}{q} \right) \right]^{-\frac{3}{4}}, \end{aligned} \quad (29)$$

(26) 式即为衡量漏致势垒降低效应的 DIBL, 越小越好, 单位一般为 mV/V.

3 结果与讨论

应用 Matlab 对所建立的模型进行计算, 基本参数选取如下: $T = 300$ K, $V_{FB} = -0.5$ V, $t_{ox} = 2$ nm, $N_A = 5 \times 10^{16}$ cm⁻³, $m^* = 0.35m_0$ ^[15], m_0 为真空中电子有效质量, 未做特殊说明时, $R = 5$ nm, $V_{ds} = 0.1$ V.

鉴于模型适用条件, 使 V_{ds} 从 0 V 变化到 0.5 V, 考察不同沟道长度下阈值电压和 DIBL 随漏电压的变化. 从图 2 可以看出阈值电压随着漏电压的增大而减小, 从图 3 可以看出 DIBL 随着漏电压的增大而增大, 当沟道长度逐渐减小时, 漏电压对阈值电压和 DIBL 的影响均变大. 这是因为 DIBL 是一种短沟道下的效应, 沟道长度越短, 漏电压越大, DIBL 效应越严重.

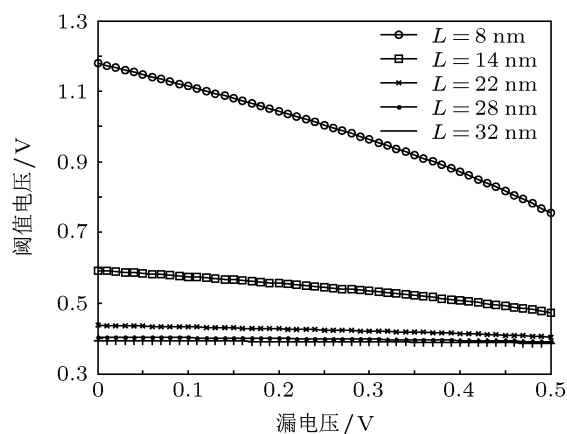


图2 不同沟道长度下阈值电压随漏电压的变化

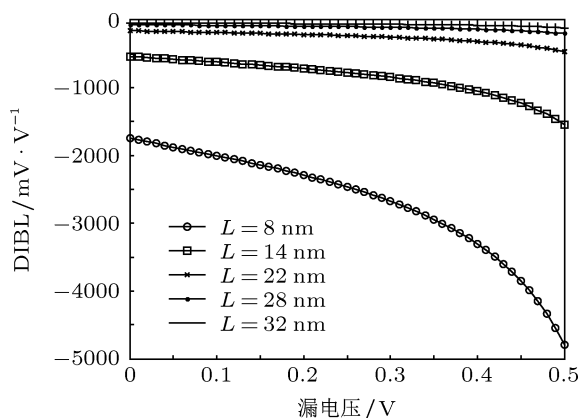


图3 不同沟道长度下 DIBL 随漏电压的变化

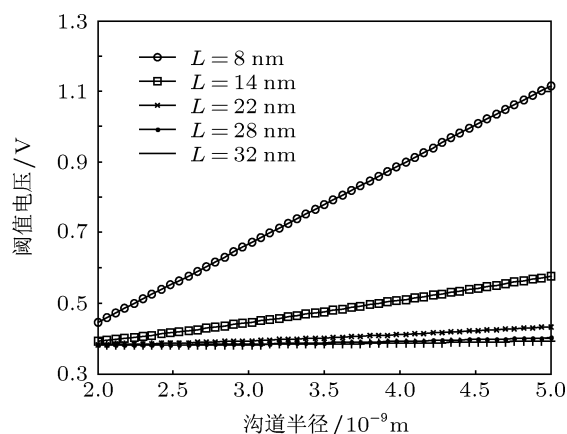


图4 不同沟道长度下阈值电压随沟道半径的变化

使 R 从 2 nm 变化到 5 nm, 考察不同沟道长度下阈值电压和 DIBL 随沟道半径的变化. 从图 4 和图 5 可以看出, 阈值电压和 DIBL 均随沟道半径的减小而减小, 当沟道长度减小时, 沟道半径对两者的影响变大. 这是因为沟道半径 R 越小, 方程 (1)

左边第一项就越大, z 方向的漏电压对电势的影响就越小, DIBL 效应越小, 即栅压对沟道控制能力越强. 在工艺许可的情况下, 沟道半径应尽量小来抑制 DIBL 效应, 但并不是越小越好, 2 nm 是环栅 MOSFET 高性能应用的最优尺寸 [16].

使 L 从 8 nm 变化到 32 nm, 考察不同漏电压下阈值电压和 DIBL 随沟道长度的变化. 从图 6 和图 7 可以看出相同的漏电压下, 阈值电压和 DIBL 均随沟道长度的减小而增大. 沟道长度较小时, 漏电压对两者的影响变大, 与图 2 和图 3 反映出的趋势一致.

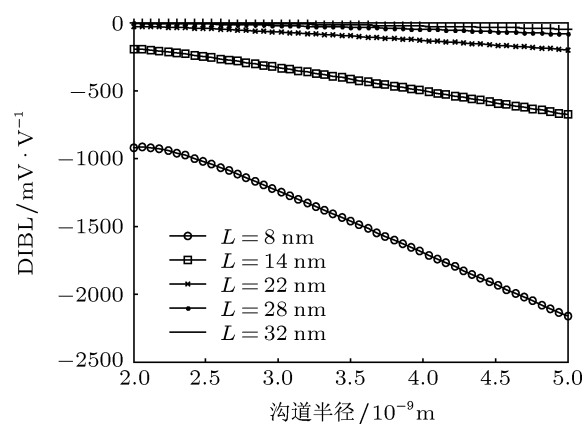


图5 不同沟道长度下 DIBL 随沟道半径的变化

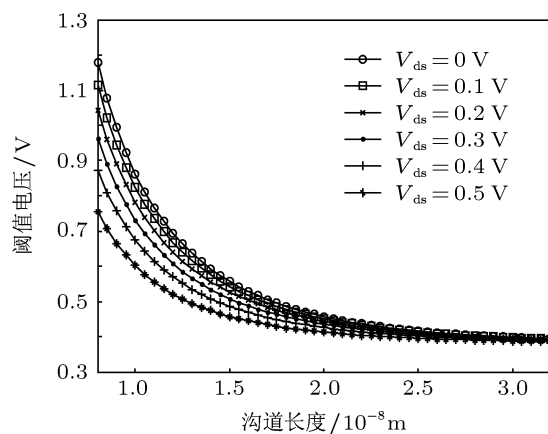


图6 不同漏电压下阈值电压随沟道长度的变化

值得注意的是, 与掺杂源漏 MOSFET 相反, 肖特基势垒 MOSFET 的阈值电压随沟道长度的减小而增大. 沟道越短, 阈值电压的增大幅度越大, 与文献 [11] 采用非平衡格林函数法模拟得到的结果符合, 这也验证了模型的正确性. 因为肖特基势垒 MOSFET 沟道长度减小时, 能带随栅压弯曲越发困难, 肖特基势垒厚度不容易变薄使隧穿电流占据主

导地位,就需要更大的栅压来达到阈值点,下面以沟道长度相对较短和较长时的两种器件源漏之间的导带图随栅压变化来定性说明. 沟道较短时,如图 8(a) 所示,源漏极与沟道的内建势形成的耗尽层宽度占据沟道长度的比例很高,通过表面势来控制沟道反型并使导带向下弯曲所需的栅压就越高;沟道较长时,如图 8(b) 所示,上述过程就相对容易. 这种反常的阈值电压变化归根到底是由于肖特基势垒 MOSFET 独特的电流运输机理造成的. 为抑制阈值电压的增大,可在减小沟道长度时相应地按一定比例减小沟道半径来改善.

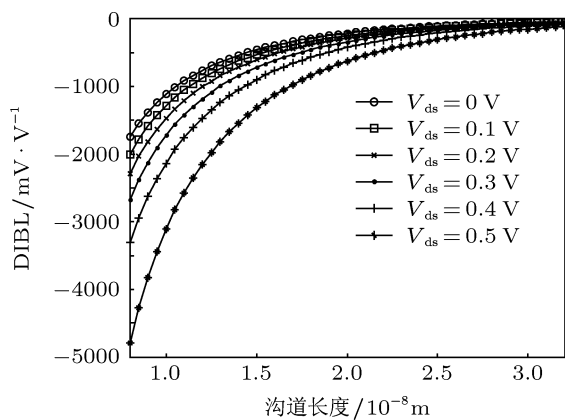


图 7 不同漏电压下 DIBL 随沟道长度的变化

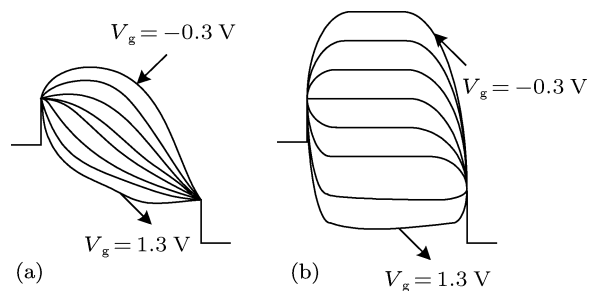


图 8 两种沟道长度下源漏之间导带随栅电压的变化 (a) $L = 8$ nm; (b) $L = 32$ nm

4 结论

通过求解圆柱坐标系下的二维泊松方程, 本文首次给出了基于表面势的物理意义明确的环栅肖特基势垒 MOSFET 阈值电压模型, 通过计算得到了漏电压、沟道半径和沟道长度对阈值电压和 DIBL 的影响. 结果表明, 阈值电压分别随漏电压和沟道长度的减小而增大, 随沟道半径的减小而减小; DIBL 分别随漏电压和沟道半径的减小而减小, 随沟道长度的减小而增大. 阈值电压随沟道长度减小而增大这一有别于掺杂源漏 MOSFET 的变化趋势与文献 [11] 符合, 证明了本文模型的正确性.

- [1] Gan X W, Wang X S, Zhang X 2001 *Chin. J. Semicond.* **22** 1581 (in Chinese) [甘学温, 王旭社, 张兴 2001 半导体学报 **22** 1581]
- [2] Appenzeller J, Knoch J, Bjork M T, Riel H, Schmid H, Riess W 2008 *IEEE Trans. Electron Dev.* **55** 2827
- [3] Wang X Y, Zhang H M, Wang G Y, Song J J, Qin S S, Qu J T 2011 *Acta Phys. Sin.* **60** 027102 (in Chinese) [王晓燕, 张鹤鸣, 王冠宇, 宋建军, 秦珊珊, 屈江涛 2011 物理学报 **60** 027102]
- [4] Li C, Zhuang Y Q, Han R, Zhang L, Bao J L 2012 *Acta Phys. Sin.* **61** 078504 (in Chinese) [李聪, 庄奕琪, 韩茹, 张丽, 包军林 2012 物理学报 **61** 078504]
- [5] Knoch J, Zhang M, Mantl S, Appenzeller J 2006 *IEEE Trans. Electron Dev.* **53** 1669
- [6] Xu B J, Du G, Xia Z L, Zeng L, Han R Q, Liu X Y 2007 *Chin. J. Semicond.* **28** 1179
- [7] Li P C, Hu G X, Mei G H, Liu R, Jiang Y, Tang T G 2010 *10th IEEE International Conference on Solid-State and Integrated Circuit Technology Shanghai*, 1–4 Nov. 2010 p3
- [8] Tang X Y, Zhang Y M, Zhang Y M 2009 *Acta Phys. Sin.* **58** 494 (in Chinese) [汤晓燕, 张义门, 张玉明 2008 物理学报 **58** 494]
- [9] Tang X Y 2007 *Ph. D. Dissertation* (Xi'an: Xidian University) (in Chinese) [汤晓燕 2007 博士学位论文 (西安: 西安电子科技大学)]
- [10] Zhu S Y, Chen J D, Li M F, Lee S J, Singh J, Zhu C X, Du A, Tung C H, Chin A, Kwong D L 2004 *IEEE Electron Dev. Lett.* **25** 567
- [11] Shin M 2008 *IEEE Trans. Electron Dev.* **55** 737
- [12] Shi M, Wu G Y 2008 *Physics of Semiconductor Devices* (3rd Ed.) (Xi'an: Xi'an Jiaotong University Press) pp104–127 (in Chinese) [施敏, 伍国珏 2008 半导体器件物理 (第 3 版) (西安: 西安交通大学出版社) 第 104–127 页]
- [13] Snyder J P, Helms C R, Nishi Y 1999 *Appl. Phys. Lett.* **74** 3407
- [14] Zhu G J, Zhou X, Chin Y K, Pey K L, Zhang J B, See G H, Lin S H, Yan Y F, Chen Z H 2010 *IEEE Trans. Electron Dev.* **57** 772
- [15] Winstead B, Ravaioli U 2000 *IEEE Trans. Electron Dev.* **47** 1241
- [16] Sung D S, Ming L, Yun Y Y, Kyoung H Y, Keun H C, In K K, Hong C, Jang W J, Kim D W, Park D G, Lee W S 2007 *IEEE International Electron Devices Meeting Washington D. C.*, 10–12 Dec. 2007 p891

Drain-induced barrier-lowering effect in surrounding-gate schottky barrier metal-oxide semiconductor field transistor

Xu Li-Jun[†] Zhang He-Ming

(Key Laboratory for Wide Band-Gap Semiconductor Materials and Devices, School of Microelectronics, Xidian University, Xi'an 710071, China)

(Received 13 December 2012; revised manuscript received 27 December 2012)

Abstract

Based on surrounding-gate schottky barrier metal-oxide semiconductor field transistor (MOSFET) structure, the distribution of surface potential is obtained by solving two-dimensional Poisson equation in cylindrical coordinates, and the threshold voltage model of surrounding-gate schottky barrier NMOSFET which is applicable to the low voltage of drain is built. According to the calculation results, the dependences of threshold voltage and drain-induced barrier-lowering on voltage of drain, channel radius and channel length are studied in detail, which can provide some reference for the design of surrounding-gate schottky barrier MOSFET device and circuit.

Keywords: surrounding-gate schottky barrier metal-oxide semiconductor field transistor, two-dimensional Poisson equation, threshold voltage model, drain-induced barrier-lowering

PACS: 85.30.De, 73.40.Qv, 02.60.Cb

DOI: 10.7498/aps.62.108502

[†] Corresponding author. E-mail: 1320550176@qq.com