

# 应变 SiGe p 型金属氧化物半导体场效应管栅电容特性研究\*

王斌<sup>†</sup> 张鹤鸣 胡辉勇 张玉明 宋建军 周春宇 李好晨

(西安电子科技大学微电子学院, 宽禁带半导体材料与器件重点实验室, 西安 710071)

(2013年2月21日收到; 2013年3月6日收到修改稿)

由于台阶的出现, 应变 SiGe p 型金属氧化物半导体场效应管 (pMOSFET) 的栅电容特性与体 Si 器件的相比呈现出很大的不同, 且受沟道掺杂的影响严重. 本文在研究应变 SiGe pMOSFET 器件的工作机理及其栅电容  $C-V$  特性中台阶形成机理的基础上, 通过求解器件不同工作状态下的电荷分布, 建立了应变 SiGe pMOSFET 栅电容模型, 探讨了沟道掺杂浓度对台阶的影响. 与实验数据的对比结果表明, 所建立模型能准确反映应变 SiGe pMOSFET 器件的栅电容特性, 验证了模型的正确性. 该理论为 Si 基应变金属氧化物半导体 (MOS) 器件的设计制造提供了重要的指导作用, 并已成功应用于 Si 基应变器件模型参数提取软件中, 为 Si 基应变 MOS 的仿真奠定了理论基础.

**关键词:** 应变 SiGe pMOSFET, 栅电容特性, 台阶效应, 沟道掺杂

**PACS:** 71.23.An, 71.70.Fk, 73.40.-c

**DOI:** 10.7498/aps.62.127102

## 1 引言

应变技术因其能提高载流子迁移率, 且在工艺上与体硅工艺有较好的兼容性而被广泛研究, 为后 Moore 时代高速/高性能器件与电路的持续发展开辟了新的技术途径, 是二十一世纪硅技术的发展主流之一<sup>[1-5]</sup>. 基于该技术的硅/应变锗硅/硅 (Si/sSiGe/Si) 材料系统近年来得到广泛的研究. Nayak 等<sup>[6]</sup> 最早通过实验证明了 Si/sSiGe/Si 金属氧化物半导体 (MOS) 器件比体 Si MOS 器件具有更好的空穴迁移率. Bindu 等<sup>[7]</sup> 和 Lukic 等<sup>[8]</sup> 分别提出了该类型器件的源漏电流和阈值电压物理解析模型, 探讨了不同器件尺寸条件下的驱动电流以及亚阈特性. Fiorenza 等<sup>[9]</sup> 采用源流区外延生长 SiGe 的方式来增强沟道应力, 优化了器件结构及其性能. Qin 等<sup>[10]</sup> 利用数值解析方法建立了应变 Si/应变 SiGe 双应变沟道金属氧化物半导体场效应管 (MOSFET) 阈值电压模型, 研究了工艺参数对

阈值电压的影响. 这些研究成果从不同的角度论证了 Si/sSiGe/Si 材料系统对 MOSFET  $I-V$  特性的提升作用, 很大程度上促进了 Si/sSiGe/Si 材料系统在 MOS 器件中的应用.

但是, 文献 [11—13] 发现, 利用 Si/sSiGe/Si 材料系统所制备的 MOSFET, 其栅电容  $C-V$  特性中出现了一个明显的台阶, 如图 1 所示. Wei 等<sup>[14]</sup> 从载流子的输运机制出发, 对该现象进行了较为合理的解释. Bindu 等<sup>[15]</sup> 虽然建立了应变 Si/应变 SiGe 双应变沟道 p 型金属氧化物半导体场效应管 (pMOSFET) 栅电容模型, 但是由于只是涉及轻掺杂情况, 并不能对重掺杂时的  $C-V$  特性进行描述. 事实上, 随着掺杂浓度的变化, 基于 Si/sSiGe/Si 材料系统的 pMOS 器件的跨导会在 Si 层和应变 SiGe 层之间变化, 导致反型区电容中的台阶也随之发生改变; 同时, 由于应变 SiGe pMOSFET 几乎可以忽略的导带带阶, 器件载流子的输运机制也与双应变沟道 pMOSFET 有所不同.

\* 模拟集成电路国家重点实验室基金 (批准号: P140c090303110c0904)、高等学校博士学科点专项科研基金 (批准号: JY0300122503) 和中央高校基本科研业务费 (批准号: K5051225014, K5051225004) 资助的课题.

<sup>†</sup> 通讯作者. E-mail: wbin0316@126.com

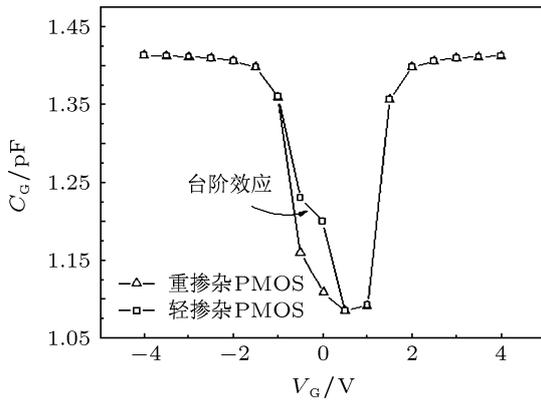


图1 应变 SiGe pMOSFET 栅电容特性中台阶效应示意图

为此, 本文分析了应变 SiGe pMOSFET 器件的工作机理及其栅电容  $C-V$  特性中台阶效应的形成机理, 并通过求解器件不同工作状态下的电荷分布, 建立了应变 SiGe pMOSFET 栅电容模型. 与实验数据的对比结果表明, 所建模型准确地反映了应变 SiGe pMOSFET 反型区栅电容  $C-V$  特性中的台阶效应, 验证了模型的正确性. 该理论为 Si 基应变 MOS 器件的设计制造提供了重要的指导作用, 并已成功应用于 Si 基应变 MOS 器件模型参数提取软件中, 为 Si 基应变 MOS 器件的仿真奠定了理论基础.

## 2 台阶效应的形成机理

应变 SiGe pMOSFET 剖面结构如图 2 所示. 器件由  $\text{SiO}_2$  层、Si 帽层、应变 SiGe 层、Si 衬底构成,  $t_{\text{OX}}$ ,  $t_{\text{Si}}$ ,  $t_{\text{sSiGe}}$ ,  $x_{\text{d}}$  分别为氧化层、Si 帽层、应变 SiGe 层、Si 衬底中的耗尽层厚度. 分析中假定各层均匀掺杂, 浓度为  $N_{\text{D}}$ .

### 2.1 器件工作机制

类似于沟道掺杂对应变 Si pMOSFET 沟道区的影响<sup>[16]</sup>, 不同的掺杂浓度下应变 SiGe pMOSFET 的沟道开启情况也有所不同.

轻掺杂时, sSiGe 层的阈值电压小于 Si 帽层的阈值电压, 器件的跨导主要由 sSiGe 层提供. 也就是说, 随着栅压的降低, 当器件达到耗尽区之后, 反型首先发生在 sSiGe 层, 然后才发生在 Si 帽层. 而重掺杂时, 反型只发生在 Si 帽层中, 器件的跨导主要由 Si 帽层提供, 换句话说, 此时的器件只有表面沟

道而没有埋沟道. 若定义  $V_{\text{FB}}$  和  $V_{\text{T}}^{\text{S}}$  分别为  $\text{SiO}_2/\text{Si}$  界面的平带电压和阈值电压,  $V_{\text{T}}^{\text{H}}$  为  $\text{Si}/\text{sSiGe}$  界面的阈值电压, 器件的工作机制按照掺杂浓度的不同可简略说明如下.

1) 轻掺杂时: 当  $V_{\text{G}} > V_{\text{FB}}$  时, 电子积累在  $\text{Si}/\text{SiO}_2$  界面; 随着栅压的降低, 当  $V_{\text{T}}^{\text{H}} < V_{\text{G}} \leq V_{\text{FB}}$  时, 半导体中出现耗尽层, 但是由于 Si 帽层和 sSiGe 层很薄 (通常仅有几纳米), 耗尽层迅速扩展至 Si 衬底层中, 且随栅压的减小而展宽, 并在  $V_{\text{G}} = V_{\text{T}}^{\text{H}}$  时达到其最大宽度; 随后, 随着栅压的进一步减小, sSiGe 层出现随栅压  $V_{\text{G}}$  变化的强反型电荷, 且其浓度在  $V_{\text{G}} = V_{\text{T}}^{\text{S}}$  达到最大值; 当  $V_{\text{G}} < V_{\text{T}}^{\text{S}}$  时, sSiGe 层中反型电荷量不再增加, Si 帽层开始反型, 其空穴浓度随栅压的变化而增减, 此时应变 SiGe pMOSFET 的能带如图 2 所示.

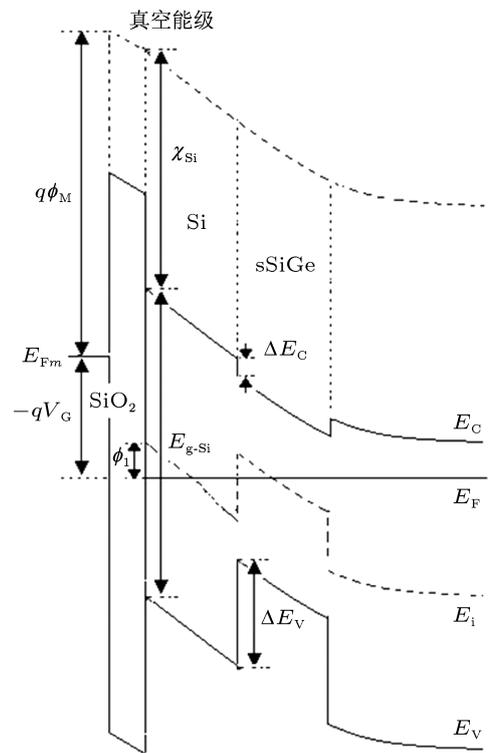


图2 当  $V_{\text{G}} < V_{\text{T}}^{\text{S}}$  时轻掺杂应变 SiGe pMOSFET 能带示意图

2) 重掺杂时: 与轻掺杂时类似, 当  $V_{\text{G}} > V_{\text{FB}}$  时, 电子积累在  $\text{Si}/\text{SiO}_2$  界面; 当  $V_{\text{G}} < V_{\text{FB}}$  时, 器件处于耗尽区; 但是, 由于重掺杂时 sSiGe 层中并无反型载流子, 沟道仅存在于 Si 帽层中, 故其耗尽层最大宽度出现在  $V_{\text{G}} = V_{\text{T}}^{\text{S}}$  时; 随后, 随着栅压  $V_{\text{G}}$  的进一步减小, Si 帽层开始强反型, 给出了此时应变 SiGe pMOSFET 的能带如图 3 所示.

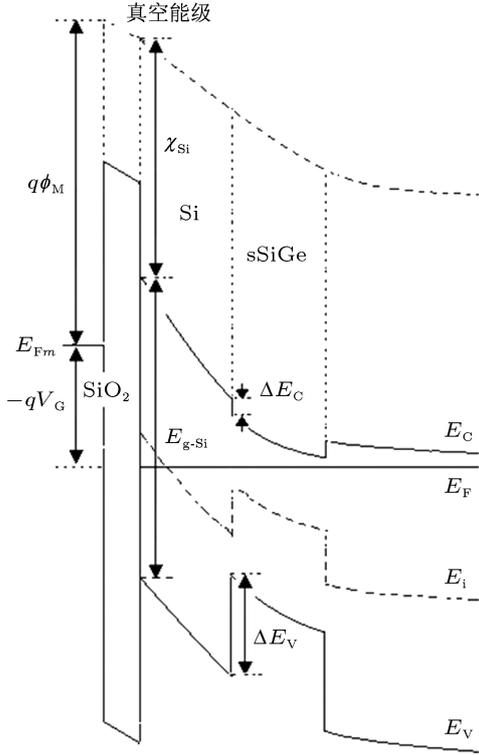


图3 当  $V_G < V_G^S$  时重掺杂应变 SiGe pMOSFET 能带示意图

### 2.2 台阶效应形成机理

由以上分析可知,当反型只发生在 Si 帽层中时,应变 SiGe pMOSFET 反型区栅电容  $C-V$  特性与体 Si pMOSFET 反型区栅电容  $C-V$  特性相差不大.当反型先发生在 sSiGe 层而后 Si 帽层时,空穴逐渐由 sSiGe 层进入 Si 帽层,这意味着 Si 帽层的反型电容  $C_T^S$  变的越来越明显.若定义  $C_T^H$  为 sSiGe 层反型电容,  $C_{OX}$  为氧化层电容,  $C_{OXEFF}$  为包含了全耗尽 Si 帽层在内的等效氧化层电容,且  $C_{OX} = \frac{t_{OX}}{\epsilon_{OX}}$ ,  $C_{OXEFF} = \left( \frac{t_{OX}}{\epsilon_{OX}} + \frac{t_{Si}}{\epsilon_{Si}} \right)^{-1}$ , 则应变 SiGe pMOSFET 反型区栅电容  $C_G$  由  $C_G = \left[ C_{OXEFF}^{-1} + (C_T^H)^{-1} \right]^{-1}$  向  $C_G = \left[ C_{OX}^{-1} + (C_T^S)^{-1} \right]^{-1}$  转变,从而在其  $C-V$  特性中产生了台阶.

### 3 栅电容模型

与体 Si pMOSFET 类似,应变 SiGe pMOSFET 的栅电容模型需要按照器件的不同工作状态分别讨论.

### 3.1 积累区

器件处于积累区时,半导体内部仅在 Si 帽表面附近有积累的载流子(电子),而没有其他的电荷.因此,此时器件总电容由 Si 帽层积累区电容  $C_A$  和栅氧电容  $C_{OX}$  串联构成.

通过求解泊松方程,可得到 Si 帽层中单位面积的积累电荷总量  $Q_A$  为

$$Q_A = -\frac{\sqrt{2}\epsilon_{Si}v_t}{L_D} \left( e^{\frac{\phi_S}{v_t}} - \frac{\phi_S}{v_t} - 1 \right)^{\frac{1}{2}}, \quad (1)$$

式中,  $\epsilon_{Si}$  为 Si 材料的介电常数,  $v_t$  为热电压,由  $v_t = KT/q$  给出,  $L_D$  为 Si 材料的非本征德拜长度,且  $L_D = \sqrt{\epsilon_{Si}v_t/qN_D}$ ,  $\phi_S$  为 Si 帽层表面势.

定义  $C_{LD} = \epsilon_{Si}/L_D$ , 将上式二阶泰勒展开,并考虑  $V_G = V_{FB} - \frac{Q_A}{C_{OX}} + \phi_S$ , 可得

$$\phi_S = \frac{C_{OX}}{C_{OX} + C_{LD}} (V_G - V_{FB}). \quad (2)$$

同样,将 (1) 式求导并二阶泰勒展开,可得

$$C_A = C_{LD} \left( 1 + \frac{\phi_S}{2v_t} \right). \quad (3)$$

### 3.2 耗尽区

由于 Si 帽层和应变 SiGe 层很薄,迅速全耗尽,所以耗尽主要发生在 Si 衬底中.此时,半导体中仅存在耗尽电荷,因此,器件总电容由主要由耗尽层电容  $C_D$  和等效栅氧电容  $C_{OXEFF1}$  串联构成,且  $C_{OXEFF1} = \left( \frac{t_{OX}}{\epsilon_{OX}} + \frac{t_{Si}}{\epsilon_{Si}} + \frac{t_{sSiGe}}{\epsilon_{sSiGe}} \right)^{-1}$ , 其中  $\epsilon_{OX}$ ,  $\epsilon_{sSiGe}$  分别为氧化层和 sSiGe 层介电常数.

半导体中单位面积耗尽电荷总量  $Q_D$  为

$$Q_D = qN_D(t_{Si} + t_{sSiGe} + x_d), \quad (4)$$

式中,  $x_d = \sqrt{-2\epsilon_{Si}\phi_{H2}/qN_D}$ ,  $\phi_{H2}$  为 sSiGe/Si 界面处电势.

栅压  $V_G$  可表示为

$$V_G = V_{FB} - \frac{Q_D}{C_{OXEFF1}} + \phi_{H2}. \quad (5)$$

将 (4) 式代入 (5) 式,可得  $\phi_{H2}$  与  $V_G$  的关系为

$$\sqrt{\phi_{H2}} = \frac{1}{2} \left[ \frac{\sqrt{2qN_D\epsilon_{Si}}}{C_{OXEFF1}} + \left\{ \frac{2qN_D\epsilon_{Si}}{C_{OXEFF1}^2} - 4 \left( V_{FB} - V_G - \frac{qN_Dx_d}{C_{OXEFF1}} \right) \right\}^{1/2} \right]. \quad (6)$$

(4) 式对  $\phi_{H2}$  求导, 可得  $C_D = \sqrt{qN_D\epsilon_{Si}/2\phi_{H2}}$ , 将 (6) 式代入, 化简, 耗尽区电容  $C_D$  表达式为

$$C_D = \frac{C_{OXEFF1}}{1 + \sqrt{1 - \frac{2C_{OXEFF1}^2 \left( V_{FB} - V_G - \frac{qN_D x_d}{C_{OXEFF1}} \right)}{qN_D \epsilon_{Si}}}}. \quad (7)$$

### 3.3 反型区

#### 3.3.1 沟道轻掺杂

在这种情况下, 反型首先发生在 sSiGe 层, 然后发生于 Si 帽层. 因此, 该情况下的反型区可按照沟道的形成先后, 划分为如下两个部分.

1)  $V_T^S < V_G \leq V_T^H$ : 当栅压  $V_G < V_T^H$  时, sSiGe 层反型, 且随着栅压的降低, 其内的反型空穴浓度增加. 此时, 器件总电容由埋沟反型区电容  $C_T^H$  和等效氧化层电容  $C_{OXEFF}$  串联构成.

通过求解泊松方程可知, sSiGe 层中的单位面积电荷总量为

$$Q_{sSiGe} = \sqrt{2qN_D\epsilon_{sSiGe}} \left[ v_t \left( \frac{p_i^H}{N_D} \right)^2 \left( e^{-\frac{\phi_{H1}}{v_t}} - e^{-\frac{\phi_{H2}}{v_t}} \right) \right]$$

$$C_T^H = \sqrt{2q\epsilon_{sSiGe}N_D} \frac{\left( \frac{p_i^H}{N_D} \right)^2 e^{-\frac{\phi_{H1}}{v_t}} + 1}{2\sqrt{v_t \left( \frac{p_i^H}{N_D} \right)^2 \left( e^{-\frac{\phi_{H1}}{v_t}} - e^{-\frac{\phi_{H2}}{v_t}} \right) - (\phi_{H1} - \phi_{H2}) + \frac{\epsilon_{sSiGe}}{2qN_D} E_{H2}^2}}. \quad (11)$$

2)  $V_G \leq V_T^S$ : 此时, 仅  $SiO_2/Si$  界面处的空穴载流子浓度随栅压的变化而变化, sSiGe/Si 界面处的维持其最大值不变. 因此, 器件总电容由 Si 帽反型层电容  $C_T^S$  和氧化层电容  $C_{OX}$  串联构成.

与 (8) 式类似, 在 Si 帽层中求解泊松方程, 可获得 Si 帽层中单位面积电荷表达式:

$$Q_{Si} = \sqrt{2qN_D\epsilon_{Si}} \times \left[ v_t \left( \frac{p_i^S}{N_D} \right)^2 \left( e^{-\frac{\phi_S}{v_t}} - e^{-\frac{\phi_{H1}}{v_t}} \right) - (\phi_S - \phi_{H1}) + \frac{\epsilon_{Si}}{2qN_D} E_{H1}^2 \right]^{1/2} - Q_H, \quad (12)$$

其中,  $Q_H$  为 Si 帽层下半导体中单位面积载流子量,  $p_i^S$  为 Si 帽层本征载流子浓度,  $E_{H1}$  为 Si/sSiGe 界面

$$\left. \begin{aligned} & - (\phi_{H1} - \phi_{H2}) + \frac{\epsilon_{sSiGe}}{2qN_D} E_{H2}^2 \right]^{1/2} \\ & - qN_D x_d, \end{aligned} \quad (8)$$

其中,  $p_i^H$  为 sSiGe 层的本征载流子浓度,  $\phi_{H1}$  为 Si/sSiGe 界面电势,  $E_{H2}$  为 sSiGe/Si 界面处 sSiGe 侧电场强度, 且由下式给出:

$$\phi_{H2} = -\frac{qN_D}{2\epsilon_{Si}} x_d^2, \quad (9a)$$

$$E_{H2} = -\frac{qN_D}{\epsilon_{sSiGe}} x_d. \quad (9b)$$

若定义  $\Phi_T^H$  为 sSiGe 层强反型时 sSiGe/Si 界面处的电势,  $x_d$  的值由下式给出.

$$x_d = -\frac{\epsilon_{Si}}{\epsilon_{sSiGe}} t_{sSiGe} + \left[ \left( \frac{\epsilon_{Si}}{\epsilon_{sSiGe}} t_{sSiGe} \right)^2 - \frac{\epsilon_{Si}}{\epsilon_{sSiGe}} t_{sSiGe}^2 - \frac{2\epsilon_{Si}}{qN_D} \Phi_T^H \right]^{1/2}. \quad (10)$$

因此, sSiGe 层反型区电容  $C_T^H$  可表示为

处 Si 侧电场强度, 利用高斯定理,  $Q_H$ ,  $\phi_{H1}$  及  $E_{H1}$  分别由下式给出:

$$Q_H = qN_D (t_{sSiGe} + x_d) - C_{OXEFF} (V_T^S - V_T^H), \quad (13a)$$

$$\phi_{H1} = \Phi_T^H, \quad (13b)$$

$$E_{H1} = \frac{\epsilon_{sSiGe}}{\epsilon_{Si}} E_2^T, \quad (13c)$$

$$E_2^T = - \left\{ E_{H2} - \frac{2qN_D}{\epsilon_{sSiGe}} \left\{ (\phi_{H1} - \phi_{H2}) - v_t \left( \frac{p_i^H}{N_D} \right)^2 \left( e^{-\frac{\phi_{H1}}{v_t}} - e^{-\frac{\phi_{H2}}{v_t}} \right) \right\} \right\}^{1/2}. \quad (13d)$$

因此, Si 帽层反型区电容  $C_T^S$  可表示为

$$C_T^S = \sqrt{2q\epsilon_{Si}N_D} \times \frac{\left( \frac{p_i^S}{N_D} \right)^2 e^{-\frac{\phi_S}{v_t}} + 1}{2\sqrt{v_t \left( \frac{p_i^S}{N_D} \right)^2 \left( e^{-\frac{\phi_S}{v_t}} - e^{-\frac{\phi_{H1}}{v_t}} \right) - (\phi_S - \phi_{H1}) + \frac{\epsilon_{Si}}{2qN_D} E_{H1}^2}}. \quad (14)$$

### 3.3.2 沟道重掺杂

在这种情况下,反型仅发生在 Si 帽层中.因此,器件总电容由 Si 帽反型层电容  $C_T^S$  和栅氧电容  $C_{OX}$  构成.与轻掺杂时  $C_T^S$  情况类似,沟道重掺杂时的 Si 帽反型层栅电容  $C_T^S$  依然可用 (14) 式获得,只需修正 (13) 式为

$$\phi_{H1} = -\frac{qN_D}{2\varepsilon_{sSiGe}} \left( t_{sSiGe}^2 + 2x_d t_{sSiGe} + \frac{\varepsilon_{sSiGe}}{\varepsilon_{Si}} x_d^2 \right), \quad (15a)$$

$$E_{H1} = -\frac{qN_D}{\varepsilon_{Si}} (t_{sSiGe} + x_d). \quad (15b)$$

同时,由于 sSiGe 层中没有反型电荷的形成, Si 衬底中的最大耗尽层宽度也与轻掺杂时的不同,若定义  $\Phi_T^S$  为 Si 帽层强反型时器件的表面电势,则  $x_d$  应修正为

$$x_d = -\left[ t_{Si} + \frac{\varepsilon_{Si}}{\varepsilon_{sSiGe}} t_{sSiGe} \right] + \left\{ 2 \left( \frac{\varepsilon_{Si}}{\varepsilon_{sSiGe}} - 1 \right) t_{Si} t_{sSiGe} + \left( \frac{\varepsilon_{Si}}{\varepsilon_{sSiGe}} - 1 \right) \frac{\varepsilon_{Si}}{\varepsilon_{sSiGe}} t_{sSiGe}^2 - \frac{2\varepsilon_{Si}}{qN_D} \Phi_T^S \right\}^{1/2}. \quad (16)$$

## 4 结果和讨论

为了验证本模型的正确性,将模型仿真结果与实验结果进行了对比.所设计的 SiGe pMOSFET 器件显微照片如图 4 所示.其主要的器件工艺参数如下: Si 衬底采用 [001] 晶向,掺杂浓度分别为  $1 \times 10^{16}$ ,  $1 \times 10^{18} \text{ cm}^{-3}$ ; 栅氧化层厚度为 13 nm,应变 SiGe 层厚度为 10 nm,帽层厚度为 8 nm, Ge 组分为 0.25.仿真中,所用器件平带电压和阈值电压模型采用 Qu 等<sup>[17]</sup>的报道.

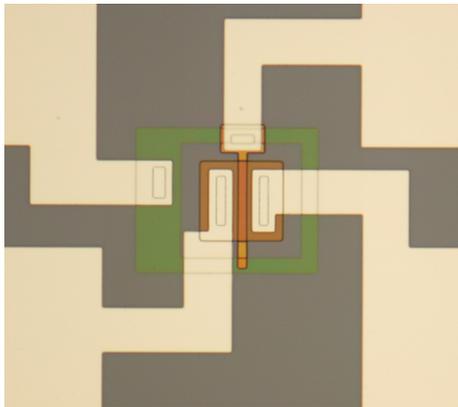


图 4 应变 SiGe pMOSFET 器件显微照片

图 5 给出了掺杂浓度为  $10^{16} \text{ cm}^{-3}$  时的应变 SiGe pMOSFET 栅电容仿真曲线和实验数据.从图中可以看出,当外加偏压  $V_G$  很大时,其电容几乎不随偏压变化;当偏压降低到一定值时,其  $C-V$  特性偏离原有轨迹,出现一个台阶,这意味着反型电荷在 sSiGe 层中达到饱和值后开始向 Si 帽层中转移,而电容  $C_G$  由  $C_G = [C_{OXEFF}^{-1} + (C_T^H)^{-1}]^{-1}$  转变为  $C_G = [C_{OX}^{-1} + (C_T^S)^{-1}]^{-1}$ .利用参数提取方法可获得两个阈值电压  $-1.6 \text{ V}$  和  $-2.9 \text{ V}$ ,分别对应 Si 帽沟道和 sSiGe 沟道开启电压  $V_T^H$  和  $V_T^S$ ,确保了台阶的出现,验证了该理论的正确性.

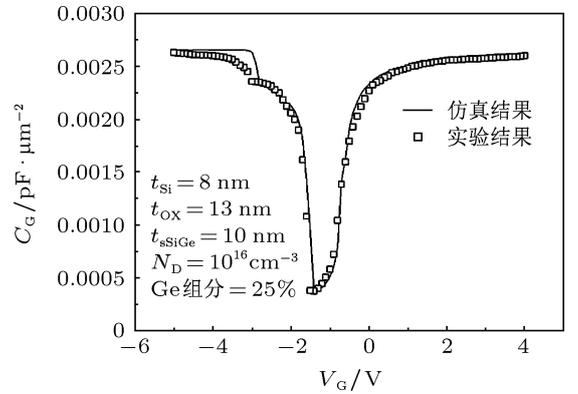


图 5 轻掺杂时栅电容特性仿真与实验

图 6 显示了掺杂为  $10^{18} \text{ cm}^{-3}$  时的模型仿真结果与实验结果的比较.虽然此时的器件依然呈现出 Type-I 型的能带结构,但是由于衬底的重掺杂,价带带阶  $\Delta E_V$  对反型空穴的抑制作用较弱,器件的跨导仅由表面的 Si 帽沟道提供,所以其  $C-V$  特性与体 Si 的类似,没有台阶的出现.所提取的 Si 帽沟道阈值电压为  $V_T^S = -3.7 \text{ V}$ ,证明 sSiGe 层并无沟道的形成.模型的仿真结果与实验结果较为符合,验证了本模型的正确性.

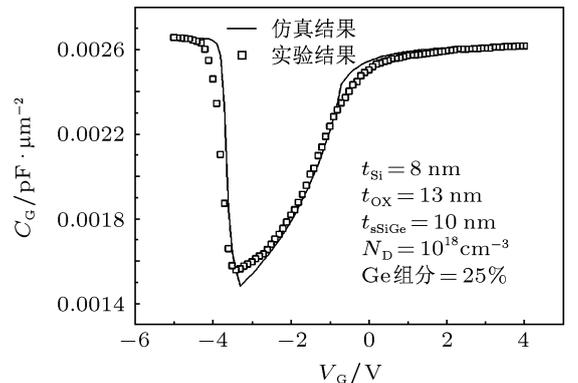


图 6 重掺杂时栅电容特性仿真与实验

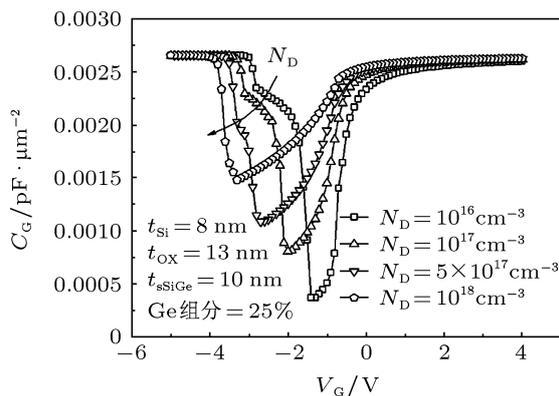


图7 栅电容特性随掺杂浓度的变化

图7给出了不同掺杂浓度下应变SiGe pMOSFET栅电容特性的仿真结果. 由图中可以看到, 在掺杂浓度为 $10^{16} \text{ cm}^{-3}$ 时, 在反型区一侧应变SiGe pMOSFET栅电容特性相比于体Si pMOSFET出现了明显的台阶, 而在掺杂浓度为 $10^{17} \text{ cm}^{-3}$ 时, 反型区的台阶效应明显变弱, 当掺杂浓度减低至 $5 \times 10^{17} \text{ cm}^{-3}$ 时, 台阶几乎消失. 这是由于随着掺

杂浓度的增加, 器件的跨导逐渐由埋沟和表面沟道共同提供逐渐转变为仅由表面沟道提供, 最终使得台阶效应被减弱. 该结果与Bindu等<sup>[15]</sup>观测到的结果一致, 进一步验证了所建立模型的正确性.

## 5 总结

本文在研究应变SiGe pMOSFET栅电容特性中台阶效应形成机理的基础上, 通过求解器件在不同工作状态下的电荷分布, 建立了应变SiGe pMOSFET栅电容特性模型. 研究表明, 台阶随着沟道掺杂浓度的增加会被逐渐削弱. 与实验数据的对比结果表明, 所建模型能够准确反映应变SiGe pMOSFET栅电容特性, 验证了模型的正确性. 该理论为Si基应变器件的设计制造提供了重要的指导作用, 并已成功应用于Si基应变MOS器件模型参数提取软件中, 为Si基应变MOS器件的仿真奠定了理论基础.

- [1] Wang B, Zhang H M, Hu H Y, Zhang Y M, Shu B, Zhou C Y, Li Y C, Lü Y 2013 *Acta Phys. Sin.* **62** 057103 (in Chinese) [王斌, 张鹤鸣, 胡辉勇, 张玉明, 舒斌, 周春宇, 李好晨, 吕懿 2013 物理学报 **62** 057103]
- [2] Hu H Y, Zhang H M, Dai X Y, Lü Y, Shu B, Wang W, Jiang T, Wang X Y 2004 *Acta Phys. Sin.* **53** 4314 (in Chinese) [胡辉勇, 张鹤鸣, 戴显英, 吕懿, 舒斌, 王伟, 姜涛, 王喜媛 2004 物理学报 **53** 4314]
- [3] Hoyt J L, Nayfeh H M, Eguchi S, Aberg I, Xia G, Drake T, Fitzgerald E A 2002 *IEDM Tech. Dig.* **20** 23
- [4] Jiang T, Zhang H M, Wang W, Hu H Y, Dai X Y 2006 *Chin. Phys.* **15** 1339
- [5] Haizhou Y, Hobart K D, Peterson R L, Kub F J, Sturm J C 2005 *IEEE Trans. Electron Dev.* **52** 2207
- [6] Nayak D K, Woo J C S, Park J S, Wang K L, Macwilliams K P 1991 *IEEE Electron Dev. Lett.* **12** 154
- [7] Bindu B, DasGupta N, DasGupta A 2006 *IEEE Trans. Electron Dev.* **53** 1411
- [8] Lukic P M, Ramovic R M, Sasic R M 2006 *25th International Conference on Microelectronics*, Belgrade, May 14–17, 2006 p472
- [9] Fiorenza J G, Park J S, Lochtefeld A 2008 *IEEE Trans. Electron Dev.* **55** 640
- [10] Qin S S, Zhang H M, Hu H Y, Dai X Y, Xuan R X, Shu B 2010 *Chin. Phys. B* **19** 117309
- [11] Voinescu S P, Iniewski K, Lisak R, Salama T, Noel J P, Houghton D C 1994 *Solid State Electron.* **37** 1491
- [12] Pham A T, Jungemann C, Meinerzhagen B 2010 *40th European Solid State Device Research Conference*, Spain, Sep. 14–16, 2010 p230
- [13] Yang Z, Wang C, Wang H T, Hu W D, Yang Y 2011 *Acta Phys. Sin.* **60** 077102 (in Chinese) [杨洲, 王堯, 王洪涛, 胡伟达, 杨宇 2011 物理学报 **60** 077102]
- [14] Wei J Y, Maikap S, Lee M H, Lee C C, Liu C W 2006 *Solid State Electron* **50** 109
- [15] Bindu B, DasGupta N, DasGupta A 2007 *IEEE Trans. Electron Dev.* **54** 1889
- [16] Wang B, Zhang H M, Hu H Y, Zhang Y M, Zhou C Y, Wang G Y, Li Y C 2013 *Chin. Phys. B* **22** 028503
- [17] Qu J T, Zhang H M, Wang G Y, Wang X Y, Hu H Y 2011 *Acta Phys. Sin.* **60** 058502 (in Chinese) [区江涛, 张鹤鸣, 王冠宇, 王晓燕, 胡辉勇 2011 物理学报 **60** 058502]

# Study on gate capacitance-voltage characteristics of strained-SiGe pMOSFET\*

Wang Bin<sup>†</sup> Zhang He-Ming Hu Hui-Yong Zhang Yu-Ming  
Song Jian-Jun Zhou Chun-Yu Li Yu-Chen

(Key Laboratory for Wide Band-Gap Semiconductor Materials and Devices, School of Microelectronics, Xidian University, Xi'an 710071, China)

(Received 21 February 2013; revised manuscript received 6 March 2013)

## Abstract

The gate capacitance-voltage ( $C$ - $V$ ) characteristic of strained SiGe pMOSFET is very different from that of bulk Si pMOSFET, and can be strongly affected by the channel doping. In this paper, we first study the formation mechanism of the “plateau” which can be observed in the gate  $C$ - $V$  characteristics of strained SiGe pMOSFET, and then present a physics based analytical model to predict the gate  $C$ - $V$  characteristic of strained SiGe pMOSFET. It is found that this plateau is channel doping dependent. The results from the model are compared with the experimental results and they are found to be in excellent agreement with each other, giving the evidence for its validity.

**Keywords:** strained SiGe pMOSFET, gate  $C$ - $V$  characteristics, plateau, channel doping

**PACS:** 71.23.An, 71.70.Fk, 73.40.-c

**DOI:** 10.7498/aps.62.127102

---

\* Project supported by the Research Fund of National Laboratory of Analog Integrated Circuits, China (Grant No. P140c090303110c0904), the Specialized Research Fund for the Doctoral Program of Higher Education of China (Grant No. JY0300122503), and the Fundamental Research Fund for the Central Universities, China (Grant Nos. K5051225014, K5051225004).

<sup>†</sup> Corresponding author. E-mail: wbin0316@126.com