

# PECVD 分层结构对提高氢化非晶硅 TFT 迁移率的影响

于遥<sup>1)</sup> 张晶思<sup>2)</sup> 陈黛黛<sup>1)</sup> 郭睿倩<sup>1)</sup> 谷至华<sup>1)†</sup>

1) (复旦大学先进材料实验室, 平板显示中心, 上海 200433)

2) (中航技显示公司, 上海 201100)

(2013 年 2 月 8 日收到; 2013 年 4 月 29 日收到修改稿)

为了进一步提高氢化非晶硅薄膜晶体管 (a-Si:H TFT) 的场效应电子迁移率, 研究了批量生产条件下对欧姆接触层和栅极绝缘层进行多层制备, 不同的工艺参数对 a-Si:H TFT 场效应电子迁移率的影响. 研究表明随着对欧姆接触层 ( $n^+$  层) 分层数的增加, 以及低速生长的栅极绝缘层 (GL 层) 和高速生长的栅极绝缘层 (GH 层) 厚度比值提高, a-Si:H TFT 的场效应迁移率得到提升. 当  $n^+$  层分层数达到 3 层, GL 层和 GH 层厚度比值为 4:11 时, 器件的场效应电子迁移率达到  $0.66 \text{ cm}^2/\text{V}\cdot\text{s}$ , 比传统工艺提高了约一倍, 显著改善了 a-Si:H TFT 的电学特性, 并在量产线上得到了验证.

**关键词:** 非晶硅薄膜晶体管, 电子迁移率, 欧姆接触层, 栅极绝缘层

**PACS:** 85.30.Tv, 71.23.Cq, 73.61.-r

**DOI:** 10.7498/aps.62.138501

## 1 引言

a-Si:H TFT 作为 TFT 液晶显示 (TFT-LCD) 和有源矩阵有机发光二极管面板 (AMOLED) 的核心器件, 提高其场效应迁移率从而改善器件整体的电学性质, 从 20 世纪 70 年代末就一直是有源驱动液晶显示器领域的研究热点<sup>[1-7]</sup>. 正是 a-Si:H TFT 在彩色液晶显示领域的应用, 造就了今天 TFT-LCD 在平板显示领域的主流地位. 现今以氧化物, 多晶硅, 微晶硅等材料为代表的新型 TFT 虽然取得了重大进展<sup>[8-12]</sup>, 但是无论从技术成熟度还是经济成本角度考虑, a-Si:H TFT 仍然是产业的主流技术, 改进其迁移率依旧具有重要的经济价值和技术价值<sup>[13-17]</sup>.

目前产业界 a-Si:H TFT 的场效应迁移率在  $0.3 \text{ cm}^2/\text{V}\cdot\text{s}$  左右, 存在信号写入不足的问题并影响对高开口率及高分辨率产品的设计开发<sup>[18,19]</sup>. 由于开展这方面量产技术研究的成本很高, 目前非常

缺乏针对量产化影响 a-Si:H TFT 迁移率的各因素的详细研究.

本文在 TFT-LCD 五代线量产环境 (上海中航光电子有限公司) 针对量产化影响 a-Si:H TFT 场效应迁移率的各因素详细研究. 完全采用工业生产的设备和参数, 实验结论可以直接应用于实际的大规模量产, 这是小型实验室无法比拟的. 之后利用田口设计<sup>[20]</sup> 多因素实验计算各种影响因素所占的影响力度比重, 从而找到影响场效应迁移率的最主要几个因素, 并创新性设计了将欧姆接触层 ( $n^+$  a-Si) 进行多层 CVD 成膜配合栅极绝缘层 (G-SiN<sub>x</sub>) 分层成膜的办法, 将量产的 a-Si:H TFT 的场效应迁移率稳定提升到  $0.66 \text{ cm}^2/\text{V}\cdot\text{s}$ .

## 2 实验

采用目前主流的底栅极 TFT 结构, 如图 1 所示实验使用康宁玻璃作为衬底, 通过磁控溅射一层金属 Cr 作为底栅极, 接着连续采用等离子体增强化学气象沉积 (PECVD) 方法沉积 300 nm 的 G-SiN<sub>x</sub>

† 通讯作者. E-mail: zhihuagu@126.com

栅极绝缘层, 不同厚度的 a-Si:H 有源层以及 50 nm 的 n<sup>+</sup> a-Si 欧姆接触层, 然后溅射金属 Cr 作为源极和漏极 (S/D) 及刻蚀成型, 最后采用 PECVD 制备保护层 SiN<sub>x</sub> 并钝化刻蚀成型. 制备完成的 TFT 沟道宽度和长度分别为 22 和 6 μm.

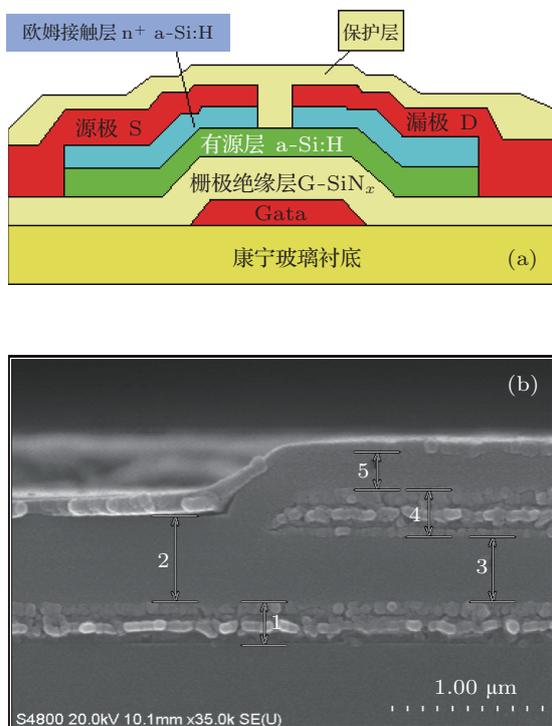


图 1 TFT 截面示意图和 SEM 截面照片

以上 3 层 PECVD 部分是决定 a-Si:H TFT 的迁移率的关键步骤, 采用 PECVD 工艺, 主要材料为工艺气体硅烷 (SiH<sub>4</sub>)、磷烷 (PH<sub>3</sub>)、氨气 (NH<sub>3</sub>)、笑气 (N<sub>2</sub>O)、氮气 (N<sub>2</sub>)、氢气 (H<sub>2</sub>). G-SiN<sub>x</sub> 绝缘层是通过 SiH<sub>4</sub> 气体与 NH<sub>3</sub> 混合气体作为反应气体, 辉光放电生成等离子体在衬底上成膜; 有源层 (a-Si:H) 是利用 SiH<sub>4</sub> 气体在反应室中通过辉光放电, 经过一系列初级和次级反应, 生产包括离子, 电子, 活性基团等较复杂的反应产物, 最终生成 a-Si:H 薄膜沉积在衬底上, 其中直接参与薄膜生长的主要是一些中性产物; n<sup>+</sup> a-Si:H 欧姆接触层使用的是在 SiH<sub>4</sub> 气体中参入少量 PH<sub>3</sub> 气体后, 通过辉光放电在衬底上成膜. 以上样品均生长在 1000 mm × 1300 mm 的康宁玻璃基板衬底上, 衬底温度为 280 °C, 功率密度为 0.1 W/cm<sup>2</sup>, 气压 100 Pa, 偏置电压 -100 V, 稀释气体为 H<sub>2</sub>, 及其他惰性气体为 Ar 和 He, 电极间距为 20 mm. 金属层成膜采用磁控溅射设备 (SMD-1200 型) 非金属层成膜采用 PECVD 设备 (KAI 1200, Unaxis), G-SiN<sub>x</sub> 表面形貌和 TFT 截面由原子

力显微镜 (AFM, Veeco MultiMode V 型) 和高分辨场发射扫描电镜 (SEM, Hitachi, S-4800 型) 测量, TFT 器件电子迁移率通过手动探针装置 (Manual Probe, Keithley 4200 型) 测试.

制备完成后利用手动探针测量装置可以测绘 TFT 的特性曲线, 如图 2 所示电子迁移率 μ<sub>n</sub> 可以由 I<sub>ds</sub>-V<sub>g</sub> 图像上每点的切线斜率的加权平均来计算得到. 设定好源漏电压 V<sub>ds</sub> (0.1 V), 使得 TFT 工作在线性区, 根据 I<sub>ds</sub> 的线性区计算公式 [21-23]:

$$I_{ds} = \frac{W}{L} \cdot \mu_n \cdot C_{SiN} \cdot \left[ (V_g - V_T) \cdot V_{ds} - \frac{V_{ds}^2}{2} \right],$$

其中 W/L 为 TFT 沟道的宽度与长度的比值 (20/6); C<sub>SiN</sub> 为绝缘层单位面积的电容, 为固定参数; V<sub>g</sub> 为栅极和源极之间的电压, 从 -20 V 到 +20 V 变化, 步幅为 0.5 V; V<sub>T</sub> 为阈值电压. 图 2 中所测的 5 条曲线为在同一实验条件下的样品上按照几何平均分布取出的 5 个测试点, 计算其每条曲线的迁移率后取其平均值作为此样品的迁移率.

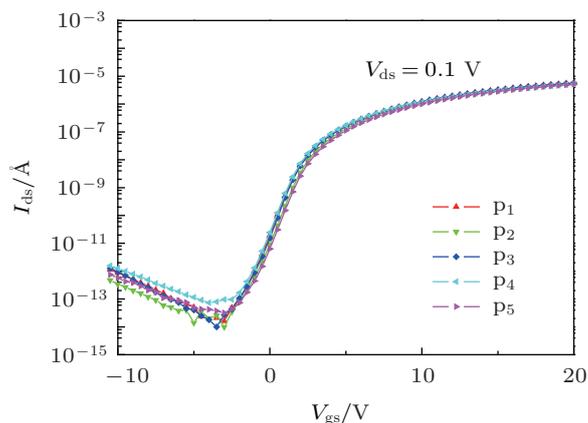


图 2 TFT 特性 I<sub>ds</sub>-V<sub>gs</sub> 曲线

影响 a-Si:H TFT 器件整体迁移率的因素有很多, 本文中主要通过调整 PECVD 工艺中的非金属层的分层和厚度以及生长速率来控制迁移率的变化并讨论其内部物理机理. 首先针对低速 a-Si 层 (AL) 厚度, 高速 a-Si 层 (AH) 厚度, n<sup>+</sup> a-Si 厚度以及分层, G-SiN<sub>x</sub> 厚度以及分层等因素, 分别做单因素实验, 讨论其对于 a-Si:H TFT 迁移率的影响, 之后需要由单因素实验确定的几个主要因素进行正交设计实验. 利用田口设计试验方法, 这种设计通常只需要全因子组合的一部分. 各个因子水平被赋予相等的权重, 可以独立于所有其他因子来估计每个因子, 这样一个因子的效应便不会影响另一个因子的估计.

### 3 实验结果与讨论

如图 3(a) 所示在保证总体厚度不变 (300 nm) 的条件下, 随着 GH 厚度的降低, GL 厚度的提高, 迁移率也在提高. 在 GL 和 GH 的厚度比 0, 即全部采用高速生长的情况下, 迁移率约为  $0.31 \text{ cm}^2/\text{V}\cdot\text{s}$ , 而在 GL 和 GH 的厚度比为 2 的情况下, 即 GL 厚度为 200 nm, 而 GH 厚度为 100 nm 的情况下, 迁移率超过了  $0.5 \text{ cm}^2/\text{V}\cdot\text{s}$ .

在 G-SiN<sub>x</sub> 层的沉积中反应气体为 NH<sub>3</sub>, SiH<sub>4</sub> 和 N<sub>2</sub> 的混合气体, 系统中发生的反应为



反应式 (1) 中 NH<sub>3</sub> 电离成 NH<sub>2</sub> 离子后取代 SiH<sub>4</sub> 中的部分 H 原子, 生成的 Si(NH<sub>2</sub>)<sub>3</sub> 是 SiN<sub>x</sub> 薄膜的主要反应基; 反应式 (2) 中 SiH<sub>4</sub> 和 N<sub>2</sub> 在等离子区电离成 SiH<sub>3</sub> 离子和 N 离子并在基板上生

成 SiN<sub>x</sub> 薄膜. SiN<sub>x</sub> 薄膜的键合方式主要为 Si—H, N—H, Si—N 和 Si—Si 键. 薄膜的性能取决于 Si—H, N—H, Si—N 键含量的影响. 由于 SiN<sub>x</sub> 薄膜的缺陷主要为 Si 和 N 悬挂键, 其中 Si 悬挂键能级主要分布在深局域态, 靠近本征费米能级的位置形成深能级陷阱. N 悬挂键能级主要分布在价带带尾态形成浅能级陷阱. 然而绝大多数这类陷阱由于氢的钝化作用生成 Si—H 和 N—H 键, 薄膜由于氢原子的介入致密度增加, 介电性能增强. 因此相对介电常数随着氢含量 (Si—H 键和 N—H 键含量之和) 上升而增大. 而 Si—N 键比 Si—Si 键长短, 其含量增加会促进薄膜原子排列更加紧密, 介电性能增强. 研究表明<sup>[24]</sup> 在沉积过程中沉积速率会影响薄膜中各键的含量, 当沉积速率提高时, Si—H 键含量提高, N—H 键含量下降, 而氢含量上升, 其他键的含量可以忽略不计. 所以低速氮化硅薄膜在致密性方面要优于高速氮化硅薄膜.

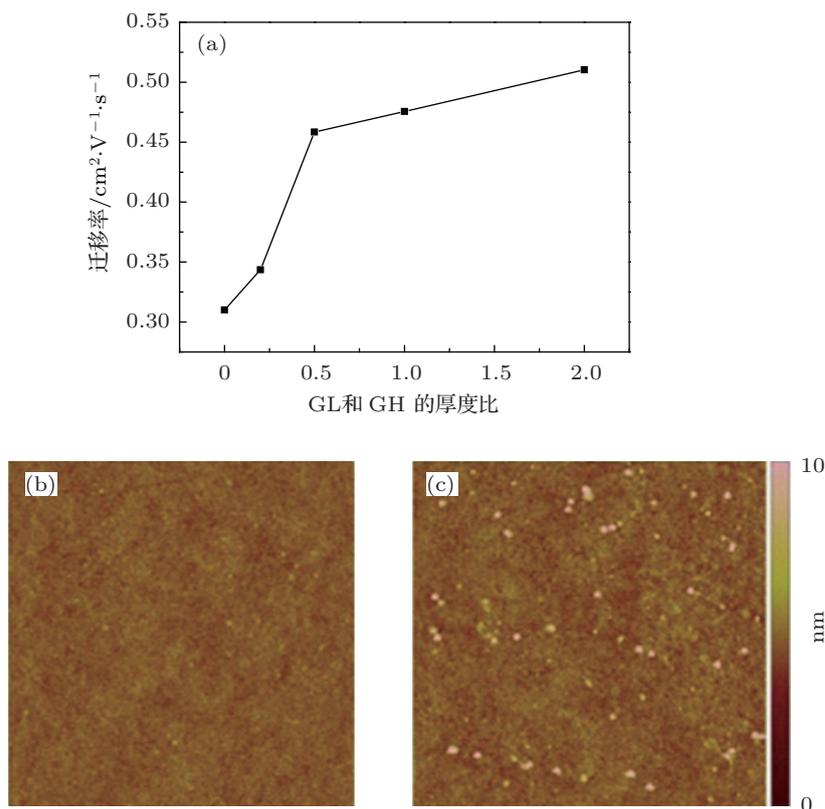


图 3 (a) 玻璃衬底上生长的 G-SiN<sub>x</sub> 分层膜厚比和场效应迁移率的单因素关系; (b) 为低速生长 G-SiN<sub>x</sub> 薄膜; (c) 高速生长 G-SiN<sub>x</sub> 薄膜的 AFM 图谱, 色阶高度范围为 0—10 nm

根据电容公式, 绝缘层厚度变薄也可提高薄膜感应电荷的能力. 但是薄膜厚度减少, 层间短路的可能性也增加. 所以我们将氮化硅层分为低速氮化硅 (GL, 1.85 nm/s) 和高速氮化硅 (GH, 3.33 nm/s)

两步来生长, 以减少层间短路的可能性. 从图 3(b), (c) 中可以看出低速生长的 G-SiN<sub>x</sub> 层具有更加致密的结构, 缺陷较少, 在  $5 \mu\text{m} \times 5 \mu\text{m}$  范围内的平均粗糙度为 0.398 nm, 而高速生长的 G-SiN<sub>x</sub> 层平均

粗糙度为 1.76 nm, 同时表面有较多的缺陷, 结晶态较差. 在满足工厂量产产能的情况下, 应当尽量提高 GL 层的膜厚, 相应降低 GH 层的膜厚.

如图 4(a) 所示为低速非晶硅层 (AL) 在接近 200 nm 时, 迁移率比较理想, 而高速非晶硅层 (AH) 的厚度和迁移率的关系并无明显趋势, 仅仅有一个最差值点. 提高 a-Si:H TFT 迁移率, 要减少非晶硅薄膜的缺陷态. 虽然非晶硅不象晶体硅那样具有长程有序的周期性原子排列, 但是原子短程的排列还是有序的, 在键的强度, 键的角度以及原胞的配位数等许多方面还是和晶体硅类似的. 在处理非晶硅的光电学特性时我们仍然可以利用固体的能带理论作近似. 由于非周期性产生的界面, 各种缺陷, 杂质原子, 晶粒表面在固体能带的禁带中形成一些特定的电子或空穴的局域态. 这些小的晶粒和硅原子网络的交织, 周期性结构的不断终止形成大量的界面和各种缺陷, 在这些界面和缺陷处会形成许多悬键, 这些悬键可以束缚电子, 因而造成密度极高的

局域能级.

由于大量界面缺陷的存在, 局域能级的态密度高, 杂质波函数重叠, 形成局域能带, 电子或空穴可以在局域态之间发生迁移. 这些局域带在非晶硅中可能会和主带边重叠, 使电子状态密度从主带边一直延伸到禁带中, 形成所谓的带尾如图 4(b) 所示. 含氢非晶硅的主要特征是在硅原子的网络中混进了微量的氢原子. 利用 H 原子成键可以将悬挂键终端化, 大大提高非晶硅薄膜的电子迁移率. 但是在一个硅原子上连接两个 H 原子的时候, 晶格的畸变能较大, 所以结构处于亚稳态, 在一定条件下转变成硅原子和单个氢原子的连接, 导致晶体管特性不稳定. 控制含氢非晶硅的生长条件, 降低非晶硅的生长速率, 可以抑制 H—Si—H 的结构单元生长. 所以在电子沟道层采用低速生长的非晶硅, 可以得到结构更完整, 性能更稳定的材料, 有利于迁移率的提高.

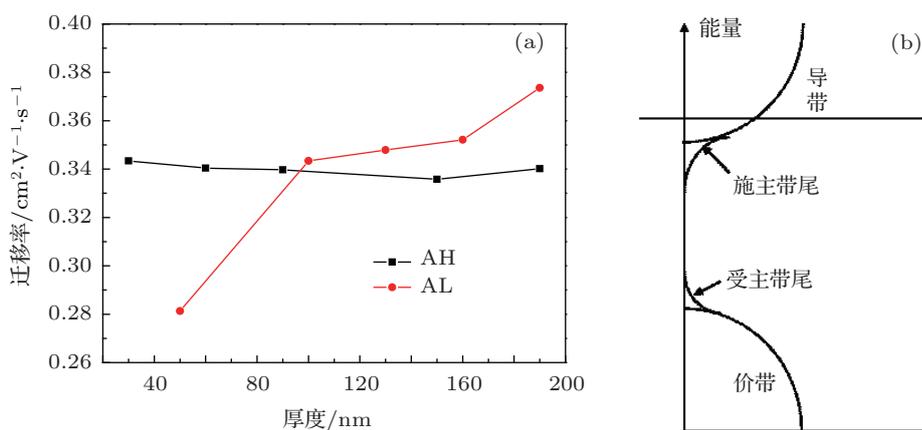


图 4 (a) AH 和 AL 膜厚和迁移率的单因素关系; (b) 其态密度和带尾示意图

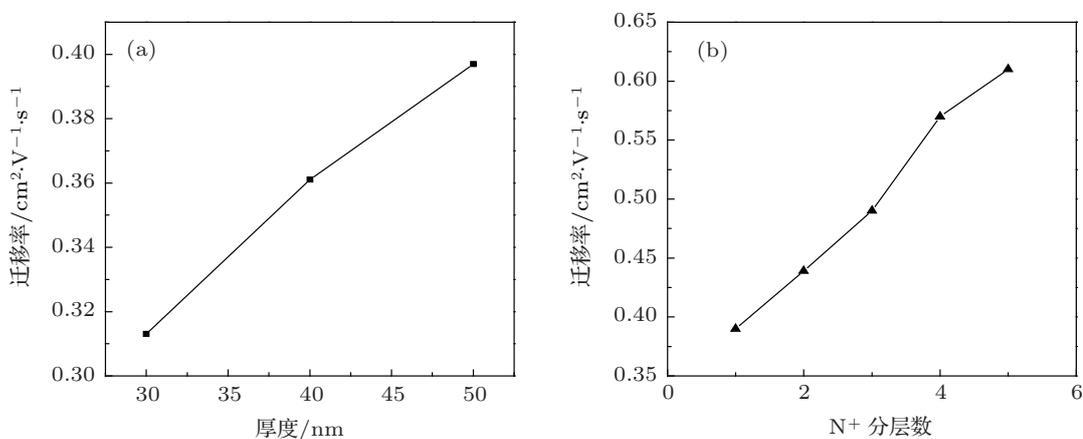


图 5 (a) 单层欧姆接触层厚度和迁移率的单因素关系; (b) 厚度固定为 50 nm 时的分层数和迁移率的单因素关系

由图 5(a) 可见, 在一定范围内提高单层欧姆接触层厚度可以改善 TFT 电学特性, 提高电子迁移率, 所以在之后的调整中,  $n^+$  层固定为 50 nm.  $n^+$  层存在使得非晶硅和源漏极的接触近似为欧姆接触. 当  $n^+$  为 1 层时掺杂浓度 2725 sccm, 2 层时为 200 sccm 和 3750 sccm, 以此类推到了 5 层的时候, 从靠近有源层开始到靠近源漏金属端的掺杂浓度为 100 sccm, 200 sccm, 300 sccm, 400 sccm 和 500 sccm. 由于载流子浓度的变化越缓和, 跨越势垒越相对越容易, 可以降低欧姆接触电阻, 体现在器件上的迁移率几乎在线性增加. 同时分层越多, 生产过程中的时间成本越高, 为了满足工厂产能的要求, 最终量产的分层数我们确定为 3 层, 总膜厚保持 50 nm. 即 10 nm + 20 nm + 20 nm.

源极和漏极 (S/D) 作为信号的输出输入端, 必须和金属引出端子形成较好的欧姆接触, 得到较

小的接触电阻. 这样不仅可以得到较好的线性输出, 而且信号损耗较小. 1979 年 LeComber 和 Spear 首先报道了 a-Si:H 的掺杂实验 [25]. 极微量的磷烷引入成膜室, 也会引起电导率高达 2 个数量级的迅速上升. 随着掺杂浓度的增加, 电导率可以提高 7 个数量级, 达到  $10^{-2} \Omega^{-1} \cdot \text{cm}^{-1}$ . 未掺杂样品的激活能  $E_C - E_F$  大约是 0.6 eV. 当磷烷的浓度为  $2 \times 10^{-3}$  vppm 时, 样品的激活能只有 0.15 eV.

金属和 n 型半导体接触达到稳态时, 两者的费米能级相等. 电子从金属进入半导体所遭遇的能量障碍为金属功函数 ( $F_{\text{metal}}$ ) 与半导体电子亲和能 ( $X_{\text{sec}}$ ) 之差, 电子从半导体进入金属所遭遇的能量障碍为半导体功函数 ( $F_{\text{sec}}$ ) 与  $F_{\text{metal}}$  之差, 如果  $F_{\text{metal}} < X_{\text{sec}}$  时电子遭遇的能级为负值, 得到欧姆接触. 其他情况时可以通过重掺杂来实现金属和半导体的欧姆接触.

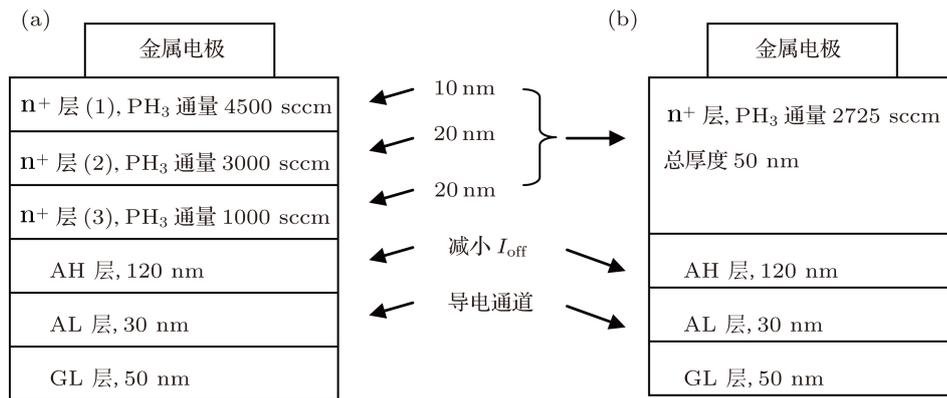


图 6 (a) 三层  $n^+$  结构的 TFT 局部示意图; (b) 单层  $n^+$  结构的 TFT 示意图

如图 6(a), (b) 所示为 3 层  $n^+$  和单层  $n^+$  的示意图, 多层  $n^+$  在和金属接触的第一层,  $\text{PH}_3$  掺杂浓度为 4500 sccm, 高于单层  $n^+$  的 2725 sccm, 掺杂浓度更高可以提高 n 型半导体的费密能级, 使得  $F_{\text{metal}} - F_{\text{sec}}$  较小, 而且可在禁带中引入浅能级的作用, 进一步降低接触势垒. 在重掺杂层缺陷很多, 薄膜的组织结构疏松, 为金属和半导体的相互扩散创造了条件. 金属和半导体的扩散有利于形成金属半导体化合物, 从而降低接触势垒. 由于重掺杂层很薄, 并且半导体界面由于结构迟滞存在作用, 使得表面能级分裂. 加上禁带内浅能级的存在, 大大增强了金属和半导体间的隧穿效应, 降低接触电阻.

同时与有源层接触的图 3(a)  $n^+$  第三层掺杂浓度 1000 sccm 也大大低于图 3(b) 的 2725 sccm. 和有源层的接触会导致  $\text{PH}_3$  中的杂质离子在生长和

退火过程中扩散到 AH 层中. 高速生长的 AH 层 (2.55 nm/s) 拥有较多的 H—Si—H 结构单元, 致密度较差, 有很高的电子俘获能力来填充深能级陷阱, 主要用途在于降低漏电流的不利因素. 但是  $\text{PH}_3$  中的杂质离子过多的扩散注入其中, 反而会提高其导电能力, 漏电流会因此提高. 所以在与之接触的  $n^+$  非晶硅层需要有较低的掺杂浓度. 而采用双层有源层结构就是为了使得漏电流降低的同时, 在下层非晶硅层采用低速生长 (0.58 nm/s), 拥有较少的 H—Si—H 结构单元, 更高的致密度来达到提升场效应电子迁移率的效果. 综合以上我们发现, 多层  $n^+$  可以同时满足降低欧姆接触层的势垒高度, 利于电子跨越势垒, 而且杂质离子扩散至有源层的浓度得以降低. 在可能的情况下, 将  $n^+$  分为更多层, 以上两个效应优势将更加明显, 但由于  $n^+$  层总体

时间成本相应提升,在大型生产线上最终采用的是3层 $n^+$ 的结构.

由以上单因素实验可以得出田口设计中的四个较重要因素分别为:AH厚度,AL厚度, $n^+$ a-Si分层,G-SiN<sub>x</sub>厚度.根据不同的组合,设计了18组参数的TFT并分别测量了迁移率,并计算了各个因子的影响比重.之后对最关键因素调整做进一步实验,找寻能尽量提高迁移率的量产组合条件.之后调整单因素实验中的参数,并通过田口设计的方法,对AH层厚度,AL层厚度,GH层厚度(GL厚度与之厚度成线性,可不考虑), $n^+$ 分层数进行组合参数设计,并制备TFT样品测量迁移率.

表1 主要因素影响力和置信因子

因素	影响力百分比/%	置信因子
AH层厚度	0.46	0.349
AL层厚度	2.29	0.672
GH层厚度	32.25	0.003
$n^+$ 分层数	33.37	0.003

之后利用mini tab统计软件计算4个因子的影响度,如表1所示.由于置信因子低于0.05的项目与迁移率相关性可以优先考虑,主要从 $n^+$ 膜厚和GL膜厚调整.两者总体对迁移率的影响度是

65.63%,分别为GH:32.25%, $n^+$ 分层:33.37%.两者对于迁移率的影响都有着决定性的作用,比重大体相同,至于还有34.37%左右的影响度是由其他条件共同分担:保护层成膜质量,磷烷通量,AL与AH厚度,工作环境等因素.

## 4 结论

对G-SiN<sub>x</sub>(栅极氮化硅)进行分层,分成高速成膜GH和低速成膜GL,且在G-SiN<sub>x</sub>总膜厚300 nm不变和工业生产允许的情况下,增加低速成膜GL的厚度,GH相应降低,电子迁移率逐步增加.

加大欧姆接触层膜厚,迁移率相应提高.此外,提高欧姆接触层的分层数将显著提升电子迁移率,但估计会有某个层数将达到临界值,即层数继续增多电学性能可能下降.同时,由于工业生产的经济效益和时间成本的限制,量产的分层数将定为三层.

最后,根据以上各项实验结果配合正交组合实验以及之后的进一步改良,得出可使量产TFT的迁移率稳定在0.66 cm<sup>2</sup>/V·s的最佳生产工艺:G-SiN<sub>x</sub>分层:GH膜厚220 nm,GL膜厚80 nm.a-Si:H分层:AH层膜厚30 nm,AL层膜厚120 nm. $n^+$ a-Si三层:总膜厚50 nm,单层分别为10 nm,20 nm,20 nm.该项研究为之后进一步挖掘a-Si:H TFT潜力打下了基础

- [1] Lilienfeld J E 1933 *US Pat.* **1,900** 018
- [2] Heil O 1935 *Brit. Pat.* **BP439** 457
- [3] Shockley W 1952 *Proc. IEEE* **40** 1365
- [4] Weimer P K 1962 *textitProc. IEEE* **50** 1462
- [5] Shallcross F V 1963 *Proc. IEEE* **51** 851
- [6] LeComber P G, Spear W E, Ghaith A 1979 *Electron. Lett.* **15** 179
- [7] Spear W E, LeComber P G, Kinmond S, Brodsky M H 1976 *Appl. Phys. Lett.* **28** 105
- [8] Zhang X D, Zhao Y, Gao Y T 2005 *Acta Phys. Sin.* **54** 3910 (in Chinese) [张晓丹, 赵颖, 高艳涛 2005 物理学报 **54** 3910]
- [9] Li J, Wu C Y, Zhao S Y 2006 *Acta Phys. Sin.* **55** 6612 (in Chinese) [李娟, 吴春亚, 赵淑云 2006 物理学报 **55** 6612]
- [10] Hoffman R L, Norris B J, Wager J F 2003 *Appl. Phys. Lett.* **82** 733
- [11] Hidenori Hiramatsu, Kazushige Ueda, Hiromichi Ohta, Toshio Kamiya, Masahiro Hirano, Hideo Hosono 2005 *Appl. Phys. Lett.* **87** 211107
- [12] Liu Z J, Meng Z G, Zhao S Y 2010 *Acta Phys. Sin.* **59** 2775 (in Chinese) [刘召军, 孟志国, 赵淑云 2010 物理学报 **59** 2775]
- [13] Qiang Lei, Yao Ruo-He 2012 *Acta Phys. Sin.* **61** 087303 (in Chinese) [强蕾, 姚若河 2012 物理学报 **61** 087303]
- [14] He Y, Hattori R, Kanicki J 2000 *IEEE Electron Dev. Lett.* **21** 590
- [15] Chen X X, Yao R H 2012 *Acta Phys. Sin.* **61** 237104 (in Chinese) [陈晓雪, 姚若河 2012 物理学报 **61** 237104]
- [16] Nathan A, Kumar A, Sakariya A, Servati P 2004 *IEEE J. Solid-State Circuits* **39** 1477
- [17] Stryahilev D, Sazonov A, Nathan A 2002 *J. Vac. Sci. Technol. A* **20** 1087
- [18] Zhu M F, Xu Z Y 1989 *Acta Phys. Sin.* **38** 1988 (in Chinese) [朱美芳, 许政一 1989 物理学报 **38** 1995]
- [19] Gu Z H 2007 *Manufacturing Technology of Thin Film Transistor (TFT) Array* (Shanghai: Fudan University Press) pp36-43 (in Chinese) [谷至华 2007 薄膜晶体管 (TFT) 阵列制造技术, 第一版 (上海: 复旦大学出版社) 第 36—43 页]
- [20] Nair V N 1992 *Technometrics* **34** 127
- [21] Shur M, Hack M 1984 *J. Appl. Phys.* **55** 3831
- [22] Shur M, Hack M, Shaw J G 1989 *J. Appl. Phys.* **66** 3371
- [23] Cherie R Kand, Paul Andry (Translated by Liao Y P and Wang J) 2008 *Thin-Film Transistors* (Beijing: Electronics Industry Press) pp31-33
- [24] Xie Z Y, Long C P, Deng C Y, Lin C W 2007 *Chinese Journal of Vacuum Science and Technology* **27** 341
- [25] LeComber P G, Spear W E, Ghaith A 1979 *Electron. Lett.* **15** 179

# Improving the mobility of the amorphous silicon TFT with the new stratified structure by PECVD

Yu Yao<sup>1)</sup> Zhang Jing-Si<sup>2)</sup> Chen Dai-Dai<sup>1)</sup> Guo Rui-Qian<sup>1)</sup> Gu Zhi-Hua<sup>1)†</sup>

1) (Flat Panel Display Center of Laboratory of Advanced Materials, Fudan University, Shanghai 200433, China)

2) (CATIC display company, Shanghai 201100, China)

(Received 8 February 2013; revised manuscript received 29 April 2013)

## Abstract

The amorphous silicon TFT ( $\alpha$ -Si thin film transistor) were fabricated in a new structure, in which the ohmic contact layer ( $n^+$  layer) and the nitride silicon insulating layer for grid ( $G\text{-SiN}_x$ ) were stratified. Various factors which affect the electron mobility of  $\alpha$ -Si TFT are studied using orthogonal test. With the increase in the number of  $n^+$  layer, the electronic mobility also rises. Besides,  $G\text{-SiN}_x$  should be stratified into a rapid deposition film (GH) and a low-speed growing film (GL). The thickness of GL should be increased, with the thickness of GH reduced accordingly to achieve the electron mobility gradually increasing. Finally, based on the experimental results in the orthogonal combination experiments, the  $\alpha$ -Si TFT mobility can stably reach  $0.66 \text{ cm}^2/\text{V}\cdot\text{s}$ , much higher than the traditional volume production data ( $0.29 \text{ cm}^2/\text{V}\cdot\text{s}$ ).

**Keywords:** amorphous silicon TFT, electron mobility,  $n^+$  layer,  $G\text{-SiN}_x$

**PACS:** 85.30.Tv, 71.23.Cq, 73.61.-r

**DOI:** 10.7498/aps.62.138501

---

† Corresponding author. E-mail: zhihuagu@126.com