

非对称 Halo 异质栅应变 Si SOI MOSFET 的 二维解析模型*

辛艳辉[†] 刘红侠 范小娇 卓青青

(西安电子科技大学微电子学院, 宽禁带半导体材料与器件教育部重点实验室, 西安 710071)

(2013年3月1日收到; 2013年4月2日收到修改稿)

为了进一步提高深亚微米 SOI (Silicon-On-Insulator) MOSFET (Metal-Oxide Semiconductor Field Effect Transistor) 的电流驱动能力, 抑制短沟道效应和漏致势垒降低效应, 提出了非对称 Halo 异质栅应变 Si SOI MOSFET. 在沟道源端一侧引入高掺杂 Halo 结构, 栅极由不同功函数的两种材料组成. 考虑新器件结构特点和应变的影响, 修正了平带电压和内建电势. 为新结构器件建立了全耗尽条件下的表面势和阈值电压二维解析模型. 模型详细分析了应变对表面势、表面场强、阈值电压的影响, 考虑了金属栅长度及功函数差变化的影响. 研究表明, 提出的新器件结构能进一步提高电流驱动能力, 抑制短沟道效应和抑制漏致势垒降低效应, 为新器件物理参数设计提供了重要参考.

关键词: 非对称 Halo, 异质栅, 应变 Si, 短沟道效应

PACS: 85.30.De, 85.30.Hi, 85.35.-p

DOI: 10.7498/aps.62.158502

1 引言

随着 MOSFET 的尺寸不断缩小, 已经进入了纳米时代. 然而, 随着器件沟道长度的缩小, 一些影响器件特性的效应如短沟效应 (short channel effect, SCE)、漏致势垒降低 (drain induced barrier lowering, DIBL) 效应、热载流子效应 (hot carrier effect, HCE) 等更加明显. 因此, 异质栅 SOI MOSFET 似乎是一种极具应用前景的器件. 异质栅技术将不同功函数的材料进行拼接形成栅极, 在沟道电势中引入阶梯分布, 提高载流子的输运速度^[1-3]. 然而, 当器件缩小到 100 nm 以下时, DMG SOI MOSFET 的 DIBL 效应比较明显. 已有报道表明, Halo 结构可以抑制源-漏穿透效应, 减小阈值电压降低幅度, 提高载流子输运效率^[4,5]. 在沟道靠近源/漏端引入高掺杂区可以有效地抑制 DIBL 效应, 在很大程度上降低关态截止电流^[6]. 另外, 应变硅技术利用 Si 和 SiGe 材料的晶格失配产生张应变或压应变效应, 使应变 Si 中的电子和空穴的迁移率得到显著增强, 且

工艺与常规的硅工艺有良好的兼容性而被广泛的研究^[7-9].

本文将栅工程、沟道掺杂工程和应变工程相结合, 提出了非对称 Halo 异质栅应变 Si SOI MOSFET 新结构. 采用分区的抛物线电势近似法和通用边界条件求解二维泊松方程, 结合新器件结构的特点和应变的影响, 对平带电压和内建电势进行了修正, 建立了全耗尽条件下的表面势和阈值电压二维模型. 模型分析了弛豫 SiGe 层的 Ge 组分、金属栅长、栅功函数差的影响, 为器件设计提供了有价值的参考. 最后, 对新结构器件与常规 SOIMOSFET 性能进行了对比研究.

2 器件结构和应变修正

图 1 为非对称 Halo 异质栅应变 Si SOI MOSFET 结构示意图. 图中 t_f , t_{s-Si} , t_b 分别为高 k 栅介质层、应变硅层、埋氧层的厚度. 在应变 Si 沟道靠近源端处引入 Halo 区. 根据异质栅和 Halo 沟道掺杂的特点, 沟道分 1, 2, 3 三个区域, 分别用 N_1 , N_2 , N_2

* 国家自然科学基金 (批准号: 60936005, 61076097) 和教育部博士点基金 (批准号: 20110203110012) 资助的课题.

[†] 通讯作者. E-mail: xinyanhui@ncwu.edu.cn

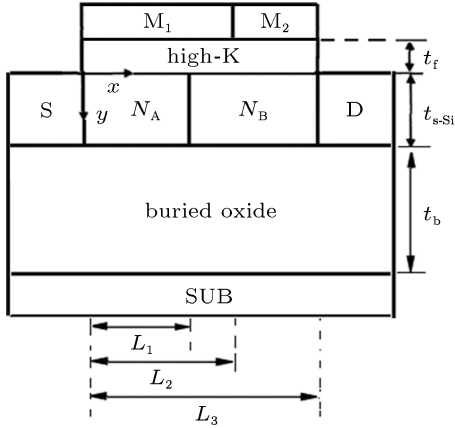


图1 非对称 Halo 异质栅应变 Si SOI MOSFET 结构示意图

表示这三个区域的沟道掺杂浓度, 其中, $N_1 = N_A$, $N_2 = N_3 = N_B$. 应变修正为

1) 应变使 Si 的电子亲和能、禁带宽度和载流子的有效质量减小^[10,11], 变化如下:

$$(\Delta E_C)_{s-Si} = 0.57x,$$

$$(\Delta E_g)_{s-Si} = 0.4x,$$

$$V_T \ln \left(\frac{N_{V,Si}}{N_{V,s-Si}} \right) = V_T \ln \left(\frac{m_{h,Si}^*}{m_{h,s-Si}^*} \right)^{3/2} \approx 0.075x.$$

2) 考虑异质栅 Halo 结构和应变的影响, 对应变 Si 沟道两个掺杂区域和金属栅之间的平带电压进行修正^[10,11]:

$$(V_{FB,Fj})_{s-Si} = (V_{FB,Fj})_{Si} + \Delta V_{FB,f}, \quad j = 1, 2, 3,$$

$$(V_{FB,F1})_{Si} = \phi_{M1} - \phi_{Si1},$$

$$(V_{FB,F2})_{Si} = \phi_{M1} - \phi_{Si2},$$

$$(V_{FB,F3})_{Si} = \phi_{M2} - \phi_{Si3},$$

$$\phi_{Sij} = \frac{\chi_{Si}}{q} + \frac{E_{g,Si}}{2q} + V_T \ln \left(\frac{N_j}{n_{i,Si}} \right), \quad j = 1, 2, 3,$$

$$\Delta V_{FB,f} = \frac{-(\Delta E_C)_{s-Si}}{q} + \frac{(\Delta E_g)_{s-Si}}{q} - V_T \ln \left(\frac{N_{V,Si}}{N_{V,s-Si}} \right).$$

3) 考虑异质栅 Halo 结构和应变的影响, 对应变 Si 沟道两个掺杂区域和衬底之间的平带电压进行修正^[10,11]:

$$(V_{FB,Bj})_{s-Si} = (V_{FB,Bj})_{Si} + \Delta V_{FB,b}, \quad j = 1, 2, 3,$$

$$(V_{FB,Bj})_{Si} = \phi_{sub} - \phi_{Sij}, \quad j = 1, 2, 3,$$

$$\phi_{sub} = \frac{\chi_{Si}}{q} + \frac{E_{g,Si}}{2q} + V_T \ln \left(\frac{N_{sub}}{n_{i,Si}} \right),$$

$$\phi_{Sij} = \frac{\chi_{Si}}{q} + \frac{E_{g,Si}}{2q} + V_T \ln \left(\frac{N_j}{n_{i,Si}} \right), \quad j = 1, 2, 3,$$

$$\Delta V_{FB,b} = \frac{-(\Delta E_C)_{s-Si}}{q} + \frac{(\Delta E_g)_{s-Si}}{q} - V_T \ln \left(\frac{N_{V,Si}}{N_{V,s-Si}} \right),$$

其中, ϕ_{sub} , ϕ_{Si} 分别是衬底和体硅的功函数. N_{sub} 是衬底的掺杂浓度, $n_{i,Si}$ 是体硅的本征掺杂浓度.

4) 应变使 Si 的能带发生了变化, 将应变 Si 的内建电势 $V_{bi,s-Si}$ 进行修正^[10,11]:

$$V_{bi,s-Si} = V_{bi,Si} + (\Delta V_{bi})_{s-Si},$$

$$V_{bi,Si} = \frac{E_{g,Si}}{2} + V_T \ln \left(\frac{N_1}{n_{i,Si}} \right),$$

$$(\Delta V_{bi})_{s-Si} = \frac{-(\Delta E_g)_{s-Si}}{q} - V_T \ln \left(\frac{N_{V,Si}}{N_{V,s-Si}} \right).$$

3 表面势模型

忽略固定氧化层电荷对沟道电势的影响, 考虑短沟道, 所以弱反型时电势分布可以用二维泊松方程表示为

$$\frac{\partial^2 \phi_j(x, y)}{\partial x^2} + \frac{\partial^2 \phi_j(x, y)}{\partial y^2} = \frac{qN_j}{\epsilon_{Si}},$$

$$L_{j-1} \leq x \leq L_j, 0 \leq y \leq t_{s-Si}, \quad j = 1, 2, 3, \quad (1)$$

其中, ϵ_{Si} 是沟道的介电常数, $L_0 = 0$.

根据 Young 模型^[12], 漏偏压比较小时, $\phi_j(x, y)$ 的纵向电势采用抛物线近似, 即

$$\phi_j(x, y) = \phi_{Sj}(x) + c_{j1}(x)y + c_{j2}(x)y^2,$$

$$L_{j-1} \leq x \leq L_j, 0 \leq y \leq t_{s-Si}, \quad j = 1, 2, 3, \quad (2)$$

其中, $\phi_{Sj}(x)$ 应变 Si 沟道三个区域的正面表面电势; $C_{j1}(x)$, $C_{j2}(x)$ 是仅与 x 有关的函数. 求解泊松方程, 边界条件如下:

1) 根据硅层正面/栅介质层及背面/埋氧层界面处的电通量连续, 得

$$\left. \frac{d\phi_j(x, y)}{dy} \right|_{y=0} = \frac{\epsilon_f}{\epsilon_{Si}} \cdot \frac{\phi_{Sj}(x) - V'_{GSj}}{t_f}, \quad j = 1, 2, 3, \quad (3)$$

$$\left. \frac{d\phi_j(x, y)}{dy} \right|_{y=t_{s-Si}} = \frac{\epsilon_{ox}}{\epsilon_{Si}} \cdot \frac{V'_{SUBj} - \phi_B(x)}{t_b}, \quad j = 1, 2, 3, \quad (4)$$

其中

$$V'_{GSj} = V_{GS} - (V_{FB,Fj})_{s-Si},$$

$$V'_{SUBj} = V_{SUB} - (V_{FB,Bj})_{s-Si}, \quad j = 1, 2, 3.$$

式中, V'_{GSj} 和 V'_{SUBj} 分别为栅源有效电压和衬底有效电压, V_{GS} , V_{SUB} 分别为栅源电压和衬底电压, $(V_{FB,Fj})_{s-Si}$ 和 $(V_{FB,Bj})_{s-Si}$ 分别为应变硅沟道和金属栅及衬底之间的平带电压, $\phi_B(x)$ 为背面的表面势.

2) 根据表面势和电场在三个区的交界处连续, 得

$$\phi_j(L_j, 0) = \phi_{j+1}(L_j, 0), j = 1, 2, \quad (5)$$

$$\left. \frac{d\phi_j(x, y)}{dx} \right|_{x=L_j} = \left. \frac{d\phi_{j+1}(x, y)}{dx} \right|_{x=L_j}, j = 1, 2. \quad (6)$$

3) 源、漏区的边界条件分别为

$$\phi_1(0, 0) = \phi_{S1}(0) = V_{bi,s-Si}, \quad (7)$$

$$\phi_3(L_3, 0) = \phi_{S3}(L_3) = V_{bi,s-Si} + V_{DS}. \quad (8)$$

通过边界条件 (3), (4) 和方程式 (2) 式, (1) 式, 可得表面势方程

$$\frac{d^2\phi_{Sj}(x)}{dx^2} - \lambda^2\phi_{Sj}(x) = \beta_j, j = 1, 2, 3, \quad (9)$$

其中

$$\lambda^2 = \frac{2(C_b C_{s-Si} + C_f C_{s-Si} + C_f C_b)}{t_{s-Si}^2 C_{s-Si} (2C_{s-Si} + C_b)},$$

$$C_{s-Si} = \frac{\epsilon_{Si}}{t_{s-Si}}, C_f = \frac{\epsilon_f}{t_f}, C_b = \frac{\epsilon_{ox}}{t_b},$$

$$\beta_j = \frac{qN_j}{\epsilon_{Si}} - 2V'_{GSj} \frac{C_f(C_{s-Si} + C_b)}{t_{s-Si}^2 C_{s-Si} (2C_{s-Si} + C_b)}$$

$$- 2V'_{SUBj} \frac{C_b}{t_{s-Si}^2 (2C_{s-Si} + C_b)}, j = 1, 2, 3.$$

方程 (9) 是二阶常微分方程, 其解的形式如下:

$$\phi_{Sj}(x) = A_j e^{\lambda x} + B_j e^{-\lambda x} - \sigma_j,$$

$$\sigma_j = \beta_j / \lambda^2, L_{j-1} \leq x \leq L_j, j = 1, 2, 3. \quad (10)$$

由边界条件 (5)—(8) 可得 A_j 和 B_j (其中 $j = 1, 2, 3$) 的表达式.

假设 $C_b \ll C_f, C_b \ll C_{Si}$, 则

$$A_1 = \frac{V_1 + (\exp(-\lambda L) - 1) \cdot V_{GS}}{2 \sinh(\lambda L)},$$

$$B_1 = \frac{V_2 + (1 - \exp(\lambda L)) \cdot V_{GS}}{2 \sinh(\lambda L)},$$

$$A_j = A_{j-1} - \frac{U_{j-1} - U_j}{2} \cdot \exp(-\lambda L_{j-1}), j = 2, 3,$$

$$B_j = B_{j-1} - \frac{U_{j-1} - U_j}{2} \cdot \exp(\lambda L_{j-1}), j = 2, 3,$$

$$V_1 = (V_{bi,s-Si} + V_{DS} + U_3)$$

$$- (V_{bi,s-Si} + U_1) \cdot \exp(-\lambda L) + V_3,$$

$$V_2 = - (V_{bi,s-Si} + V_{DS} + U_3)$$

$$+ (V_{bi,s-Si} + U_1) \cdot \exp(\lambda L) - V_3,$$

$$V_3 = \sum_{j=1}^2 \cosh[\lambda(L - L_j)](U_j - U_{j+1}),$$

$$U_j = \frac{qN_j t_{s-Si}}{C_f} - V'_{SUBj} \frac{C_b}{C_f}$$

$$+ (V_{FB,Fj})_{s-Si}, j = 1, 2, 3.$$

沿沟道的电场决定了电子的通过沟道的运输速度, 金属栅下的电场为

$$E_j(x) = \lambda A_j e^{\lambda x} - \lambda B_j e^{-\lambda x}, j = 1, 2, 3.$$

4 阈值电压模型

假设靠近源端金属 M_1 比漏端金属 M_2 的功函数高, 并且两个区域的掺杂浓度 $N_A > N_B$, 则最小表面势在 $0 \leq x \leq L_1$ 区域, 如图 2 所示, 由 (10) 式得

$$\frac{d\phi_{S1}(x)}{dx} = 0,$$

可得前沟道最小表面势及其位置,

$$x_{\min} = \ln(B_1/A_1)/2\lambda,$$

$$\phi_{s\min} = 2\sqrt{A_1 B_1} - \sigma_1. \quad (11)$$

在全耗尽 SOI MOSFET 中, 阈值电压 V_{th} 是前沟道导通而背沟道未开启时的栅源电压. 阈值电压定义为 $\phi_{S\min}$ 等于 $0 \leq x \leq L_1$ 区域的费米势的 2 倍, 即 $\phi_{S\min} = 2\phi_{F,S1}$ 时的栅源电压. 考虑到应变, 前栅表面势的最小值修正为^[10,11]

$$\phi_{S\min} = 2\phi_{F,S1} + \Delta\phi_{s-Si} = \phi_{th}, \quad (12)$$

其中

$$\phi_{F,S1} = V_T \ln \left(\frac{N_1}{n_{i,S1}} \right),$$

$$\Delta\phi_{s-Si} = \frac{-(\Delta E_g)_{s-Si}}{q} + V_T \ln \left(\frac{N_{V,S1}}{N_{V,s-Si}} \right).$$

把 (12) 式代入 (11) 式可得到阈值电压的表达式

$$V_{th} = \frac{-b + \sqrt{b^2 - 4ac}}{2a}, \quad (13)$$

其中

$$a = 2 \cosh(\lambda L) - 2 - \sinh^2(\lambda L),$$

$$b = V_1(1 - \exp(\lambda L)) + V_2(\exp(-\lambda L) - 1)$$

$$+ 2 \sinh^2(\lambda L) \cdot (\phi_{th} + U_1),$$

$$c = V_1 V_2 - \sinh^2(\lambda L) \cdot (\phi_{th} + U_1)^2,$$

$$L = L_3.$$

5 模型验证与分析讨论

文中采用下列参数对表面势模型和阈值电压模型进行了分析和验证. 前栅分别采用功函数 $\phi_{M1} = 4.77 \text{ eV}$ 和 $\phi_{M2} = 4.10 \text{ eV}$ 的金属材料, 其他参数如下所述: $V_{GS} = 0.3 \text{ V}$, $V_{DS} = 1 \text{ V}$, $V_{SUB} = 0 \text{ V}$, $N_D = 10^{20} \text{ cm}^{-3}$, 沟道掺杂浓度 $N_A = 4 \times 10^{18} \text{ cm}^{-3}$, $N_B = 1 \times 10^{18} \text{ cm}^{-3}$, 衬底掺杂浓度 $N_{SUB} = 1 \times 10^{17} \text{ cm}^{-3}$, 栅介质层、应变硅层、埋氧层的厚度分别 $t_f = 2 \text{ nm}$, $t_{s-Si} = 25 \text{ nm}$, $t_b = 200 \text{ nm}$, 栅介质层的介电常数 $\epsilon_f = 20$. 取 $L_1 = 20 \text{ nm}$, $L_2 = 50 \text{ nm}$, $L_3 = 100 \text{ nm}$. 当 $\phi_{M1} = \phi_{M2} = 4.10 \text{ eV}$, 且 $N_A = N_B = 1 \times 10^{18} \text{ cm}^{-3}$ 时, 就演变成了常规的 SOI MOSFET 器件.

图 2 描述了弛豫层的 Ge 组分 X 不同时, 沟道表面势的分布情况. 在源端和漏端表面势随弛豫层中 Ge 组分的增加而减小; 在沟道中间段其表面电势则随 Ge 组分的增加而增大, 意味着其阈值电压较低. 由于靠近源端的金属栅功函数较高, 又在源端引入了 Halo 结构, 所以使表面势最小值位于高掺杂的 N_1 区, 位于 N_1 区的表面势最小值决定了器件的阈值电压. 沟道电势分别在 Halo 交界处和异质材料栅交界处产生电势阶梯分布, 这是由于沟道掺杂浓度不同和两个栅的功函数差不同引起的.

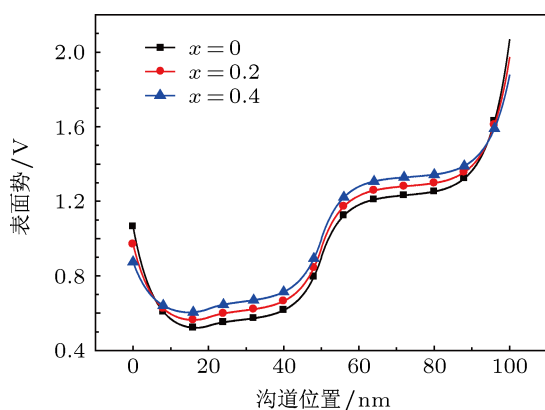


图 2 不同 Ge 组分下沟道表面势的分布曲线

图 3 给出了 $L_1 = 20 \text{ nm}$, 沟长 $L = 100 \text{ nm}$, 栅长 L_2 不同时, 沟道表面势的分布曲线. 从图 3 可以看出, 沟道电势在金属栅交界处产生了明显的阶梯电势, 与文献 [13] 描述一致. 随着第 3 个区域长度的相对增加, 台阶电势随之向源端移动. 这是因为金

属栅 M_1 的长度变化, 台阶电势的位置也随之变化, 金属栅 M_1 起到了控制作用.

图 4 给出了弛豫层中的 Ge 组分不同时, 表面场强沿沟道的分布曲线. 从图中可以看出, 在 Halo 边界和两种栅材料界面附近, 各有一个电场峰值. 在 Halo 边界的电场峰值, 使进入沟道的载流子较早地加速, 再经过第二个电场峰值的进一步加速, 载流子输运速度大为提高, 从而提高了器件跨导及截止频率 [14]. 同时也可以观察得到, 源端表面电场随弛豫层中 Ge 组分的增加而增加, 但是漏端表面电场则随弛豫层中 Ge 组分的增加而减小.

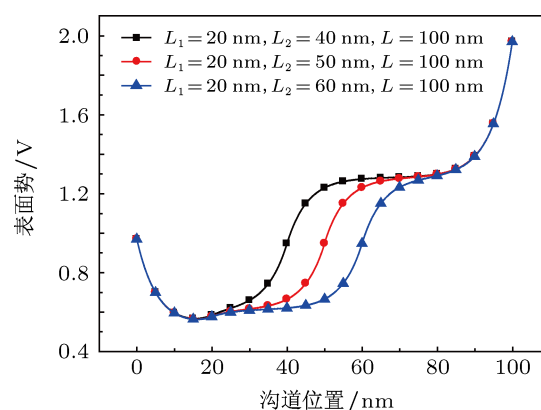


图 3 不同栅长 L_2 下沟道表面势的分布曲线

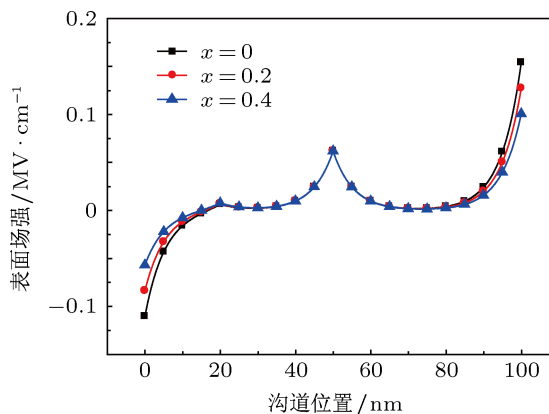


图 4 不同 Ge 组分下表面场强在沟道中的分布

图 5 为 $X = 0.2$ 时, 表面场强随 Halo 掺杂浓度的变化关系曲线. 由图 5 可以看出, Halo 区掺杂长度决定着第一个电场峰值的位置, 随着 Halo 区掺杂浓度的增大, 源端电场增大, 且第一个电场峰值增大. 这是由于 Halo 区掺杂浓度增大, 最小表面势降低, 使 Halo 区交界处的阶梯电势高度增加造成的.

图 6 给出了 $X = 0.2$ 时, 表面场强随不同栅长 L_2 及栅功函数差的关系曲线. 由图 6 可以看出, 随

着第 3 个区域长度的相对增加, 第二个电场峰值向源端移动, 可以使载流子更早的加速. 随着两种金属功函数差的增大, 源端电场增大, 且第二个电场峰值增大, 使电子从源极注入沟道的速度增大, 提高驱动电流. 可见, Halo 区掺杂浓度和两种金属的功函数差影响着源端电场和电场峰值的大小. Halo 区掺杂浓度的变化和功函数的变化对漏端电场均影响不大.

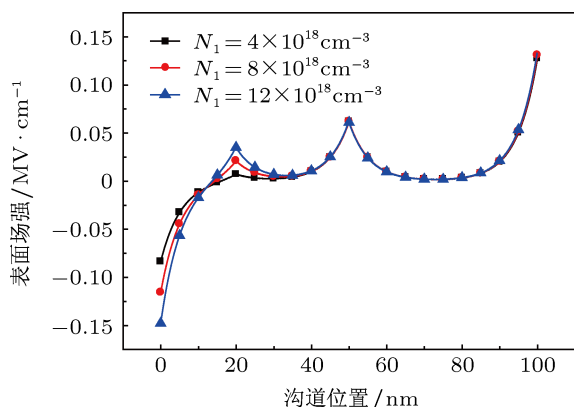


图 5 表面场强随 Halo 掺杂浓度的变化

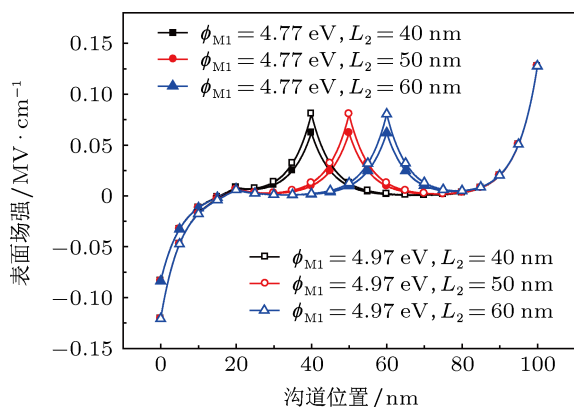


图 6 表面场强随不同栅长 L_2 及栅功函数差的变化

图 7 给出了 $L_1 = 20 \text{ nm}$, $L = 100 \text{ nm}$, $X = 0.2$, 不同栅长 L_2 下, 阈值电压随栅长 L 的变化曲线. 可以看出, 随着第 3 个区域长度的相对增加, 阈值电压随之减小. 这是由于金属栅 M_1 长度减小, 最小表面势增加, 台阶电势减小, 因此阈值电压减小. 金属栅 M_1 的功函数较大, 对器件的影响较大, 因此金属栅 M_1 叫“控制栅”. 由图可以看出, 当 $L_2 = 30 \text{ nm}$, 沟道长度小于 60 nm 时, 阈值电压随沟道长度减小没有太明显的降落; 而 $L_2 = 50 \text{ nm}$, 沟道长度小于 60 nm 时, 阈值电压随沟道长度减小有较明显的降落. 所以, 第 3 个区域长度的相对增加, 能较好的抑制短沟道效应.

图 8 给出了不同 Ge 组分下非对称 Halo 异质栅 (Dual material gate Halo, DMGH) SOI MOSFET 器件和常规 SOI MOSFET 器件的阈值电压随栅长的变化曲线. 对 DMGH 或常规器件, 应变沟道的应变越大其阈值电压越小. 这是由于弛豫层中 Ge 组分增加, 应变 Si 应变加强, 禁带宽度进一步减小, ΔE_c 增大, 本征载流子浓度和沟道电子面密度均提高, 从而导致阈值电压减小. 当 Ge 组分相同时, DMGH SOI MOSFET 器件比常规 SOI MOSFET 器件的阈值电压高, 这是由于 DMGH 器件的 Halo 区表面势最小值决定了器件的阈值电压, Halo 区沟道掺杂浓度较大, 电离受主的影响使得沟道内反型载流子面密度减小, 导致阈值电压变大.

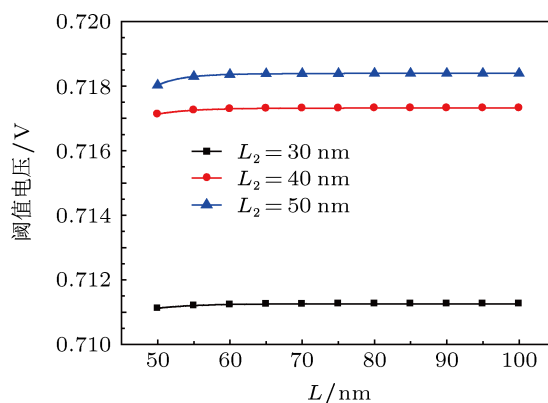


图 7 不同栅长 L_2 下阈值电压随栅长 L 的变化曲线 ($L_1 = 20 \text{ nm}$, $X = 0.2$)

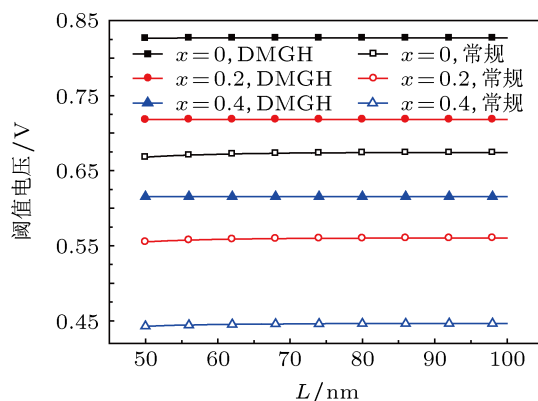


图 8 不同 Ge 组分下 DMGH(非对称 Halo 异质栅) 和常规器件的阈值电压随栅长的变化曲线

图 9 为 Ge 组分 $X = 0.2$ 时, DIBL(用 $\Delta V_{th}/\Delta V_{ds}$ 描述) 随 L 的变化曲线. 其中, $\Delta V_{th} = V_{th}|_{V_{ds}=0.05} - V_{th}|_{V_{ds}=2}$, 可以看出, DMGH 器件的 DIBL 比常规 SOI MOSFET 器件的 DIBL 小, 因此表明 DMGH 对 DIBL 有明显的抑制作用.

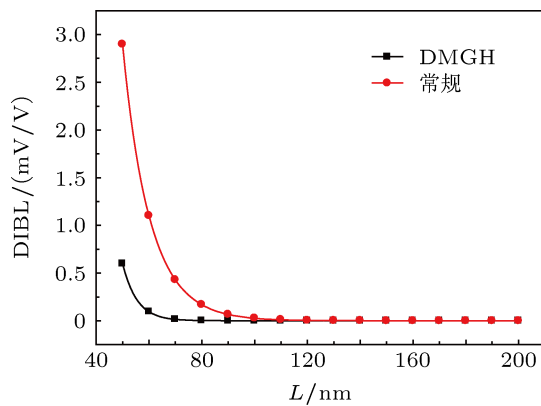


图9 DMGH(非对称 Halo 异质栅)和常规器件 DIBL 的比较

6 结论

论文将应变工程、沟道掺杂工程和异质栅结

构相结合,提出了非对称 Halo 异质栅应变 Si SOI MOSFET 新型器件结构. 通过边界条件,求解二维泊松方程,建立了全耗尽条件下表面势和阈值电压模型. 模型详细分析了应变对表面势、表面场强、阈值电压的影响. 由于 Halo 结构和功函数差的影响,沟道表面电势产生两个电势阶梯分布,表面电场产生两个电场峰值,使载流子的输运速度大为提高. 适当增加第 3 个区域的长度,台阶电势和电场峰值均随之向源端移动,可使载流子更早的加速. 而且,阈值电压随沟道长度的减小没有明显降落,说明能较好的抑制短沟道效应. 将新器件结构和常规器件比较,证明新器件能够更好的抑制 SCE 和 DIBL 效应,进一步提高载流子的传输效率.

- [1] Rupendra K S, Ritesh G, Mridula G, Gupta R S 2009 *IEEE Trans on Electron Devices* **56** 1284
- [2] Reddy G V, Kumar M J 2005 *IEEE Trans on Nanotechnology* **4** 260
- [3] Zhou X 2000 *IEEE Trans Electron Devices* **47** 113
- [4] Li Z C 2008 *Chin. Phys. B* **17** 4312
- [5] Djeflal F, Meguellati M, Benhaya A 2009 *Physica E* **41** 1872
- [6] Reddy G V, Kumar M J 2004 *Microelectronics Journal* **35** 761
- [7] Wang X Y, Zhang H M, Song J J, Ma J L, Wang G Y, An J H 2011 *Acta Phys. Sin.* **60** 077205 (in Chinese) [王晓艳, 张鹤鸣, 宋建军, 马建立, 王冠宇, 安久华 2011 物理学报 **60** 077205]
- [8] Zhang H M, Cui X Y, Hu H Y, Dai X Y, Xuan R X 2007 *Acta Phys. Sin.* **56** 3504 (in Chinese) [张鹤鸣, 崔晓英, 胡辉勇, 戴显英, 宣荣喜 2007 物理学报 **56** 3504]
- [9] Li J, Liu H X, Li B, Cao L, Yuan B 2010 *Acta Phys. Sin.* **59** 8131 (in Chinese) [李劲, 刘红侠, 李斌, 曹磊, 袁博 2010 物理学报 **59** 8131]
- [10] Venkataraman V, Nawal S, Kummer M J 2007 *IEEE Trans. on Electron Devices* **54** 554
- [11] Kummer M J, Venkataraman V, Nawal S 2006 *IEEE Trans. on Electron Devices* **53** 364
- [12] Young K K 1989 *IEEE Trans on Electron Devices* **36** 399
- [13] Luan S Z, Liu H X, Jia R X, Cai N Q 2008 *Acta Phys. Sin.* **57** 3807 (in Chinese) [栾苏珍, 刘红侠, 贾仁需, 蔡乃琼 2008 物理学报 **57** 3807]
- [14] Reddy G V, Kumar M J 2005 *IEEE Trans Nanotechnology* **4** 260

Two-dimensional analytical model of dual material gate strained Si SOI MOSFET with asymmetric Halo*

Xin Yan-Hui[†] Liu Hong-Xia Fan Xiao-Jiao Zhuo Qing-Qing

(Key Laboratory for Wide Band Gap Semiconductor Materials and Devices of Education, School of Microelectronics, Xidian University, Xi'an 710071, China)

(Received 1 March 2013; revised manuscript received 2 April 2013)

Abstract

In order to improve the driving current and suppress the SCE and DIBL effect of deep submicron SOI MOSFET, dual material gate strained Si SOI MOSFET structure with asymmetric Halo has been proposed. An impurity with a higher concentration is injected into the channel end near the source and the two materials with different work functions are put together to form the gate. By considering both the characteristics of the new device structure and the influence of strain, the flatband voltage and built-in potential have been corrected. A two-dimensional analytical model for the surface potential and the threshold voltage is proposed by solving Poisson's equation. The effect of Ge fractions in the relaxed layer on surface potential, surface electric field, and threshold voltage is investigated. The model proposed in this paper takes into account the effects of gate metals length and their work functions. Results show that the novel device can increase carrier transport speed and suppress the SCE and DIBL effects, which provides a valuable reference to the physical parameter design.

Keywords: asymmetric Halo, dual material gate, strained Si, short channel effect

PACS: 85.30.De, 85.30.Hi, 85.35.—p

DOI: 10.7498/aps.62.158502

* Project supported by the National Natural Science Foundation of China (Grant Nos. 60936005, 61076097), and the Specialized Research Fund for the Doctoral Program of Higher Education, China (Grant No. 20110203110012).

[†] Corresponding author. E-mail: xinyanhui@ncwu.edu.cn