

# 异质多晶 SiGe 栅应变 Si NMOSFET 物理模型研究\*

王斌<sup>†</sup> 张鹤鸣 胡辉勇 张玉明 宋建军 周春宇 李妤晨

(西安电子科技大学微电子学院, 宽禁带半导体材料与器件重点实验室, 西安 710071)

(2013年4月12日收到; 2013年7月21日收到修改稿)

结合了“栅极工程”和“应变工程”二者的优点, 异质多晶 SiGe 栅应变 Si MOSFET, 通过沿沟道方向使用不同功函数的多晶 SiGe 材料, 在应变的基础上进一步提高了 MOSFET 的性能. 本文结合其结构模型, 以应变 Si NMOSFET 为例, 建立了强反型时的准二维表面势模型, 并进一步获得了其阈值电压模型以及沟道电流的物理模型. 应用 MATLAB 对该器件模型进行了分析, 讨论了异质多晶 SiGe 栅功函数及栅长度、衬底 SiGe 中 Ge 组分等参数对器件阈值电压、沟道电流的影响, 获得了最优化的异质栅结构. 模型所得结果与仿真结果及相关文献给出的结论一致, 证明了该模型的正确性. 该研究为异质多晶 SiGe 栅应变 Si MOSFET 的设计制造提供了有价值的参考.

**关键词:** 异质多晶 SiGe 栅, 应变 Si NMOSFET, 表面势, 沟道电流

**PACS:** 85.30.De, 85.30.-z

**DOI:** 10.7498/aps.62.218502

## 1 引言

在硅基应变 Si/SiGe 异质结构中, 由双轴应变所引起的能带分裂可以使应变 Si 中的电子和空穴迁移率都得到显著增强<sup>[1,2]</sup>, 并且由于与 Si 工艺兼容, 结构简单, 使应变 Si MOSFET 在高速/高性能小尺寸 CMOS 器件与电路的研究设计中得到广泛应用<sup>[3,4]</sup>. 随着沟道长度的不断减小, 如何继续保持甚至继续提高应变 Si MOSFET 的性能便成为当前研究的热点问题.

由 Long 和 Zhou 等人<sup>[5,6]</sup>提出的异质栅 (dual-material gate) 结构 MOSFET 被证明通过使用不同功函数的栅极材料, 大幅度的提高 MOSFET 的器件性能. 这种结构的优点在于沟道内电势呈阶梯分布, 使得载流子在源端的速度增强, 沟道载流子平均漂移速度增加, 提高了小尺寸器件的载流子输运效率、驱动电流和截止频率, 并且可以抑制短沟道效应 (SCE) 和漏致势垒降低 (DIBL) 效应<sup>[7-12]</sup>.

为了进一步提高应变 Si 器件的性能, 本文将“栅极工程”和“应变工程”相结合, 建立了基于应变 Si/SiGe 衬底结构的异质多晶 SiGe 栅 MOSFET

结构模型, 并基于该模型, 以应变 Si NMOSFET 为例, 建立了强反型时的准二维表面势模型, 进一步获得了其阈值电压模型以及沟道电流的物理模型. 应用 MATLAB 对该器件模型进行了分析, 讨论了异质多晶 SiGe 栅功函数及栅长度、衬底 SiGe 中 Ge 组分等参数对器件阈值电压、沟道电流的影响, 获得了最优化的异质栅结构. 模型所得结果与仿真结果及相关文献给出的结论一致, 为异质多晶 SiGe 栅应变 Si MOSFET 的设计制造提供了有价值的参考.

## 2 器件结构及物理模型

异质多晶 SiGe 栅应变 Si MOSFET 结构采用两种不同 Ge 组分的多晶 SiGe 材料横向接触形成栅极 (如图 1 所示). 多晶 SiGe 作为栅极不但可以连续的调节功函数, 有利于调节器件的阈值电压, 还可以使器件呈现出良好的短沟道特性, 改善亚阈摆幅, 提高  $I_{on}:I_{off}$  的比值<sup>[13]</sup>. 两个栅极的功函数  $W_{poly,i}$  ( $i = I, II$ ) 分别与 Ge 组分  $\alpha, \beta$  有关, 对于 NMOSFET, 有  $W_{poly,I} > W_{poly,II}$ . 器件使用逆向掺杂 (retrograde) 结构, 即  $N_B > N_{ch}$ , 较低的沟道掺杂  $N_{ch}$

\* 模拟集成电路国家重点实验室基金 (批准号: P140c090303110c0904)、教育部博士点基金 (批准号: JY0300122503) 和中央高校基本业务费 (批准号: K5051225014, K5051225004) 资助的课题.

<sup>†</sup> 通讯作者. E-mail: wbin0316@126.com

可减小离化杂质散射. 另外, 空间电荷区主要在弛豫 SiGe 虚拟衬底中, Ge 组分渐变 SiGe 缓冲层对  $V_{th}$  和电学特性几乎没有影响, 图 1 只表示出沟道和虚拟衬底部分.

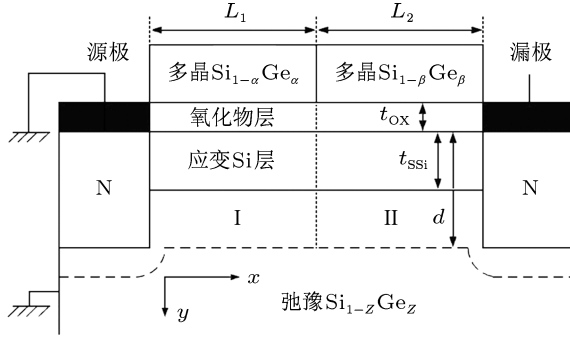


图 1 异质多晶 SiGe 栅应变 Si N MOSFET 结构模型

## 2.1 准二维表面势与阈值电压模型

理想条件下, 利用耗尽近似, 假设应变 Si 层掺杂均匀且完全耗尽, 氧化层没有杂质电荷, 应变 Si 沟道和 SiGe 虚拟衬底分成 I, II 两个区域. 分别在两个沟道区域中应用高斯定理及电位移矢量连续原理, 可以得到

$$\begin{aligned} \epsilon_{SSi} t_{SSi} \frac{dE_i(x)}{dx} + \epsilon_{OX} \frac{V_{G,i} - \psi_{S1,i}(x)}{t_{OX}} \\ - \epsilon_{SiGe} \frac{\psi_{S2,i}(x)}{(d - t_{SSi})} = qN_{ch} t_{SSi}, \quad (i = I, II), \end{aligned} \quad (1)$$

式中,  $E_i(x)$ ,  $\psi_{S1,i}(x)$ ,  $\psi_{S2,i}(x)$  分别表示两个区域中的电场、SiO<sub>2</sub>/Si 和 Si/SiGe 界面的电势,  $d$  为强反型时的耗尽宽度 ( $d > t_{SSi}$ ),  $V_{G,i} = V_{GS} - V_{FB,i}$  表示有效栅压. 其他符号则表示通常的含义. (1) 式中, 左边第一项表示水平进入两个沟道区域的净电通量, 第二项表示从应变 Si 沟道上表面进入的电通量, 最后一项表示从应变 Si 沟道下表面进入的电通量, 根据电位移矢量连续原理, 此项亦即通过虚拟 SiGe 衬底耗尽层的电通量.

一般情况下, 强反型时耗尽宽度一般比应变 Si 沟道大的多, 这样首先求解一维 Poisson 方程, 我们近似得到

$$d \approx \left( \frac{2\epsilon_{SiGe}}{N_B} (\psi_{S0} + \Delta\psi) \right)^{1/2}, \quad (2)$$

以及

$$\begin{aligned} \psi_{S2,i}(x) &= \psi_{S1,i}(x) + \Delta\psi \\ &= \psi_{S1,i}(x) + \left( \frac{qN_B}{\epsilon_{SSi}} - \frac{qN_{ch}}{2\epsilon_{SSi}} \right. \\ &\quad \left. - \frac{qN_B}{2\epsilon_{SiGe}} \right) t_{SSi}^2. \end{aligned} \quad (3)$$

(2) 式中,  $\psi_{S0}$  为强反型开始时应变 Si 沟道的表面电势, 即阈值表面势. 因为沟道很薄, 需计入 Si/SiGe 界面电势的影响, 这样  $\psi_{S0}$  可以认为是 SiO<sub>2</sub>/Si 与 Si/SiGe 两个界面电势的平均值, 即

$$\begin{aligned} \psi_{S0} &= \frac{kT}{q} \left( \ln \left( \frac{N_{ch}}{n_{i,SSi}} \right) + \ln \left( \frac{N_B}{n_{i,SiGe}} \right) \right) \\ &\quad - \left( \frac{\Delta E_C + \Delta E_V}{2q} \right). \end{aligned} \quad (4)$$

将 (3) 式代入到 (1) 式中, 整理得到关于  $\psi_{S1,i}(x)$  的二阶非齐次微分方程

$$\frac{d^2 \psi_{S1,i}(x)}{dx^2} - \alpha^2 \psi_{S1,i}(x) = \beta_i, \quad (5)$$

其中

$$\begin{aligned} \alpha^2 &= \left( \frac{C_{OX} + C_{SiGe}}{C_{SSi}} \right) \frac{1}{t_{SSi}^2}, \\ \beta_i &= \frac{qN_{ch}}{C_{SSi} t_{SSi}} + \frac{C_{SiGe} \Delta\psi - C_{OX} V_{G,i}}{C_{SSi} t_{SSi}^2}, \\ C_{OX} &= \epsilon_{OX} / t_{OX}, \quad C_{SSi} = \epsilon_{SSi} / t_{SSi}, \\ C_{SiGe} &= \epsilon_{SiGe} / (d - t_{SSi}). \end{aligned}$$

为了求解  $\psi_{S1,i}(x)$ , 应用如下边界条件进行耦合求解:

1) 应变 Si 沟道中 I, II 区域交界处表面势和横向电场均连续:

$$\begin{aligned} \psi_{S1,I}(L_1) &= \psi_{S1,II}(L_1), \\ \frac{d\psi_{S1,I}(x)}{dx} \Big|_{x=L_1} &= \frac{d\psi_{S1,II}(x)}{dx} \Big|_{x=L_1}; \end{aligned}$$

2) 源漏区电势的边界条件:

$$\psi_{S1,I}(0) = V_{bi}, \quad \psi_{S1,II}(L) = V_{bi} + V_{DS},$$

其中,  $V_{bi}$  为源极 - 沟道结的自建电势, 计入应变对其的影响  $\Delta V_{bi}$ , 其值为

$$\begin{aligned} V_{bi} &= V_{bi,Si} + \Delta V_{bi} \\ &= \frac{E_{g,Si}}{2q} + \frac{kT}{q} \ln \left( \frac{N_{ch}}{n_{i,Si}} \right) \\ &\quad - \frac{\Delta E_{g,SSi}}{q} + \frac{kT}{q} \ln \left( \frac{N_{V,Si}}{N_{V,SSi}} \right). \end{aligned} \quad (6)$$

式中,  $\Delta E_{g,SSi}$  为应变引起的带隙减小量. 观察 (5) 式可知,  $\sigma_i = \beta_i / \alpha^2$  为微分方程的一个特解. 根据上述边界条件, 解得区域 I, II 中的表面沟道电势为

$$\psi_{S1,I}(x) = A_1 \exp(\alpha x) + A_2 \exp(-\alpha x) - \sigma_1, \quad (7)$$

$$\begin{aligned} \psi_{S1,II}(x) &= A_3 \exp[\alpha(x - L_1)] \\ &\quad + A_4 \exp[-\alpha(x - L_1)] - \sigma_2, \end{aligned} \quad (8)$$

其中  $A_i$  为常数, 其值如下所示:

$$\begin{aligned}
 A_1 &= \frac{\gamma[(V_{bi} + V_{DS} + \sigma_2) - \gamma(V_{bi} + \sigma_1) + (\sigma_1 - \sigma_2) \cosh(\alpha L_2)]}{1 - \gamma^2}, \\
 A_2 &= \frac{(V_{bi} + \sigma_1) - (V_{bi} + V_{DS} + \sigma_2)\gamma - (\sigma_1 - \sigma_2) \cosh(\alpha L_2)\gamma}{1 - \gamma^2}, \\
 A_3 &= A_1 \exp(\alpha L_1) - \frac{1}{2}(\sigma_1 - \sigma_2), \\
 A_4 &= A_2 \exp(\alpha L_2) - \frac{1}{2}(\sigma_1 - \sigma_2),
 \end{aligned}$$

这里  $\gamma = \exp[-\alpha(L_1 + L_2)] = \exp(-\alpha L)$ ,  $L = L_1 + L_2$  为沟道长度.

另外在平带条件下, 由于较大的价带断续  $\Delta E_V$  的存在, 体内的空穴在 Si/SiGe 界面处积累形成了偶极层, 使界面处能带弯曲, 从而影响了平带电压. 应变 Si 层很薄, 需计入偶极层的影响. 利用高斯定理, 可以得到偶极层的电势  $\varphi_{\text{dipole}}^{[14]}$  为

$$\varphi_{\text{dipole}} = \frac{\sqrt{2}qN_{\text{ch}}L_{\text{d}}}{2C_{\text{SSi}}} + \frac{qN_{\text{ch}}t_{\text{SSi}}}{2C_{\text{SSi}}}, \quad (9)$$

式中,  $L_{\text{d}} = \sqrt{\epsilon_{\text{SiGe}}kT/q^2N_{\text{B}}}$  为德拜长度. 同样由文献 [9], 区域 I, II 中的平带电压  $V_{\text{FB},i}$  可以进一步表示为

$$\begin{aligned}
 V_{\text{FB},i} &= \frac{W_{\text{Poly},i}}{q} - \left( \chi_{\text{SiGe}} + \frac{E_{\text{g,SiGe}}}{q} \right. \\
 &\quad \left. - \frac{kT}{q} \ln \left( \frac{N_{\text{V,SiGe}}}{N_{\text{ch}}} \right) \right) - \varphi_{\text{dipole}}, \quad (10)
 \end{aligned}$$

其中,  $\chi_{\text{SiGe}}$  与  $N_{\text{V,SiGe}}$  分别为弛豫 SiGe 的亲势与价带有效状态密度. 因为  $W_{\text{poly,I}} > W_{\text{poly,II}}$ , 多晶  $\text{Si}_{\alpha}\text{Ge}_{1-\alpha}$  栅下的电势最小, 由  $\frac{d\psi_{\text{S1,I}}(x)}{dx} = 0$  可求出最小表面势的位置  $x_{\text{min}} = -\ln(A_1/A_2)/2\alpha$ , 将其代入到 (7) 式中, 整理得到

$$\psi_{\text{S1,I}}(x_{\text{min}}) = 2\sqrt{A_1A_2} - \sigma_1. \quad (11)$$

此时的最小表面势  $\psi_{\text{S1,I}}(x_{\text{min}})$  即为刚达到强反型时沟道阈值电势  $\psi_{\text{S0}}$ , 满足  $\psi_{\text{S1,I}}(x_{\text{min}}) = \psi_{\text{S0}}$  的栅源电压  $V_{\text{GS}}$  即为  $V_{\text{th}}$ , 进一步求得  $V_{\text{th}}$  的表达式如下:

$$V_{\text{th}} = \frac{-b + \sqrt{b^2 - 4ac}}{2a}, \quad (12)$$

其中,  $a, b, c$  为如下常数:

$$a = \frac{1}{\gamma} + \gamma - 2 - \sinh^2(\alpha L),$$

$$b = V_1(1 - \frac{1}{\gamma}) + 2(\psi_{\text{S0}} - \varphi_1) \sinh^2(\alpha L) - V_2(1 - \gamma),$$

$$c = V_1V_2 - (\psi_{\text{S0}} - \varphi_1)^2 \sinh^2(\alpha L),$$

$$V_1 = V_{\text{bi,SSi}}(1 - \gamma) - (\varphi_1 - \varphi_2) \cosh(\alpha L_2)$$

$$-\varphi_2 + \varphi_1\gamma + V_{\text{DS}},$$

$$V_2 = V_{\text{bi,SSi}}(\frac{1}{\gamma} - 1) + (\varphi_1 - \varphi_2) \cosh(\alpha L_2)$$

$$+ \varphi_2 - \varphi_1\gamma - V_{\text{DS}},$$

$$\varphi_i = - \left( \frac{qN_{\text{ch}}t_{\text{SSi}} + C_{\text{SiGe}}\Delta\psi}{C_{\text{OX}}} \right) - V_{\text{FB},i}.$$

## 2.2 沟道电流模型

异质栅提高了应变 Si 沟道中近源端的电场, 使载流子的平均漂移速度大于饱和速度. 呈阶梯分布的沟道电势使电场梯度发生变化. 载流子的漂移速度受到电场梯度的较大影响, 在两个栅的交界处速度达到极大值 [5], 形成速度过冲, 这时需考虑由于速度过冲所引起的电流增大, 同时也应计入由沟道电势不均匀分布所引起的自由载流子浓度梯度的影响, NMOSFET 沟道电流密度方程则变为

$$\begin{aligned}
 J &= q\mu_n \left( n(x)E(x) - \frac{kT}{q} \frac{dn(x)}{dx} \right) \\
 &\quad + q\mu_n n(x) \delta(E) \frac{dE(x)}{dx}, \quad (13)
 \end{aligned}$$

式中  $\delta(E) \approx \frac{2}{3}v_{\text{sat}}\tau_{\text{W}}$  为能量弛豫长度 [15],  $v_{\text{sat}}$  为饱和速度,  $\tau_{\text{W}}$  为能量弛豫时间, 其值随 Ge 组分的变化详见文献 [16]. 电子局限在表面的量子阱沟道中, 其浓度为

$$n(x) = C_{\text{OX}}(V_{\text{GS}} - V_{\text{th}} - V(x))/qt_{\text{SSi}}, \quad (14)$$

$V(x)$  为沿沟道方向的电压降. 由  $I = (Wt_{\text{SSi}})J$  得到沟道电流的一维表达式

$$\begin{aligned}
 I &= W\mu_n C_{\text{OX}} \left( (V_{\text{GS}} - V_{\text{th}} - V(x)) \right. \\
 &\quad \left. \times \left( E(x) + \delta(E) \frac{dE(x)}{dx} \right) - \frac{kT}{q} E(x) \right). \quad (15)
 \end{aligned}$$

$W$  为沟道宽度, 强场下沿沟道方向的  $\mu_n$  为

$$\mu_n = \mu_0 \left( 1 + \frac{\mu_0}{2v_{\text{sat}}} E(x) \right)^{-1}. \quad (16)$$

低场迁移率  $\mu_0$  采用文献 [17] 中的模型. 发生速度过冲时, 有  $\frac{dE(x)}{dx} = \theta \frac{V_{DS}}{L^2}$  [13],  $\theta$  为与工艺有关的参数, 其值约为 0.2. 可以使用单栅 MOSFET 的分析方法来得到异质栅 MOSFET 的  $I-V$  特性 [18], 同时将  $E(x) = \frac{dV(x)}{dx}$  代入到 (15) 式中并整理, 并对  $x$  从 0 到  $L$  积分, 对  $V(x)$  从 0 到  $V_{DS}$  积分, 从而得到沟道电流  $I_{DS}$  的表达式为

$$I_{DS} = \frac{W\mu_{eff}C_{OX}}{L\left(1 + \frac{\mu_{eff}V_{DS}}{2v_{sat}}\right)} \left( (V_{GS} - V_{th})V_{DS} - \frac{V_{DS}^2}{2} \right)$$

$$\times \left( 1 + \frac{\theta\delta(E)}{L} \right) + \frac{\theta^2\delta(E)}{12L} V_{DS}^2 + \frac{kT}{q} V_{DS} \right). \quad (17)$$

### 3 结果分析与讨论

本文使用相同 P<sup>+</sup> 掺杂的异质多晶 SiGe 栅并利用 MATLAB 对模型进行计算. 表 1 给出了计算所用的具体器件主要结构参数. 下面的计算中如未特殊说明, 取  $W_{poly,I} = 5$  eV,  $W_{poly,II} = 4.7$  eV,  $L_1:L_2 = 1, z = 0.2, V_{DS} = 0.1$  V,  $V_{GS} = 2$  V.

表 1 模型计算用器件主要结构参数

参数	$N_{ch}$	$N_B$	$t_{ssi}$	$W$	$L$	$t_{ox}$
取值	$1 \times 10^{16} \text{ cm}^{-3}$	$5 \times 10^{17} \text{ cm}^{-3}$	6 nm	440 nm	200 nm	10 nm

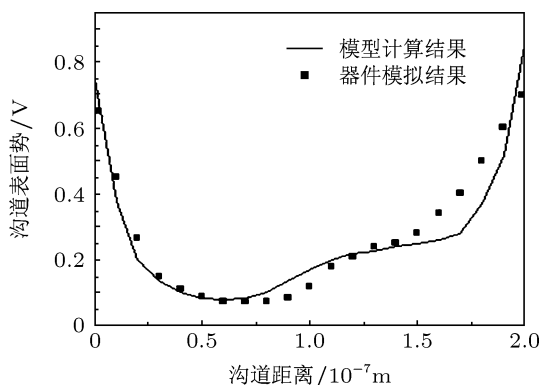


图 2 强反型时沟道方向表面势对比图

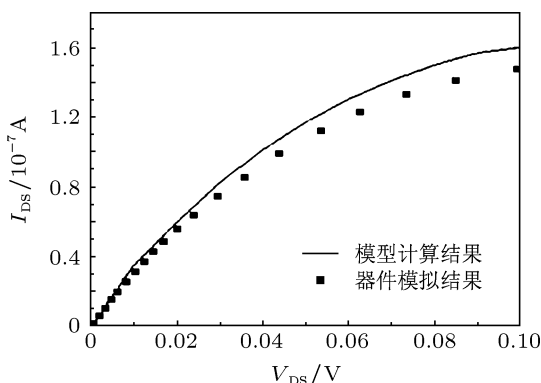


图 3  $I_{DS}-V_{DS}$  特性对比图

首先为了验证模型的正确性, 我们使用器件模拟器 ATLAS 对器件进行仿真, 并与 MATLAB 计算得到的表面势和  $I-V$  特性进行对比, 如图 2 和图 3 所示. 从图中可以看出计算的结果与仿真结果基

本符合, 所反映的趋势一致, 从而证明了模型的正确性. 同时也应注意到, 表面势的计算结果与仿真结果的偏差存在于源漏区的边缘和两多晶 SiGe 栅的交界处附近. 通过对二者的偏差的分析, 我们认为主要有两个可能的原因: 其一是源漏区边缘电场或漏端峰值电场影响了表面势在两个边缘的分布, 其二就是由于两个多晶栅的 Ge 组分的高低分布, 存在 Ge 原子扩散现象; ATLAS 可以对这两个现象进行精确的描述, 而本文很难用数学模型描述 Ge 原子扩散问题, 同时在降低模型复杂度的前提下, 忽略了峰值电场对器件性能的影响, 因而出现了偏差. 而造成  $I-V$  特性的偏差可能是因为在双栅器件中沟道电流密度的变化比较复杂, 为得到解析的电流模型, 在推导中引入了一些近似条件所致.

图 4 为在不同的  $W_{poly,I}$  下强反型时沿沟道方向表面电势. 由图中可以看出两栅交界处附近沟道电势有明显的“阶梯”. 调节 Ge 组分  $\alpha$  来调节功函数  $W_{poly,I}$ , 两个多晶 SiGe 栅功函数的差值越大, 电势的“阶梯”越大. 所以器件设计中要体现异质栅的优势, 功函数应保持一定的差值, 不应太小.

图 5 为弛豫  $Si_{1-z}Ge_z$  虚拟衬底中的 Ge 组分 ( $z = 0, 0.15, 0.3$ ) 变化时对应的表面电势的变化. 由图可见, 当 Ge 组分  $z$  增大时, 除源漏区外, 整个沟道区域的电势减小, 这与常规的应变 Si NMOSFET 的情形类似.

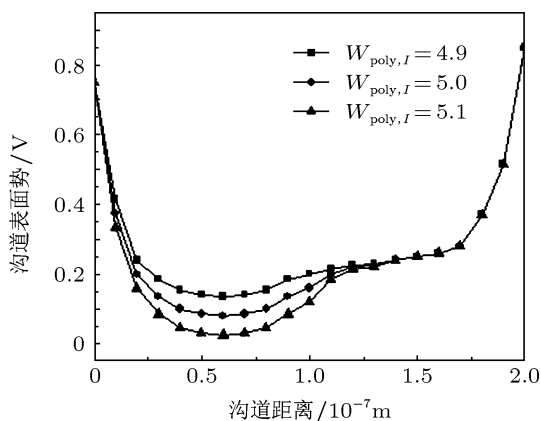


图4 强反型时沟道方向表面势

控制栅 (control gate)”.

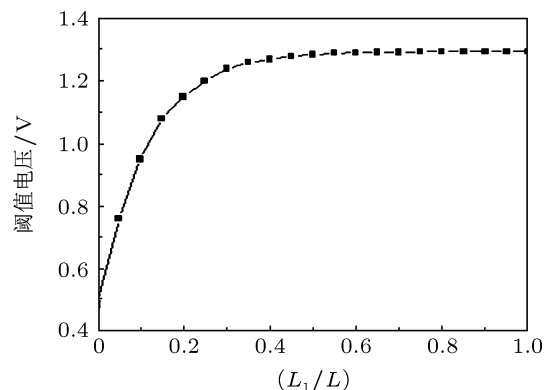


图6 阈值电压随栅长比值

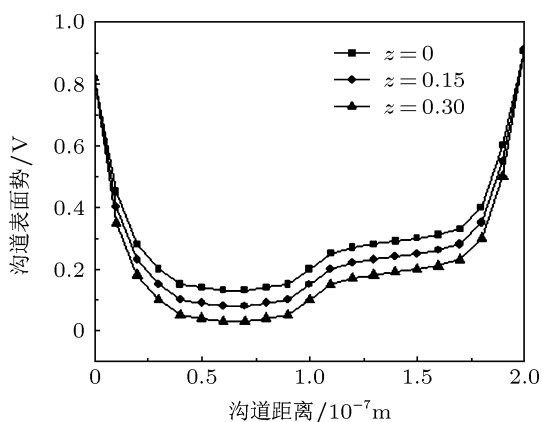


图5 沟道表面势与SiGe衬底Ge组分z的关系

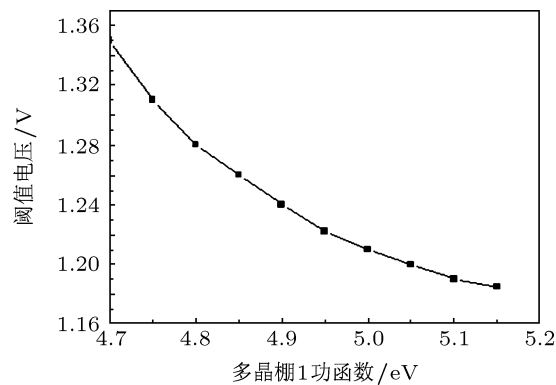


图7 异阈值电压随多晶Si1-αGeα功函数变化曲线

阈值电压是器件设计中最重要一个参数,它取决于沟道表面势的分布.根据图2可知,多晶 $\text{Si}_{1-\alpha}\text{Ge}_\alpha$ 栅下的电势分布的与仿真结果偏差很小,所以可以根据(12)式来计算阈值电压 $V_{th}$ .图6为 $V_{th}$ 随栅长比值 $L_1:L$ 变化的曲线.随着比值的增大, $V_{th}$ 也随之增大,但当 $L_1:L \approx \frac{1}{2}$ 时, $V_{th}$ 增加逐渐变缓.这是因为 $V_{th}$ 是由多晶 $\text{Si}_{1-\alpha}\text{Ge}_\alpha$ 栅下最小表面势点 $x_{min}$ 决定的.当 $L_1:L > \frac{1}{2}$ 时,随着 $L_1:L$ 比值的继续增大,沟道表面势”阶梯”逐渐靠近漏端, $x_{min}$ 也随之向漏端移动.这时由于漏端峰值电场的影响,表面势分布则逐渐接近于以多晶 $\text{Si}_{1-\alpha}\text{Ge}_\alpha$ 为栅极的应变Si NMOSFET电势分布,导致 $x_{min}$ 的位置的变化非常小,所以 $V_{th}$ 也几乎没有变化.

图7、图8分别示出了两个多晶SiGe栅极功函数对 $V_{th}$ 的影响.由图中可见多晶 $\text{Si}_{1-\beta}\text{Ge}_\beta$ 栅极功函数的变化对 $V_{th}$ 几乎没有影响. $V_{th}$ 的变化主要取决于多晶 $\text{Si}_{1-\alpha}\text{Ge}_\alpha$ 栅极的功函数的变化,随着其功函数的增加, $V_{th}$ 逐渐减小.这里多晶 $\text{Si}_{1-\alpha}\text{Ge}_\alpha$ 栅也体现了”控制”作用,因而文献[5]中称之为”

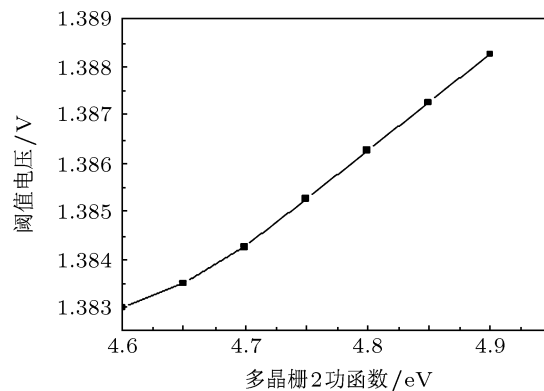


图8 阈值电压随多晶Si1-βGeβ功函数变化曲线

图9是阈值电压与 $\text{Si}_{1-z}\text{Ge}_z$ 虚拟衬底的Ge组分z的关系曲线, $V_{th}$ 随Ge组分的增加而减小,这也与常规的单栅应变Si NMOSFET类似[19],主要是因为Ge组分增大,使得表面应变Si沟道量子阱的高度也随之增加,这样就提高了二维电子气的面密度,从而降低了 $V_{th}$ .

不同 $L_1:L$ 比值条件下器件的 $I-V$ 特性如图10所示.可以看到 $I_{DS}$ 随着 $L_1:L$ 比值的减小而增大,这与文献[5]中给出的结论一致.这是因为 $L_1$ 的减

小提高了整个沟道的电势, 而电势的提高则导致驱动电流的提高. 另一方面是因为  $I_{DS}$  也包含了  $V_{th}$  的影响,  $V_{th}$  随  $L_1$  的减小而减小, 从而使  $I_{DS}$  增加. 据此可以推断, 异质栅相对于以多晶  $Si_{1-\alpha}Ge_{\alpha}$  为栅极的常规应变 Si MOSFET, 驱动电流将得到提高.

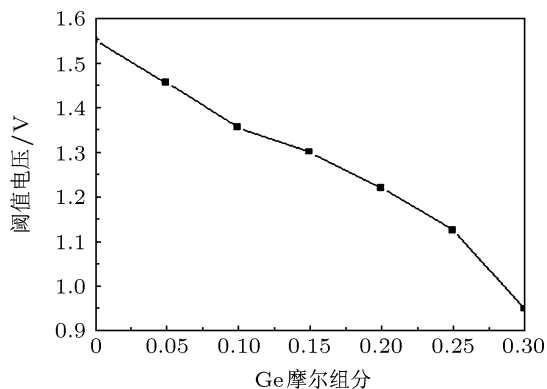


图9 阈值电压与衬底 Ge 组分 z 的关系

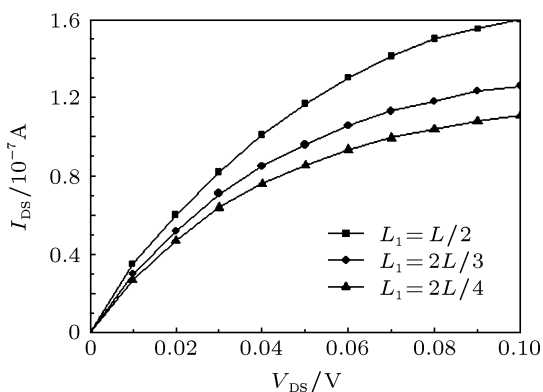


图10 不同栅长比值条件下  $I-V$  特性曲线

通过图 6, 我们还应注意到, 使用异质多晶栅可以在较大的  $L_1:L$  比值范围内使阈值电压保持稳定, 这从另一方面说明了异质栅可以比较好的抑制短沟道效应 SCE; 图 10 则表明随着  $L_1:L$  比值的降低, 其沟道电流则可获得提升, 但是其阈值电压却陡然降低; 因此, 兼顾驱动电流和抑制 SCE, 必须对  $L_1:L$  比值进行折中考虑. 一般来说, 器件设计中应使  $L_1:L$  比值大于阈值电压发生明显下降的“拐点”(例如图 6 中的  $L_1:L = 0.2$ ).

此外, 为了使本文的模型更具有实际意义, 根据等比例缩小原则, 将表 1 中的栅氧层厚度设为  $t_{ox} = 5 \text{ nm}$  (其他条件不变), 并计算不同 Ge 摩尔组分、不同  $L_1$  栅长下的阈值电压, 如图 11 所示. 其变化规律与图 9 类似: 阈值电压随着 Ge 组分增大而减小,  $L_1/L$  的比值越大, 阈值电压也就越高. 特别地, 若令  $W_{poly,I} = W_{poly,II}$ , 即  $\alpha = \beta$ , 此时本文的

模型就回归于常规的多晶 SiGe 单栅应变 Si MOSFET, 为了进一步证明模型的适用性, 下面计算了在  $\alpha = \beta$  条件下表面电势与漏电流, 并与 ATLAS 器件仿真结果进行对比, 如图 12 和图 13 所示. 由图中可见, 表面势与漏电流的模型计算结果同仿真结果均比较接近, 只是表面势曲线靠近漏端一侧稍稍有偏差, 这同样是由于漏端峰值电场影响所导致的. 另外需要注意的是, 图 13 中在  $V_{DS} = 0-0.1 \text{ V}$  条件下, 常规 MOSFET 的  $I-V$  特性曲线仍处于线性区,

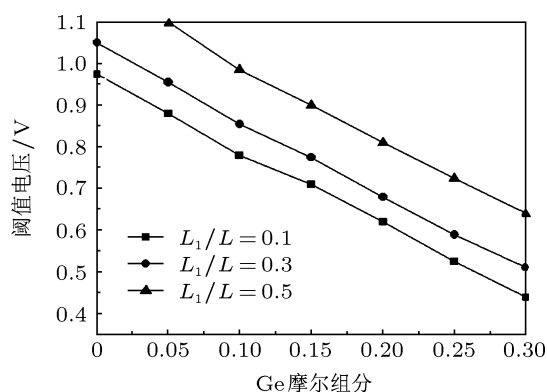


图11  $t_{ox} = 5 \text{ nm}$  时阈值电压计算结果

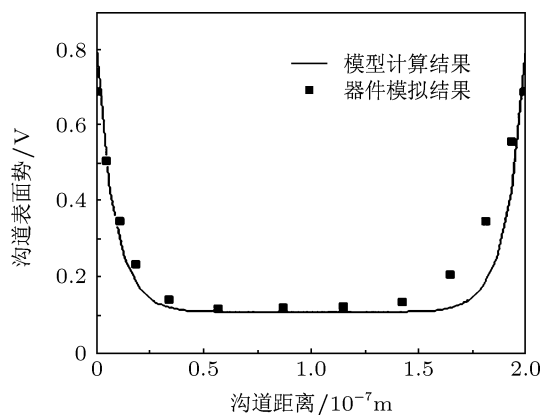


图12 异质栅 Ge 组分相同时的强反型表面势

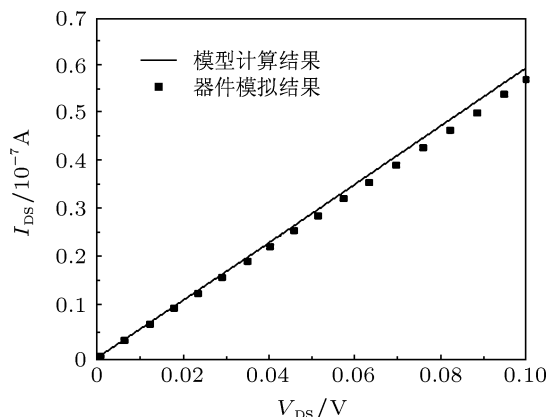


图13 异质栅 Ge 组分相同时的漏电流

这同样体现了异质双栅与同质单栅的区别: 异质栅由于在两栅交界处的沟道区域的电势有一个突变, 电势的突变导致了速度过冲, 导致漏电流趋于饱和, 而此时同质单栅仍处于线性区。

最后考虑在一定栅长比值条件下, 两个栅极功函数的匹配对阈值电压和沟道电流的综合影响. 因为栅长比值的变化的变化也会导致阈值电压的变化, 由图 6 可以看到, 当  $L_1:L \geq 1/2$  时, 阈值电压变化很小. 为分析方便并突出两个栅极功函数对其的影响, 下面我们取  $L_1:L = 1/2$  并以此为条件进行计算和讨论. 图 14 为阈值电压和沟道电流随两个栅极功函数不同匹配的变化, 并注意到  $W_{\text{poly,I}} > W_{\text{poly,II}}$  这一限制条件. 从图 14(a) 中可以明显看出, 采用  $W_{\text{poly,I}} > W_{\text{poly,II}}$  的异质多晶 SiGe 栅

极的阈值电压小于单栅情况下 (即  $W_{\text{poly,I}} = W_{\text{poly,II}}$ ) 的阈值电压, 因而在低功耗的器件和电路应用中, 较之单栅 MOSFET 有更好的阈值特性, 同时可得: 当  $(W_{\text{poly,I}}, W_{\text{poly,II}}) = (5.02, 4.6)$  时, 阈值电压有最小值 1.38 V, 此时的阈值特性最佳。

同样观察图 14(b), 异质多晶 SiGe 栅极的沟道电流亦大于单栅情况下的电流, 其物理意义是较之传统单栅 MOSFET 的电流增加了一个速度过冲成分, 导致电流增加, 详细分析见 2.2. 由 (17) 式知, 阈值电压最小值点同样也是电流最大值点, 由此我们可以得到使器件具有最大的驱动电流的栅极功函数匹配亦为:  $(W_{\text{poly,I}}, W_{\text{poly,II}}) = (5.02, 4.6)$ , 其最大驱动电流值约为  $1.62 \times 10^{-7}$  A.

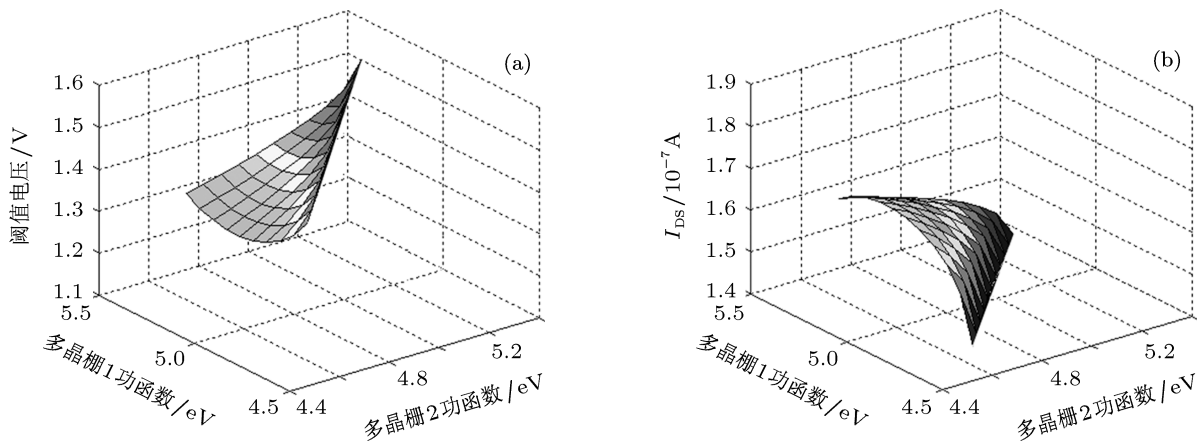


图 14 两个栅极功函数的匹配对器件的影响 (a) 对阈值电压的影响; (b) 对沟道驱动电流的影响

## 4 结论

本文提出了异质多晶 SiGe 栅应变 Si MOSFET 的器件结构, 基于物理原理, 主要对器件的表面势、阈值电压和电流等相关模型进行了研究, 主要计算结果与仿真结果及相关文献给出的结论一致, 证明

了该模型的正确性. 应该指出的是, 本文所提出的模型是基于物理的模型, 在此基础上进行数学处理可进一步提高模型的精度. 物理模型的研究过程和计算结果为此类器件的分析和设计提供了有价值的参考。

- [1] Song J J, Zhang H M, Dai X Y, Hu H Y, Xuan R X 2008 *Acta Phys. Sin.* **57** 5918 (in Chinese) [宋建军, 张鹤鸣, 戴显英, 胡辉勇, 宣荣喜 2008 物理学报 **57** 5918]
- [2] Wang B, Zhang H M, Hu H Y, Zhang Y M, Shu B, Zhou C Y, Li Y C, Lü Y 2013 *Acta Phys. Sin.* **62** 057103 (in Chinese) [王斌, 张鹤鸣, 胡辉勇, 张玉明, 舒斌, 周春宇, 李好晨, 吕懿 2013 物理学报 **62** 057103]
- [3] Qin S S, Zhang H M, Hu H Y, Dai X Y, Xuan R X, Shu B 2010 *Chin. Phys. B* **19** 117309
- [4] Wang B, Zhang H M, Hu H Y, Zhang Y M, Zhou C Y, Wang G Y, Li Y C 2013 *Chin. Phys. B* **22** 028503
- [5] Long W, Ou H J, Kuo J M, Chin K K 1999 *IEEE Trans. on Electron Devices* **46** 865
- [6] Zhou X 2000 *IEEE Trans. on Electron Devices* **47** 113
- [7] Ponomarev Y V, Stolk P A 2000 *IEEE Trans. on Electron Devices* **47** 848
- [8] Afzali-Kusha A, Hashemi P, Behnam A, Fathi E, Nokali M E 2005 *Solid-State Electronics* **49** 1341

- [9] Baishya S, Mallik A, Sarkar C K 2007 *IEEE Trans. on Electron Devices* **54** 2520
- [10] Samena R S, Kumar M J 2009 *IEEE Trans. on Electron Devices* **56** 517
- [11] Wong D M, Tarr N G 2000 *Vac. Sci. Technol. A* **18** 783
- [12] Li J, Liu H X, Yuan B, Cao L, Li B 2011 *J. Semicond.* **32** 044005
- [13] Nayfeh H M, Hoyt J L, Dimitri A A 2004 *IEEE Trans. on Electron Devices* **51** 2069
- [14] Price P J 1988 *J. Appl. Phys.* **63** 4718
- [15] Rim K, Hoyt J L, Gibbons J F 2000 *IEEE Trans. on Electron Devices* **47** 1406
- [16] Ismail K, Nelson S F 1993 *Appl. Phys. Lett.* **63** 660
- [17] Roldán J B, Gámiz F, López V 1997 *IEEE Trans. on Electron Devices* **44** 841
- [18] Sehgal A, Mangla T, Gupta M, Gupta R S 2008 *Thin Solid Films* **516** 2162
- [19] Zhang Z F, Zhang H M, Hu H Y, Xuan R X, Song J J 2009 *Acta Phys. Sin.* **58** 4948 (in Chinese) [张志锋, 张鹤鸣, 胡辉勇, 宣荣喜, 宋建军 2009 物理学报 **58** 4948]

## Study on physical model for strained Si MOSFET with hetero-polycrystalline SiGe gate\*

Wang Bin<sup>†</sup> Zhang He-Ming Hu Hui-Yong Zhang Yu-Ming  
Song Jian-Jun Zhou Chun-Yu Li Yu-Chen

(Key Laboratory for Wide Band-Gap Semiconductor Materials and Devices, School of Microelectronics, Xidian University, Xi'an 710071, China)

(Received 12 April 2013; revised manuscript received 21 July 2013)

### Abstract

A new strained Si MOSFET structure with hetero-polycrystalline SiGe gate was studied, which combines the advantages of “gate engineering” and “strain engineering”. The new structure improved the carrier transport efficiency, suppressed the short-channel effects (SCE), and enhanced the performance on the basis of strain. Then a physically modeling strategy such as quasi-2D surface potential of strong inversion, threshold voltage, and channel current was presented for the strained Si NMOSFET. Finally, the above model was computed and the results were analyzed.

**Keywords:** hetero-polycrystalline SiGe gate, strained Si NMOSFET, surface potential, channel current

**PACS:** 85.30.De, 85.30.-z

**DOI:** 10.7498/aps.62.218502

\* Project supported by the NLAIC Research Fund (Grant No. P140c090303110c0904), the Research Fund for the Doctoral Program of Higher Education of China (Grant No. JY0300122503), and the Fundamental Research Funds for the Central Universities of China (Grant Nos. K5051225014, K5051225004).

<sup>†</sup> Corresponding author. E-mail: wbin0316@126.com