

应变 Si NMOSFET 漏电流解析模型*

周春宇[†] 张鹤鸣 胡辉勇 庄奕琪 吕懿 王斌 李好晨

(西安电子科技大学微电子学院, 宽禁带半导体材料与器件重点实验室, 西安 710071)

(2013年8月5日收到; 2013年8月23日收到修改稿)

基于应变 Si/SiGe 器件结构, 本文建立了统一的应变 Si NMOSFET 漏电流解析模型. 该模型采用平滑函数, 实现了应变 Si NMOSFET 漏电流及其导数, 从亚阈值区到强反型区以及从线性区到饱和区的平滑性, 解决了模型的连续性问题. 同时考虑了载流子速度饱和效应和沟道长度调制效应的影响, 进一步提高了模型精度. 通过将模型的仿真结果和实验结果对比分析, 验证了所建模型的有效性. 该模型可为应变 Si 数字集成电路和模拟集成电路分析、设计提供重要参考.

关键词: 应变 Si NMOSFET, 漏电流, 解析模型

PACS: 71.23.An, 71.70.Fk

DOI: 10.7498/aps.62.237103

1 引言

应变 Si (strained-Si, SSi) 材料具有高的载流子迁移率, 带隙可调, 与传统的 Si 工艺兼容等优点, 成为延续摩尔定律发展的关键技术而得到广泛研究^[1,2]. 漏电流作为 MOS 器件的重要直流参数, 是器件建模和仿真的难点和核心. 关于应变 Si NMOSFET 漏电流的研究已有报道^[3-7], 然而文献[3]和[4]所报道的漏电流模型采用近似的方法的, 建立了漏电流的分段函数, 该模型未解决模型的连续性问题, 最终导致其小信号参数存在跳跃现象^[8], 无法应用于模拟集成电路设计; 文献[5]和[6]所建立的漏电流模型, 采用数值技术求解, 其得到的模型无解析结果, 无法将模型嵌入到仿真软件中; 文献[7]报道的漏电流模型未考虑沟道长度调制效应对漏电流的影响, 同时也未解决模型的连续性问题, 无法适应尺寸不断变小对器件模型精度的要求.

本文首先采用一维的近似方法, 通过分析应变 Si NMOSFET 纵向电势及其电荷分布, 分别在强反型区和亚阈值区, 建立了分段的长沟漏电流解析模型. 模型充分考虑了沿沟道方向耗尽层电荷的不均

匀分布对漏电流的影响. 然而上述一维分析方法无法满足器件尺寸等比例缩小对漏电流精度的要求, 为了在小尺寸下进一步提高漏电流的精确度, 多采用二维和准二维的分析方法^[9,10]来模拟器件工作于饱和区时, 其有效沟道长度的变化情况, 即沟道长度调制效应. 由于二维分析方法在耗尽区求解二维泊松方程时, 边界条件做了很多近似, 模型参数缺乏物理意义^[9]. 因此本文随后采用准二维的分析方法, 在器件的耗尽区求解准二维泊松方程, 建立了饱和区沟道长度的变化量 (ΔL) 模型. 同时本文研究了纵向电场和横向电场对载流子迁移率的影响, 即载流子速度饱和效应对漏电流的影响. 随后采用平滑函数, 实现了应变 Si NMOSFET 漏电流及其导数, 从亚阈值区到强反型区以及从线性区到饱和区的平滑性, 解决了模型的连续性问题. 最终建立了统一的应变 Si NMOSFET 漏电流解析模型.

最后通过将模型的计算结果和仿真结果进行的比较, 进一步证明了本文建立的应变 Si NMOSFET 漏电流解析模型的正确性. 为应变 Si 器件的分析和设计提供了重要参考, 也为进一步进行数字和模拟集成电路设计提供了重要理论基础.

* 教育部博士点基金(批准号: JY0300122503)、中央高校基本业务费(批准号: K5051225014, K5051225004)和陕西省自然科学基金(批准号: 2010JQ8008)资助的课题.

[†] 通讯作者. E-mail: chunyu Zhou@stu.xidian.edu.cn

2 理论模型推导

如图 1 所示, 为应变 Si NMOSFET 结构示意图. 弛豫 SiGe 层为虚拟衬底, 赝晶生长一层很薄的 Si 层, 由于 Si 和 SiGe 晶格常数的不同, 在 Si 层中引入了张应变. 其中 S, G, D 和 B 分别为器件和源、栅、漏和衬底端. T_{SSi} 为应变 Si 层的厚度, W_D 为衬底耗尽层厚度, N_{SSi} 和 N_{SiGe} 分别为应变 Si 层和弛豫 SiGe 层的掺杂浓度.

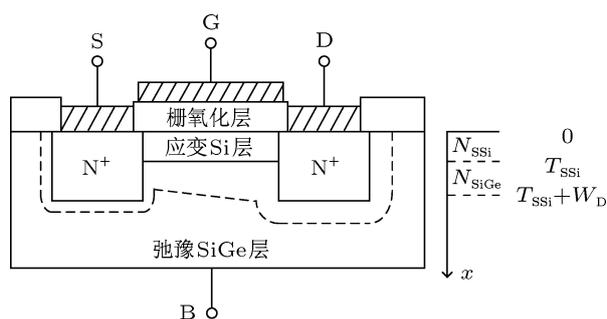


图 1 应变 Si NMOSFET 结构示意图

应变 Si NMOSFET 模拟是一个三维问题, 但实际上为了简化, 通常将它作为 x 和 y 方向的二维问题来处理. 即使作为二维问题, 求解电流连续性方程也相当复杂, 只有利用数值技术才能得到精确的解, 且得到的结果无解析结果, 无法将模型嵌入到仿真软件中. 为了得到可用于电路模拟的解析解, 可引入一些假设^[8]: 渐变沟道近似, 沿着沟道 y 方向电场的变化远小于垂直沟道 x 方向电场的变化; 对于 NMOSFET, 可忽略空穴电流; 忽略复合和产生, 即在沟道区的任何一点上, 总漏电流 I_{ds} 不变; 电流只沿着沟道方向流动; 器件表面迁移率为常数 μ_s ; 器件反型时, 其反型层厚度为零; 耗尽近似, 即栅下的耗尽区内不存在可动载流子.

通过以上假设, 可得到应变 Si NMOSFET 的漏电流为^[8]

$$I_{\text{ds}}(y) = I_{\text{ds1}} + I_{\text{ds2}}, \quad (1)$$

其中, I_{ds1} 为漂移电流, I_{ds2} 为扩展电流, 其值分别为

$$I_{\text{ds1}} = -\mu_s W Q_i(y) \frac{d\phi_s}{dy}, \quad (2)$$

$$I_{\text{ds2}} = \mu_s W V_t \frac{dQ_i(y)}{dy}, \quad (3)$$

其中 $Q_i(y)$ 为器件应变 Si 层电子浓度, ϕ_s 为器件表面势, V_t 为热电压.

如图 1 所示的应变 Si NMOSFET, 其应变 Si 层电子浓度 $Q_i(y)$ 为^[11]

$$Q_i(y) = -C_{\text{ox}} [V_{\text{gb}} - V_{\text{FB}} - \phi_s - \gamma(\sqrt{\phi_s + A_1 + A_2})], \quad (4)$$

其中

$$A_1 = \frac{qN_{\text{SiGe}}}{2\epsilon_{\text{SiSi}}} \left(\frac{\epsilon_{\text{SiGe}}}{\epsilon_{\text{SiSi}}} - \frac{N_{\text{SSi}}}{N_{\text{SiGe}}} \right) T_{\text{SSi}}^2,$$

$$A_2 = \sqrt{\frac{q}{2}} \left(\sqrt{\frac{N_{\text{SSi}}^2}{\epsilon_{\text{SiGe}} N_{\text{SiGe}}}} - \sqrt{\frac{\epsilon_{\text{SiGe}} N_{\text{SiGe}}}{\epsilon_{\text{SiSi}}^2}} \right) T_{\text{SSi}},$$

$$\gamma = \frac{\sqrt{2q\epsilon_{\text{SiGe}} N_{\text{SiGe}}}}{C_{\text{ox}}}.$$

将 (4) 式代入 (2) 式和 (3) 式中, 并从源到漏积分, 可得

$$I_{\text{ds1}} = \frac{W}{L} \mu_s C_{\text{ox}} \left\{ (V_{\text{gb}} - V_{\text{FB}} - \gamma A_2)(\phi_{\text{sL}} - \phi_{\text{s0}}) - \frac{1}{2}(\phi_{\text{sL}}^2 - \phi_{\text{s0}}^2) - \frac{2}{3}\gamma[(\phi_{\text{sL}} + A_1)^{3/2} - (\phi_{\text{s0}} + A_1)^{3/2}] \right\}, \quad (5)$$

$$I_{\text{ds2}} = \frac{W}{L} \mu_s C_{\text{ox}} \left\{ V_t(\phi_{\text{sL}} - \phi_{\text{s0}}) + V_t \gamma [(\phi_{\text{sL}} + A_1)^{1/2} - (\phi_{\text{s0}} + A_1)^{1/2}] \right\}, \quad (6)$$

其中 ϕ_{s0} 和 ϕ_{sL} 分别为源、漏区器件的表面势.

求解方程 (5) 和 (6) 时, 必须精确求解 ϕ_s (ϕ_{s0} 和 ϕ_{sL}) 的隐含方程, 需要采用迭代的求解方法, 耗费大量的计算时间, 无法应于实际的电路模拟程序中. 为了避免求解 ϕ_s 的隐含函数, 通常在器件不同的工作区域内分别进行求解.

2.1 长沟器件分段模型

忽略短沟道和窄沟道效应的影响, 并且认为随着漏端电压的增加, 器件进入饱和区后, 有效沟道长度的变化相对于沟道长度可忽略不计. 同时基于阈值电压的定义, 将器件分为强反型区和亚阈值区分别求解.

2.1.1 反型区电流

当栅压大于阈值电压时, 器件处于强反型状态, 此时可忽略扩散电流, 总电流中只有漂移电流, 则此时,

$$I_{\text{ds}}(y) = I_{\text{ds1}}. \quad (7)$$

将上式两边从源到漏积分, 整理可得

$$I_{ds} = -\mu_s \frac{W}{L} \int_0^{V_{ds}} Q_i(y) dV = -W Q_i(y) v, \quad (8)$$

其中 $v = \mu_s \xi$ 是应变 Si 层沟道区载流子的漂移速度.

沿着垂直沟道的 x 方向建立一维泊松方程, 求解可得耗尽层电荷浓度为^[11]

$$Q_b = -\gamma C_{ox} (\sqrt{\phi_s + A_1 + V_{sb} + V} + A_2), \quad (9)$$

其中 V 为沿着沟道方向, 以源为参考点的电势 (源端 $V = 0$, 漏端 $V = V_{ds}$). 将上式在 $\phi_s = \phi_{th}$ 处做一阶泰勒展开整理可得

$$-\frac{Q_b}{C_{ox}} = \gamma (\sqrt{\phi_{th} + A_1 + V_{sb}} + \delta \cdot V + A_2), \quad (10)$$

其中

$$\delta = \frac{1}{2\sqrt{\phi_{th} + A_1 + V_{sb}}}.$$

将 (10) 式代入 (4) 式中可得反型层电荷浓度为

$$Q_i = -C_{ox} [V_{gs} - V_{th} - \alpha \cdot V(y)], \quad (11)$$

其中

$$\alpha = 1 + \frac{\gamma}{2\sqrt{\phi_{th} + V_{sb} + A_1}},$$

$$V_{th} = V_{FB} + \phi_{th} + \gamma(\sqrt{\phi_{th} + V_{bs} + A_1} + A_2)$$

为长沟道应变 Si NMOSFET 阈值电压^[11].

将 (11) 式代入 (8) 式中, 可得强反型时线性区的漏电流方程为

$$I_{ds} = \frac{W}{L} \mu_s C_{ox} \left[(V_{gs} - V_{th}) V_{ds} - \frac{\alpha}{2} V_{ds}^2 \right]. \quad (12)$$

将上式对 V_{ds} 求导, 并令其为零, 可求得饱和漏源电压为

$$V_{dsat} = \frac{V_{ds} - V_{th}}{\alpha}. \quad (13)$$

则饱和电流为

$$I_{dsat} = \frac{W}{L} \mu_s C_{ox} \frac{(V_{gs} - V_{th})^2}{2\alpha}. \quad (14)$$

2.1.2 亚阈值电流

随着 V_{gs} 的不断减小, 漏电流不断下降, 当 V_{gs} 接近 V_{th} 时, 器件的特性从平方律变为指数律, 此时的电流称为亚阈值电流或弱反型电流. 亚阈值电流以扩散电流为主, 即

$$I_{ds}(y) = I_{ds2}. \quad (15)$$

器件工作于亚阈值区时, 反型层电荷浓度和耗尽层电荷浓度相比可以忽略不计, 从源到漏端的表面势几乎是恒定的, 表面势为^[11]

$$\phi_{sa} = \left(-\frac{\gamma}{2} + \sqrt{\frac{\gamma^2}{4} + V_{gb} - V_{FB} - \gamma A_2 + A_1} \right)^2 - A_1. \quad (16)$$

此时的耗尽层电荷浓度为

$$Q_b = -\gamma C_{ox} (\sqrt{\phi_{sa} + A_1} + A_2). \quad (17)$$

将 (15) 式从源端积分到漏端可得

$$I_{ds} = -\frac{W}{L} \mu_s V_t (-Q_{is}) (1 - e^{-V_{ds}/V_t}), \quad (18)$$

其中, Q_{is} 为器件工作于压阈值区时源端反型层电荷浓度.

根据应变 Si NMOSFET 电荷方程^[11] 可知,

$$Q_{is} = \sqrt{\frac{q \epsilon_{SSi} N_{SSi}}{2\phi_s}} V_t \exp\left(\frac{V_{gs} - V_{th}}{n V_t}\right), \quad (19)$$

其中

$$n = 1 + \frac{C_{equ}}{C_{ox}}, \quad C_{equ} = \frac{\epsilon_{SSi} \epsilon_{SiGe}}{T_{SSi} \epsilon_{SiGe} + W_D \epsilon_{SSi}},$$

$$W_D = \sqrt{\frac{2\epsilon_{SiGe}}{q N_{SiGe}} \phi_s + \frac{\epsilon_{SiGe}}{\epsilon_{SSi}} \left(\frac{\epsilon_{SiGe}}{\epsilon_{SSi}} - \frac{N_{SSi}}{N_{SiGe}} \right) T_{SSi}^2} - \frac{\epsilon_{SiGe}}{\epsilon_{SSi}} T_{SSi}.$$

将 (19) 式代入 (18) 式, 可得应变 Si NMOSFET 亚阈值区漏电流为

$$I_{ds} = I_{s0} \left[1 - \exp\left(-\frac{V_{ds}}{V_t}\right) \right] \exp\left(\frac{V_{gs} - V_{th}}{n V_t}\right), \quad (20)$$

其中

$$I_{s0} = \mu_s \frac{W}{L} \sqrt{\frac{q \epsilon_{SSi} N_{SSi}}{2\phi_s}} V_t^2.$$

2.2 小尺寸效应模型

随着器件尺寸的减小, 长沟道器件模型已经不能准确的模拟器件的直流特性, 为了进一步分析和模拟器件的短沟道特性, 利用包括二维效应的简单关系修正上述基于一维分析建立的漏电流模型, 可以很好的实现与实验数据的拟合.

2.2.1 载流子速度饱和

2.1 节的假设, 器件表面迁移率 μ_s 是常数, 认为它与栅压和漏压无关, 实际上是不正确的. 当载流子在沟道中运动时, 会受到栅压 V_{gs} 引起的纵向电场 ξ_x 和漏压 V_{ds} 引起的横向电场 ξ_y 的影响, 当电

场增加时, 载流子受到的散射也增强. 这是由于纵向电场在垂直方向上会导致载流子加速, 使带电载流子向表面方向运动, 增加了散射; 而横向电场则使载流子横向运动加速, 当 V_{ds} 足够高时, 载流子的速度达到饱和. 因此 μ_s 不是常数, 和横向电场、纵向电场都有关系. 为了使 (12) 式, (14) 式和 (20) 式仍然适用, 采用有效迁移率 μ_{eff} 作为器件中载流子的平均迁移率. 模拟 μ_{eff} 通常依靠实验数据和经验公式 [8]

$$\mu_{eff} = \frac{\mu_0}{1 + \theta_a(V_{gs} - V_{th}) + \theta_b V_{sb} + \theta_c V_{ds}}, \quad (21)$$

其中, μ_0 为低场应变 Si NMOSFET 电子表面迁移率, θ_a 为迁移率退化系数, θ_b 为体效应迁移率退化系数, θ_c 为漏致迁移率退化系数.

长沟器件的饱和电压是指漏端反型电荷被完全耗尽时的漏源电压, 然而对于应变 Si MOS 短沟道器件在达到该夹断条件之前, 载流子速度已经饱和. 重新建立载流子速度和电场的关系如下:

$$\begin{aligned} v(y) &= \mu_{eff} \xi_y \quad (\xi_y < \xi_{sat}), \\ v(y) &= v_{sat} \quad (\xi_y > \xi_{sat}), \end{aligned} \quad (22)$$

其中, v_{sat} 为载流子饱和速度, ξ_{sat} 为载流子速度饱和时对应的沿着沟道 y 方向上的电场强度, 其值为 $2v_{sat}/\mu_{eff}$. 在饱和之前, 载流子的速度和电场保持线性关系, 其比例因子是迁移率 μ_{eff} .

将 (22) 式代入 (8) 式中, 从源到漏积分可得

$$\begin{aligned} I_{ds} &= \mu_{eff} C_{ox} \frac{W}{L} \frac{1}{1 + \frac{V_{ds}}{\xi_{sat} L}} \\ &\times \left(V_{gs} - V_{th} - \frac{\alpha \cdot V_{ds}}{2} \right) V_{ds}. \end{aligned} \quad (23)$$

2.2.2 沟道长度调制效应

当漏源电压 V_{ds} 大于饱和电压 V_{dsat} 时, 漏电流处于饱和状态, 随着 V_{ds} 的不断增大, 速度饱和点不断向源端移动, 即沟道长度调制. 如图 2 所示为应变 Si NMOSFET 工作于饱和区的示意图. 饱和时夹

断区长度为 ΔL , 超过 V_{dsat} 部分的漏电压施加在夹断区上, 器件有效沟道长度减小了 ΔL .

一般计算饱和区漏电流的方法是在线性区电流方程 (23) 中使用沟道长度调制以后的沟道长度 $L_{eff}(L - \Delta L)$ 代替沟道长度 L , 并用 V_{dsat} 代替 V_{ds} , 即

$$\begin{aligned} I_{ds} &= \mu_{eff} C_{ox} \frac{W}{L_{eff}} \frac{1}{1 + \frac{V_{dsat}}{\xi_{sat} L_{eff}}} \\ &\times \left(V_{gs} - V_{th} - \frac{\alpha \cdot V_{dsat}}{2} \right) V_{dsat}. \end{aligned} \quad (24)$$

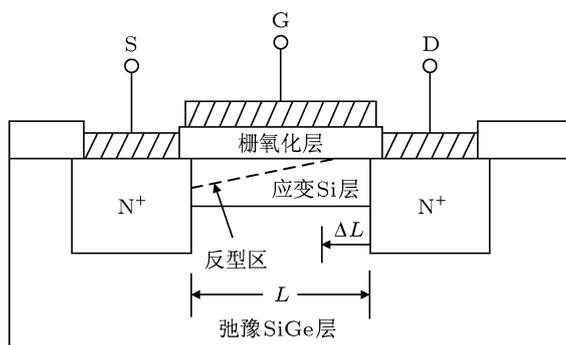


图2 工作于饱和区的应变 Si NMOSFET 示意图

在漏端的饱和区, 漏结结深 X_j 区域内, 采用准二维 [12] 的分析方法, 如图 3 所示, 在耗尽区建立高斯箱, 其方程为

$$\begin{aligned} \frac{V_{gs} - V_{FB} - V'_{dsat} - V_1}{T_{ox}} \\ = \frac{q}{\epsilon_{ox}} N_{SiGe} X'_j + \frac{q}{\epsilon_{ox}} N_{SSi} T_{SSi}, \end{aligned} \quad (25)$$

其中

$$\begin{aligned} V_1 &= \frac{q N_{SSi} T_{SSi}^2}{2 \epsilon_{SSi}}, \quad V'_{dsat} = V_{dsat} - V_1, \\ X'_j &= X_j - T_{SSi}, \quad \xi'_{sat} = \xi_{sat} - \xi_1, \\ \xi_1 &= \frac{q N_{SSi} T_{SSi}}{\epsilon_{SSi}}. \end{aligned}$$

方程 (25) 的边界条件为

$$\xi(0) = \xi_{sat} - \frac{q N_{SSi} T_{SSi}}{\epsilon_{SSi}}, \quad V(0) = V'_{dsat}.$$

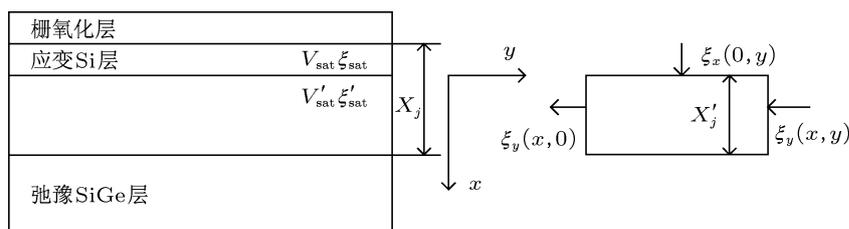


图3 沟道长度调制效应所建立的高斯箱示意图

其解为

$$\xi(y) = \xi'_{\text{sat}} \cosh\left(\frac{y}{l}\right), \quad (26)$$

$$V(y) = V'_{\text{dsat}} + l\xi'_{\text{sat}} \sinh\left(\frac{y}{l}\right), \quad (27)$$

其中

$$l = \sqrt{\varepsilon_{\text{SiGe}} T_{\text{ox}} X_j' / \varepsilon_{\text{ox}}}.$$

令 $y = \Delta L$, 则 (26) 和 (27) 式为

$$\xi'_m = \xi(y = \Delta L) = \xi'_{\text{sat}} \cosh\left(\frac{\Delta L}{l}\right), \quad (28)$$

$$V'_d = V'_{\text{dsat}} + l\xi'_{\text{sat}} \sinh\left(\frac{\Delta L}{l}\right). \quad (29)$$

将 (28) 式和 (29) 式联立, 求得

$$\Delta L = l \ln \left[\frac{V'_d - V'_{\text{dsat}} + (\xi'_m - \xi_1)}{\xi'_{\text{sat}} - \xi_1} \right], \quad (30)$$

其中

$$\xi'_m = \left[\frac{(V'_d - V'_{\text{dsat}})^2}{l^2} + (\xi'_{\text{sat}} - \xi_1)^2 \right]^{1/2} + \xi_1.$$

2.2.3 阈值电压模型

本文建立的漏电流模型是基于阈值电压的模型, 其小尺寸效应对漏电流的影响, 除了速度饱和效应以及沟道长度调制效应外, 均通过阈值电压对漏电流产生影响. 应变 Si NMOSFET 为多层结构, 采用缓变沟道近似在不同材料层分别建立泊松方程, 可以得到长沟器件一维阈值电压模型^[13,14], 同时采用准二维的分析方法, 可以研究衬底偏压、短沟道效应 (short channel effect, SCE)、漏致势垒降低效应 (drain-induced barrier lowering, DIBL) 以及窄沟道效应对阈值电压的影响, 最终建立完整的应变 Si NMOSFET 阈值电压方程为^[11]

$$V_{\text{TH}} = V_{\text{TH,L}} + \Delta V_{\text{th}}(\text{SCE}) + \Delta V_{\text{th}}(\text{DIBL}) + \Delta V_{\text{th,W}}, \quad (31)$$

其中, $V_{\text{TH,L}}$ 为应变 Si NMOSFET 长沟道阈值电压, $\Delta V_{\text{th}}(\text{SCE})$ 为短沟道效应对阈值电压的影响, $\Delta V_{\text{th}}(\text{DIBL})$ 为漏致势垒降低效应对阈值电压的影响, $\Delta V_{\text{th,W}}$ 为窄沟道效应对阈值电压的影响, 其具体表达式如文献 [11] 所示.

2.3 平滑函数

上述推导分区漏电流模型时, 假定漏电流在亚阈值区只有扩散电流, 在强反型区只有漂移电流.

这样在两个区域之间不可能有一个平滑的过渡. 为了保证两个区域的平滑过渡且保证电流微分的连续性, 采用平滑函数 $V_{\text{gseff}}^{[15]}$ 为

$$V_{\text{gseff}} = \frac{2nV_t \ln \left[1 + \exp\left(\frac{V_{\text{gs}} - V_{\text{th}}}{2nV_t}\right) \right]}{1 + 2n \exp\left(-\frac{V_{\text{gs}} - V_{\text{th}}}{2nV_t}\right)}. \quad (32)$$

同时为了保证线性区到饱和区漏电流及其导数的连续性, 采用平滑函数 $V_{\text{dseff}}^{[15]}$ 为

$$V_{\text{dseff}} = V_{\text{dsat}} - \frac{1}{2} \left(V_{\text{dsat}} - V_{\text{ds}} - \sigma + \sqrt{(V_{\text{dsat}} - V_{\text{ds}} - \sigma)^2 + 4\sigma V_{\text{dsat}}} \right), \quad (33)$$

其中, σ 为和工艺相关的拟合参数, 用于提高模型的精确度.

2.4 统一的漏电流模型

在长沟分段漏电流分析的基础上, 分别研究了载流子速度饱和效应和沟道长度调制效应对漏电流的影响, 同时采用平滑函数, 保证了漏电流无论从线性区到饱和区, 还是从亚阈值区到反型区, 都有连续的一阶微分. 最终建立统一的应变 Si NMOSFET 漏电流模型为

$$I_{\text{ds}} = \frac{W \mu_{\text{eff}} C_{\text{ox}} V_{\text{gseff}}}{L_{\text{eff}} \left(1 + \frac{V_{\text{dseff}}}{\xi_{\text{sat}} L_{\text{eff}}} \right)} \times \left[1 - \frac{\alpha \cdot V_{\text{dseff}}}{2V_{\text{gseff}} + 4V_t} \right] V_{\text{dseff}}. \quad (34)$$

3 结果与讨论

3.1 实验

实验中制造的应变 Si NMOSFET 结构如图 1 所示. 其主要的器件工艺参数如下: Si 衬底采用 [001] 晶向, 掺杂浓度为 $10^{17}/\text{cm}^3$; 渐变 SiGe 层厚度为 20 nm, 其 Ge 组分从 0 渐变到 20%; 弛豫 SiGe 层厚度为 70 nm, 其 Ge 组分保持 20% 不变; 应变 Si 层厚度为 8 nm; 栅氧化层厚度为 8 nm; 结深为 20 nm; 器件的宽长比为 500 nm/180nm. 制造的应变 Si NMOSFET 显微照片如图 4 所示. 相应的和工艺相关的拟合参数为 $\mu_0 = 1005 \text{ cm}^2/(\text{V}\cdot\text{s})$, $\theta_a = 0.06 \text{ V}^{-1}$, $\theta_b = 0.005 \text{ V}^{-1}$, $\theta_c = 2.25 \times 10^{-6} \text{ V}^{-1}$, $\sigma = 0.01 \text{ V}$.

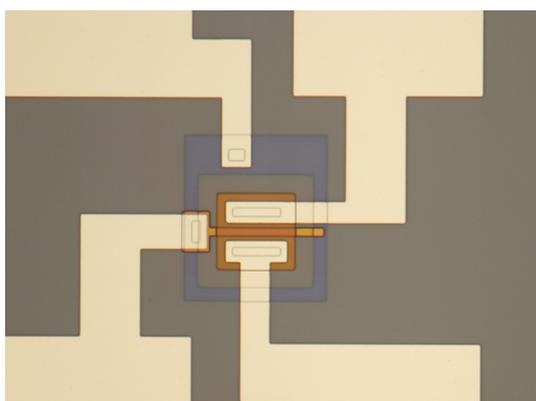


图4 应变 Si NMOSFET 器件显微照片

3.2 讨论

为了验证本文建立的应变 Si NMOSFET 漏电流解析模型的准确性, 首先将拟合参数代入模型后, 用 MATLAB 软件进行计算, 然后将计算结果与通过实验的测试结果进行比较, 从而验证模型的正确性与精确度.

3.2.1 输出特性曲线

如图 5 所示为应变 Si NMOSFET 的输出特性曲线, 其中虚线为相同尺寸下的体硅器件输出特性曲线, 实线为 (34) 式的计算结果, 实心点为不同 V_{gs} 偏置下的测试结果. 从图中可以发现, 和体硅器件相比, 相同尺寸下的应变 Si NMOSFET 由于应变导致的迁移率的提升, 最终导致漏电流的明显提高, 即相同尺寸的应变 Si 器件具有更高的电流驱动能力. 同时, 相同的 ΔV_{gs} 变化, 其饱和电流的变化不再是平方规律, 而是线性变化, 这是由于随着尺寸的减小, 器件在达到该夹断条件之前, 载流子速度已经饱和, 因此饱和电流不再是 V_{gs} 的平方函数. 并且随着 V_{ds} 的增加, 漏电流不是趋于饱和, 而是随着 V_{ds} 的增加不断增加, 这是因为随着器件尺寸的减

小, 器件进入饱和区后, 其有效沟道长度的变化 ΔL 和 L 相比不可忽略, ΔL 随着 V_{ds} 的增加而不断增大, 如 (30) 式所示, 最终使得漏电流不断增加. 同时发现, 本文建立的应变 Si NMOSFET 漏电流解析模型和实际的测试曲线拟合的非常精确.

3.2.2 转移特性曲线

如图 6 所示为应变 Si NMOSFET 转移特性曲线. 从图 6(a) 中可以发现, 当器件工作于强反型区时 ($V_{gs} > V_{th}$), 漏电流随着 V_{gs} 呈现线性关系, 其斜率为 $\frac{W}{L} \mu_s C_{ox}$; 而在亚阈值区 ($V_{gs} < V_{th}$), 漏电流很小, 近似为零. 从图 6(b) 的半对数坐标可以发现, 在亚阈值区, 漏电流很小, 但不为零, 其值随着栅压急剧变化, 和 V_{gs} 呈现指数关系, 其斜率为 $1/n$. 这是因为, 在强反型区漏电流以漂移电流为主, 如 (2) 式所示, 若 V_{ds} 不变, 漏电流仅由反型层电荷浓度 Q_i 决定, 而 Q_i 随着 V_{gs} 的变化而线性增加, 如 (11) 式所示, 因此线性区的漏电流随着 V_{gs} 呈现线性关系; 在亚阈值区, 漏电流以扩散电流为主, 如 (3) 式所示, 漏电流由源端和漏端的电荷浓度差决定, 若 V_{ds} 不变, 则源端和漏端的电荷浓度差仅由源端电荷浓度决定, 而亚阈值区的源端电荷浓度和 V_{gs} 呈指数关

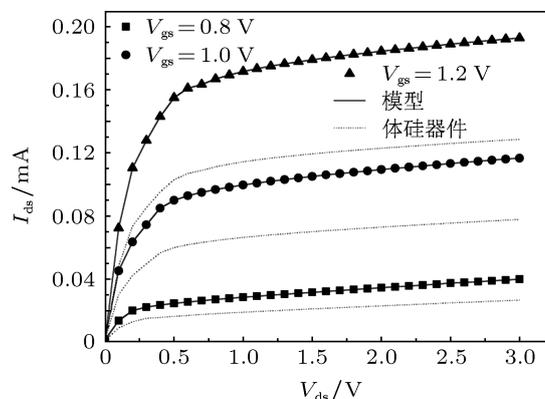


图5 应变 Si NMOSFET 输出特性曲线

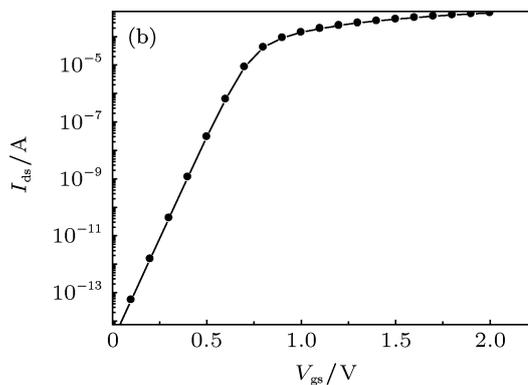
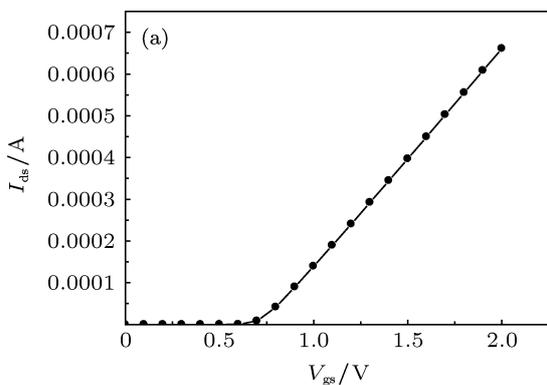


图6 应变 Si NMOSFET 转移特性曲线 (a) 线性坐标; (b) 半对数坐标

系, 如 (19) 式所以, 因此亚阈值区, 漏电流和 V_{gs} 呈现指数关系. 同时发现, 本文建立的应变 Si NMOS-FET 漏电流解析模型和实际的测试曲线拟合的非常精确.

3.2.3 连续性问题

如图 7 所示, 为 V_{gseff} 随 V_{gs} 的变化曲线, 在强反型区, $V_{gseff} = V_{gs} - V_{th}$; 在亚阈值区, V_{gseff} 是 V_{gs}

的指数函数, 即 $V_t \exp[(V_{gs} - V_{th})/nV_t]$. 同时在图 7(a) 中可以清楚的看到, V_{gseff} 对 V_{gs} 的一阶和二阶导数在整个区域内 (亚阈值区和强反型区) 都是连续的, 即保证了电流的连续性, 也保证了其小信号参数的连续性. 使得本文所建立的应变 Si NMOSFET 漏电流模型具有连续性, 不仅适用于数字电路设计, 也满足了模拟电路设计的要求.

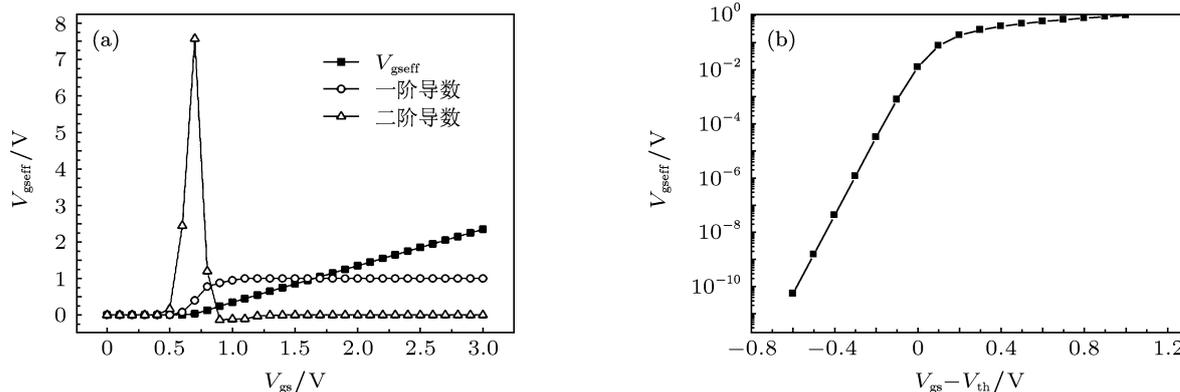


图 7 V_{gseff} 随 V_{gs} 变化曲线 (a) V_{gseff} 及其一阶和二阶导数; (b) 半对数坐标

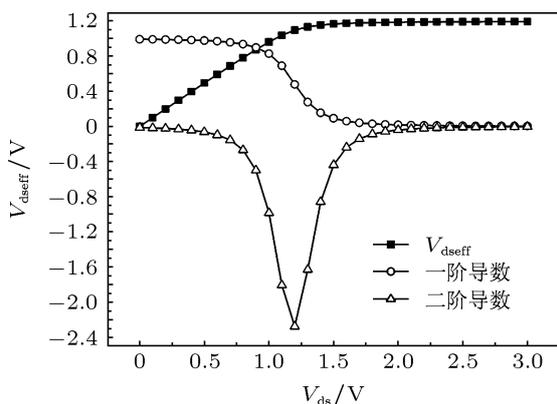


图 8 V_{dseff} 以及其一阶和二阶导数随 V_{ds} 的变化曲线

如图 8 所示, 为 V_{dseff} 以及其一阶和二阶导数随 V_{ds} 的变化曲线. 在线性区, $V_{dseff} = V_{ds}$; 在饱和区, $V_{dseff} = V_{dsat}$. 同时 V_{dseff} 对 V_{ds} 的一阶和二阶导数从线性区到饱和区都是连续的, 保证了其小信号参数

的连续性, 满足了模拟集成电路设计中对器件模型连续性的要求.

4 结论

本文针对应变 Si NMOSFET 器件, 基于一维近似方法和准二维泊松方程, 研究了载流子速度饱和效应和沟道长度调制效应对漏电流的影响, 同时采用平滑函数, 最终建立了统一的漏电流解析模型. 随后分析了器件的输出特性曲线和转移特性曲线及其模型的连续性问题. 并将拟合参数带入模型后与实验结果进行了比较, 验证了所建立模型的正确性与精确性. 本文所建立的模型可为应变 Si 数字集成电路和模拟集成电路分析、设计提供了重要的参考.

[1] O'Neil A G, Antoniadis D A 1996 *IEEE Trans. Electron Devices* **43** 911
 [2] Song J J, Zhang H M, Hu H Y, Dai X Y, Xuan R X 2007 *Chin. Phys.* **16** 3827
 [3] Bindu B, Nandita D G, Amitava D G 2006 *Solid-State Electronics* **5** 448
 [4] Kumar M J, Vivek V, Nawal S 2007 *Proceedings of the 20th International Conference on VLSI Design Bangalore, India, January 6-10, 2007* p189
 [5] Qin S S, Zhang H M, Hu H Y, Qu J T, Wang G Y, Xiao Q, Shu Y 2011 *Acta Phys. Sin.* **60** 058501 (in Chinese) [秦珊珊, 张鹤鸣, 胡辉勇, 屈江涛, 王冠宇, 肖庆, 舒钰 2011 物理学报 **60** 058501]
 [6] Jakub Q, Bogdan M 2007 *Journal of Telecommunications and Information Technology* **3** 84
 [7] Qu J T, Zhang H M, Qing S S, Xu X B, Wang X Y, Hu H Y 2011 *Acta Phys. Sin.* **60** 098501 (in Chinese) [曲江涛, 张鹤鸣, 秦珊珊, 徐小波, 王晓艳, 胡辉勇 2011 物理学报 **60** 098501]
 [8] Arora N 2007 *MOSFET Modeling for VLSI Simulation* (Singapore:

- World Scientific Press) p12–68
- [9] Kunihiro S 2000 *IEEE Trans. Electron Devices* **47** 2372
- [10] Kendall J D, Boothroyd A R 1986 *IEEE Electron Devices Lett.* **7** 407
- [11] Zhou C Y, Zhang H M, Hu H Y, Zhuang Y Q, Su B, Wang B, Wang G Y 2013 *Acta Phys. Sin.* **62** 077103 (in Chinese) [周春宇, 张鹤鸣, 胡辉勇, 庄奕琪, 舒斌, 王斌, 王冠宇 2013 物理学报 **62** 077103]
- [12] Yannis T, Colin M 2011 *Operation and Modeling of the MOS Transistor* (3rd Ed.) (New York: Oxford University Press) p600–638
- [13] Wang B, Zhang H M, Hu H Y, Zhang Y M, Shu B, Zhou C Y, Li Y C, Lü L 2013 *Acta Phys. Sin.* **62** 057103 (in Chinese) [王斌, 张鹤鸣, 胡辉勇, 张玉明, 舒斌, 周春宇, 李好晨, 吕懿 2013 物理学报 **62** 057103]
- [14] Wang G Y, Zhang H M, Wang X Y, Wu T F, Wang B 2011 *Acta Phys. Sin.* **60** 077106 (in Chinese) [王冠宇, 张鹤鸣, 王晓艳, 吴铁峰, 王斌 2011 物理学报 **60** 077106]
- [15] Cheng Y H, Jeng M C, Liu Z H, Huang J H, Chen K, Ping K K, Hu C M 1997 *IEEE Trans. Electron Devices* **44** 280

Analytical modeling for drain current of strained Si NMOSFET*

Zhou Chun-Yu[†] Zhang He-Ming Hu Hui-Yong Zhuang Yi-Qi
Lü Yi Wang Bin Li Yu-Chen

(Key Laboratory for Wide Band-Gap Semiconductor Materials and Devices, School of Microelectronics, Xidian University, Xi'an 710071, China)

(Received 5 August 2013; revised manuscript received 23 August 2013)

Abstract

Based on the structure of strained Si/SiGe NMOSFET, a unified drain current model is presented in this paper. The model describes current characteristics from subthreshold to strong inversion as well as from the linear to the saturation operating regions with a smoothing function, and guarantees the continuities of the drain current and its derivatives. Furthermore, the model accuracy is enhanced by including carrier velocity saturation and channel length modulation effects. Comparisons between the model and the measured data show that the drain current model can describe the device characteristics well. The proposed model is useful for the design and simulation of digital and analog circuits made of strained Si.

Keywords: strained Si NMOSFET, drain current, analytical modeling

PACS: 71.23.An, 71.70.Fk

DOI: 10.7498/aps.62.237103

* Project supported by the Research Fund for the Doctoral Program of Higher Education of China (Grant No. JY0300122503), the Fundamental Research Funds for the Central Universities of China (Grant Nos. K5051225014, K5051225004), and the Natural Science Basic Research Plan in Shaanxi Province of China (Grant No. 2010JQ8008).

[†] Corresponding author. E-mail: chunyu Zhou@stu.xidian.edu.cn