

# 基于深亚微米工艺的栅接地 NMOS 静电放电 保护器件衬底电阻模型研究\*

吴晓鹏<sup>†</sup> 杨银堂 高海霞 董刚 柴常春

(西安电子科技大学微电子学院, 宽禁带半导体材料与器件教育部重点实验室, 西安 710071)

(2012年9月25日收到; 2012年11月7日收到修改稿)

在考虑了电导率调制效应的情况下对深亚微米静电放电 (electrostatic discharge, ESD) 保护器件的衬底电阻流控电压源模型进行优化, 并根据轻掺杂衬底和重掺杂外延型衬底的不同物理机制提出了可根据版图尺寸调整的精确衬底电阻宏模型, 所建模型准确地预估了不同衬底结构上源极扩散到衬底接触扩散间距变化对触发电压  $V_{th}$  的影响. 栅接地 n 型金属氧化物半导体器件的击穿特性结果表明, 所提出的衬底电阻模型与实验结果符合良好, 且仿真时间仅为器件仿真软件的 7%, 为 ESD 保护器件版图优化设计提供了方法支持.

**关键词:** 栅接地 n 型金属氧化物半导体器件, 静电放电, 衬底电阻模型

**PACS:** 72.20.-i, 73.40.Cg, 77.22.Jp, 85.30.De

**DOI:** 10.7498/aps.62.047203

## 1 引言

随着集成电路工艺尺寸的不断缩小, 深亚微米集成电路面临的静电冲击失效问题日趋严峻<sup>[1,2]</sup>. 新型静电放电 (electrostatic discharge, ESD) 保护电路设计与 ESD 保护器件模型研究受到广泛关注<sup>[3-8]</sup>. 经典 ESD 保护器件模型由标准 MOS 器件、寄生横向双极晶体管、碰撞离化电流源、衬底电阻等几部分构成<sup>[3]</sup>, 其中的衬底电阻取常数值. 然而由于电导率调制效应的存在, 衬底电阻在保护器件工作期间呈现出逐渐减小的趋势<sup>[9]</sup>. 采用常值衬底电阻模型, 将高估衬底电阻值, 低估衬底电流, 导致保护器件的雪崩击穿特性仿真不准确<sup>[10-12]</sup>. Ramaswamy 等<sup>[4]</sup>通过引入流控电压源修正了常值衬底电阻模型, 但由于其难以根据器件版图尺寸实现可调性, 该模型移植性较差. 文献<sup>[13]</sup>在流控电压源模型的基础上分析了部分版图参数对保护特性的影响, 但对衬底电阻关于源极扩散与衬底接触扩散间距的可调性以及衬

底类型对衬底电阻值的影响并没有深入讨论. 本文开展深亚微米栅接地 n 型金属氧化物半导体 (gate grounded negative channel metal oxide semiconductor, GGNMOS) 器件衬底电阻模型研究, 通过研究不同衬底类型、不同版图尺寸下器件衬底电阻特性的变化情况, 建立了适用于不同衬底类型、具有版图尺寸可调性的衬底电阻解析宏模型. 实验结果表明模型准确可靠, 并大大缩短了仿真时间.

## 2 GGNMOS 器件的典型衬底电阻模型

GGNMOS 器件是集成电路 (integrated circuit, IC) 电路中最常见的一种静电保护器件, 通常这种器件具有较大的宽长比, 其栅极和源极同时接地, 漏极则连接需要保护的输入输出焊盘 (input/output pad, I/O PAD). 这种结构会在器件下方的衬底中构成寄生横向双极晶体管 (lateral NPN, LNPN) 结构, 器件的漏极、源极及其下方的衬底部分分别构成寄生 LNPN 的集电极、发射极以及基极. 决定 GGNMOS 器件工作性能的关键因素就是寄生

\* 国防预研究基金 (批准号: 9140A23060111)、中央高校基本科研业务费 (批准号: K50510250002) 和陕西省科技统筹创新工程计划 (批准号: 2011KTCQ01-19) 资助的课题.

<sup>†</sup> 通讯作者. E-mail: xpwu@mail.xidian.edu.cn

LNPN 管基极下方存在的寄生衬底电阻, 该电阻是由于 p 型掺杂衬底的有限电导率构成的. 图 1 所示即为 GGNMOS 保护器件在不同工作条件下器件内部的工作情况剖面示意图.

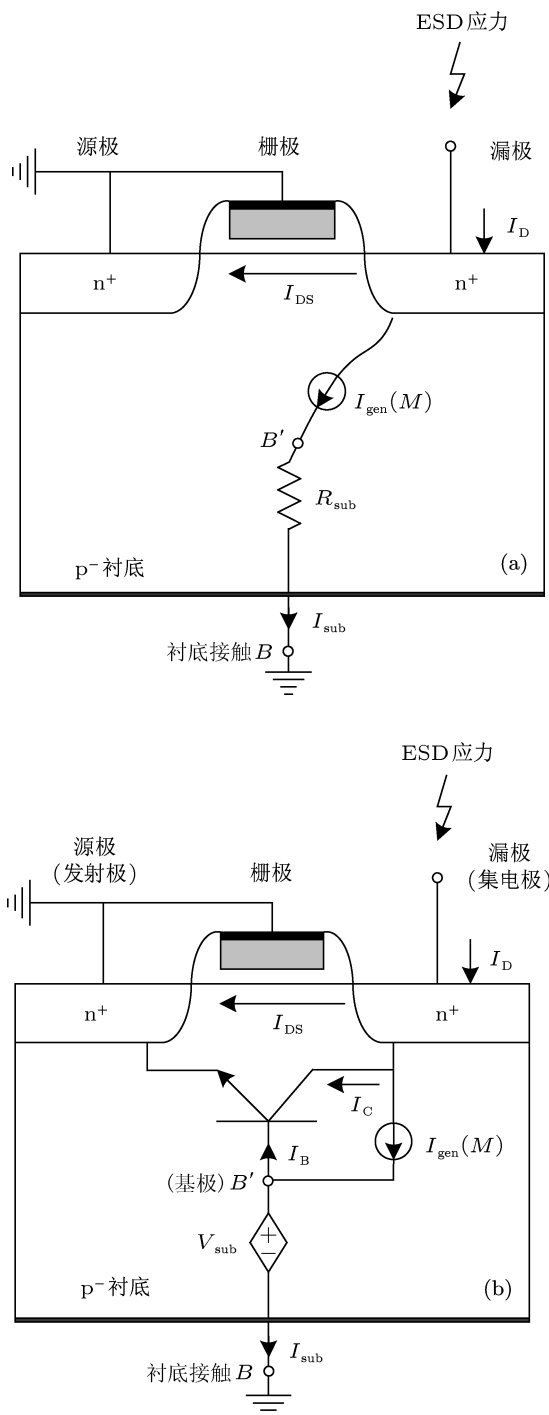


图 1 ESD 应力下 GGNMOS 器件工作原理图 (a) 寄生 LNPN 管开启前; (b) 寄生 LNPN 管开启后

图 1(a) 所示为 ESD 应力刚施加到器件漏极时器件内部的工作情况. 如图 1 所示, ESD 电流从漏极注入, 由于漏衬结反偏导致 pn 结电场不断增大,

当漏极电压  $V_d$  大于阈值电压时漏结电子会在电场作用下打破电子空穴对, 产生大量载流子, 漏衬结发生雪崩倍增效应. 电子流将直接流入漏端形成  $I_D$ , 而空穴电流  $I_{gen}$  则通过衬底流入地接触, 形成衬底电流  $I_{sub}$ . 此时的  $I_{sub}$  值随漏极偏压呈指数增大<sup>[14]</sup>:

$$I_{sub} = I_d A_i (V_d - V_{dch})^m \exp(-B_i / (V_d - V_{dch})^n), \quad (1)$$

其中  $A_i$ ,  $B_i$  对于给定工艺为常数,  $m$ ,  $n$  是取决于漏结掺杂的常数, 栅偏置对衬底电流的影响可通过参数  $V_{dch}$  建模体现.

$I_{sub}$  流过衬底电阻  $R_{sub}$  时将产生电压降  $V_{B'}$ , 当压降增大到  $V_{B'} = I_{sub} \times R_{sub} \approx 0.7$  V 左右时源衬结正偏, 电子开始从源极向漏极注入, 寄生 LNPN 则开启处于自偏置工作模式. 此时产生的集电极电流  $I_C$  构成额外的注入电流源, 进一步减小了维持寄生 LNPN 开启所需的倍增因子  $M$ , 使得漏极电压  $V_d$  可进一步减小到维持电压  $V_h$ , 即出现保护器件  $I$ - $V$  曲线中的骤回特性. 如果此时的  $R_{sub}$  为常数, 那么骤回之后可以预见  $I_{sub}$  也应该是个常数. 研究表明  $I_{sub}$  在骤回之后持续增大<sup>[9]</sup>, 而为了维持寄生 LNPN 的基区电压为常数, 衬底电阻必须减小. 其物理解释是大电流条件下保护器件下方衬底中的等电势区域变大而导致  $R_{sub}$  减小, 即电导率调制效应. 基于该物理现象可采用流控电压源<sup>[13]</sup> 对骤回后的衬底电阻进行建模, 如图 1(b) 所示.

$$V_{sub} = R_{sub0} I_{sub} - R_d (I_d - I_{ds}), \quad (2)$$

其中  $I_{sub}$  为衬底电流,  $I_d$  为总的漏端电流,  $I_{ds}$  为 MOS 保护器件的沟道电流,  $R_{sub0}$  和  $R_d$  为电路模型参数, 可从测试或仿真数据中提取.  $R_{sub0}$  为骤回开启时的衬底电阻, 而  $R_d$  则通过模拟少子注入来建模电导率调制效应.

### 3 源极扩散到衬底接触扩散间距对 GGNMOS 器件衬底电阻的影响

为了考察不同衬底类型、不同源极扩散与衬底接触扩散间距对保护器件衬底寄生电阻的影响, 本文对常见的轻掺杂体衬底 (Bulk 型衬底) 和重掺杂外延型衬底 (Epi 型衬底) 上的 GGNMOS 保护器件在不同源衬扩散间距下的物理特性进行了研究, 器件结构如图 2 所示.

图 2(a) 和图 2(b) 分别代表了轻掺杂 Bulk 型衬底和重掺杂 Epi 型衬底上的保护器件结构. 图 2 中右侧为基于  $0.18 \mu\text{m}$  CMOS 工艺实现的 GGNMOS

器件, 左侧的衬底接触扩散为 P+ 保护环结构,  $L$  为器件沟道长度, SCGS 和 DCGS 分别为源极和漏极金属接触到栅极的距离,  $SB$  为源极扩散到衬底接触扩散的间距. 仿真中选定轻掺杂衬底的体厚度为  $10\ \mu\text{m}$ , 重掺杂衬底的外延和体厚度分别为  $4$  和  $6\ \mu\text{m}$ . 选用基本的单指 GGNMOS 结构, 器件尺寸为  $W = 50\ \mu\text{m}$ ,  $L = 0.8\ \mu\text{m}$ , SCGS 和 DCGS 分别为  $0.75$  和  $2.6\ \mu\text{m}$ . 通常 GGNMOS 保护器件采用多叉指结构实现较大器件宽度来提高器件保护性能, 出于电流分布均匀性和同步导通的考虑, 在设计版图时应保证源极位于器件外侧且与漏极交叉分布, 因此本文只讨论源极扩散与衬底接触扩散间距  $SB$  对器件性能的影响. 仿真中在漏端施加 ESD 应力, 栅极、源极、衬底接触均接地.

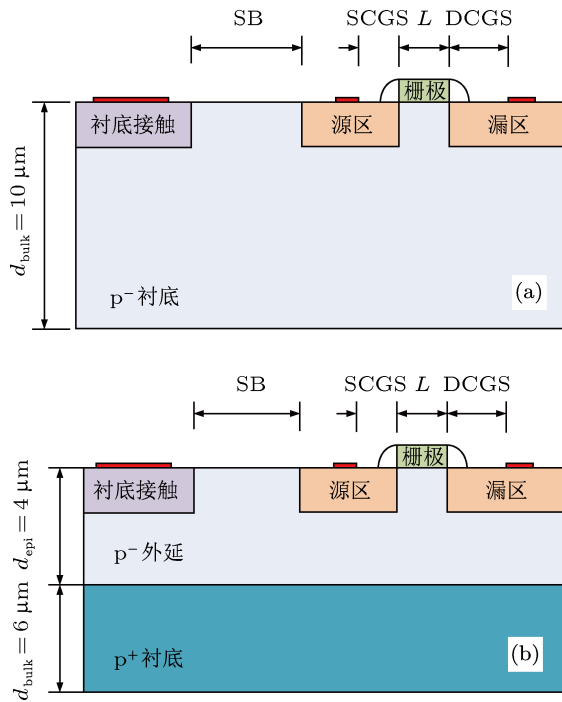


图2 基于不同衬底类型的器件结构示意图 (a) Bulk 型衬底; (b) Epi 型衬底

由 (2) 式推导可得:

$$I_{\text{sub}} = \frac{R_d}{R_{\text{sub0}}} \cdot I_d + \frac{V_{\text{sub}} - R_d \cdot I_{\text{ds}}}{R_{\text{sub0}}}. \quad (3)$$

根据 (3) 式, 衬底电阻模型中所需电路模型参数  $R_{\text{sub0}}$  和  $R_d$  可以通过器件在 ESD 应力下的衬底电流与漏电流特性曲线切线与  $y$  轴的截距以及曲线斜率提取得到.

图 3 所示分别为 Bulk 型和 Epi 型衬底上的 GGNMOS 器件在  $SB$  从  $1\ \mu\text{m}$  增大到  $10\ \mu\text{m}$  时衬底电流关于漏电流的变化曲线. 如图 3(a) 所示, 对于 Bulk 型衬底而言, 随着  $SB$  的增大, 曲线的  $y$  轴截距

明显减小, 斜率亦略微变小. 而对于 Epi 型衬底, 如图 3(b) 所示, 曲线截距同样随  $SB$  的增大而减小, 但当  $SB$  大于  $4\ \mu\text{m}$  后曲线接近重合, 即截距几乎不再减小, 同时曲线斜率几乎不改变.

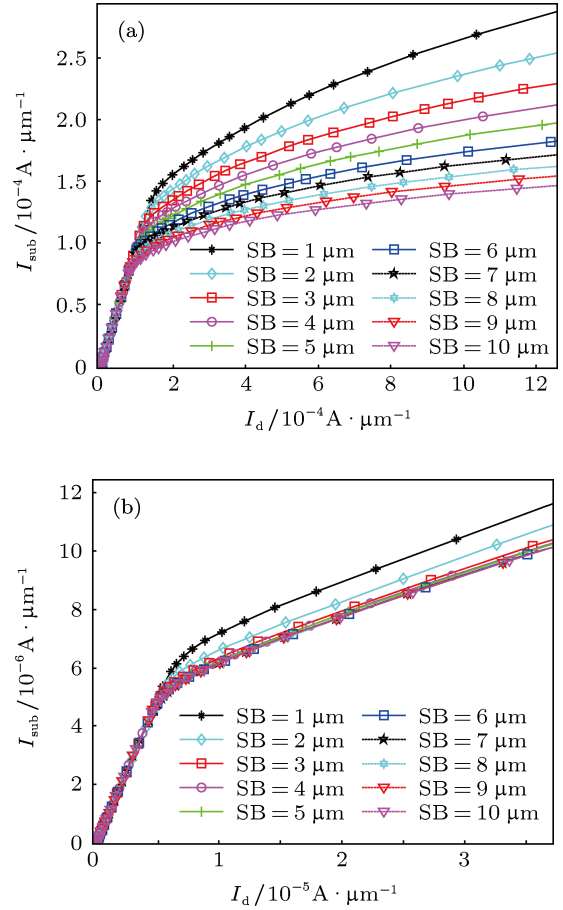


图3 两种衬底上 GGNMOS 器件在 ESD 应力下的  $I_{\text{sub}}-I_d$  曲线 (a) Bulk 型衬底; (b) Epi 型衬底

图 4(a) 和图 5(a) 分别给出两种衬底上 GGNMOS 器件的衬底电阻模型参数  $R_{\text{sub0}}$  随  $SB$  的变化关系. 两种衬底上器件的  $R_{\text{sub0}}$  值均随  $SB$  增大而增大, 其中 Bulk 型衬底的电阻值随  $SB$  线性增大, 而 Epi 型衬底的  $R_{\text{sub0}}$  值则在  $SB$  大于  $4\ \mu\text{m}$  后呈现饱和和趋势, 这与图 3 曲线得出的结论一致. 在保护器件的衬底电阻模型中, 参数  $R_{\text{sub0}}$  主要表征的是寄生 LNPN 管导通时的衬底电阻值, 其数值变化规律与衬底的掺杂分布以及电流传输路径有关. 由于  $SB$  增大使得衬底电流水平传输路径增长, 因此主要影响的是衬底表面电阻值. 根据衬底电阻分布式梯形网络计算方法<sup>[15]</sup>有

$$\Delta R_{\text{surf}} = \frac{\rho L \cdot \ln(W_2/W_1)}{W_2 - W_1}, \quad (4)$$

其中  $\Delta R_{\text{surf}}$  为单位衬底表面电阻值,  $\rho$  为衬底电阻率,  $L$  为衬底表面单位梯形子块的高度,  $W_1$ ,  $W_2$  分

别为衬底表面单位梯形的窄边和宽边. 增大  $SB$  相当于增大了  $L$  的总值, 使得衬底表面总电阻值线性增大, 因此呈现出图 4(a) 中  $R_{\text{sub0}}$  随  $SB$  线性增大的趋势. 而 Epi 型衬底是由上层轻掺杂外延和下层重掺杂体构成的, 当  $SB$  较小时, 器件底部到衬底接触的电流主要分布在外延层表面, 因此  $R_{\text{sub0}}$  值根据上述分析呈线性增大趋势, 对应于图 5(a) 中  $SB$  值小于  $4 \mu\text{m}$  时的曲线部分. 但当  $SB$  大于外延厚度 ( $4 \mu\text{m}$ ) 后, 由于两接触间的横向外延层不再是最低阻抗通路, 因此器件底部电流会趋于沿着外延层垂直方向流入低阻重掺杂体后横向传输, 当到达衬底接触下方时再通过外延层垂直流动. 显然此时的衬底阻值对横向  $SB$  的依赖性减弱, 所以呈现出图 5(a) 中当  $SB$  大于  $4 \mu\text{m}$  时  $R_{\text{sub0}}$  值随  $SB$  的增大而趋于饱和的趋势.

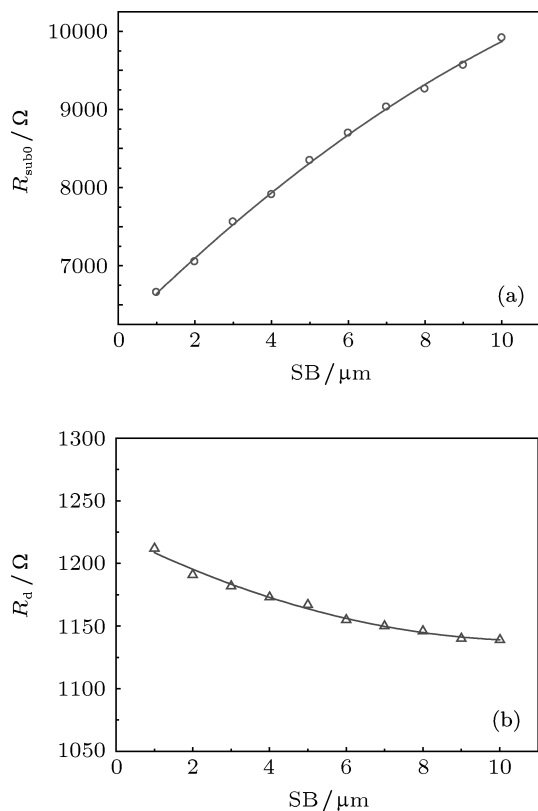


图 4 Bulk 型衬底的  $R_{\text{sub0}}$  和  $R_d$  随  $SB$  的变化 (a)  $R_{\text{sub0}}$ ; (b)  $R_d$

另一方面, 由图 4(b) 和图 5(b) 可见, Bulk 型衬底的  $R_d$  值随  $SB$  增大而呈近似线性减小趋势, 而 Epi 型衬底的  $R_d$  值在  $SB$  变化时仅有微小波动. 这是由于  $SB$  增大等效于增大了寄生 LNPN 的基极串联电阻  $R_{\text{sub0}}$ , 而保护器件的源极扩散面积通常较大, 因此电流集边效应导致发射极注射效率降低, 进而使寄生 LNPN 的电流放大系数  $\beta$  降低. 而骤回

期间寄生 LNPN 的开启条件<sup>[16]</sup>为

$$\beta \cdot (M - 1) \geq 1, \quad (5)$$

其中  $M$  为保护器件的雪崩倍增因子. 此时  $M$  值将增大以保持寄生 LNPN 开启, 从而使碰撞离化电流  $I_{\text{gen}}$  增大. 同时由于  $\beta$  值降低使得寄生 LNPN 的基极电流  $I_B$  增大, 由图 1(b) 可知这意味着将从  $I_{\text{gen}}$  分流更多的  $I_B$ , 最终导致  $I_{\text{sub}}-I_d$  曲线斜率下降. 如前所述, Bulk 型衬底的  $R_{\text{sub0}}$  值与  $SB$  呈线性增大关系, 根据上述分析可知这将导致  $\beta$  值降低, 进而使得  $R_d$  值呈现如图 4(b) 所示的减小趋势. 相反, 由于 Epi 型衬底的  $R_{\text{sub0}}$  值与  $SB$  的弱相关性,  $R_d$  值几乎不受  $SB$  变化影响, 而只呈现出微弱波动, 如图 5(b) 所示. 总体来说, 两种衬底的  $R_d$  值随  $SB$  的变化幅度不超过 6%, 因此在模型中可将该参数近似为常数数值处理.

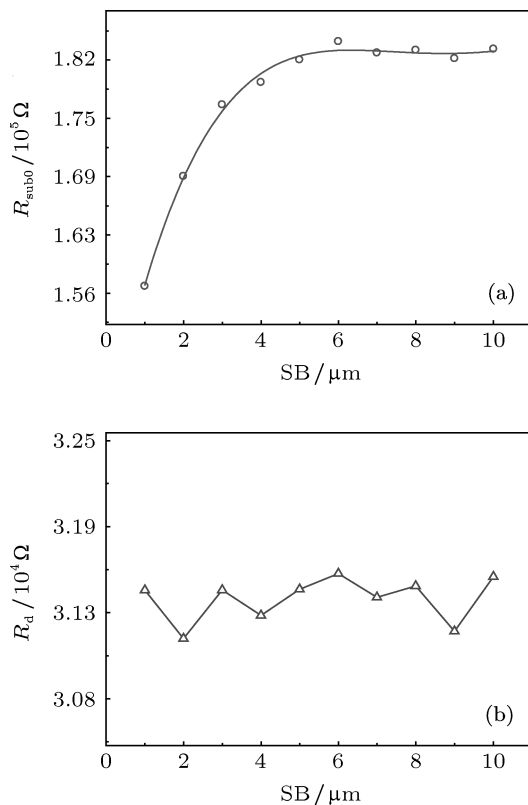


图 5 Epi 型衬底的  $R_{\text{sub0}}$  和  $R_d$  随  $SB$  的变化 (a)  $R_{\text{sub0}}$ ; (b)  $R_d$

综合上述分析可知, 基于不同衬底类型的保护器件衬底电阻模型参数表现出与  $SB$  截然不同的相关性, 所以保护器件模型需要根据具体的衬底类型选择合适的衬底电阻模型才能准确建模器件性能. 同时由于两种衬底上保护器件衬底电阻总值呈现出随  $SB$  增大的趋势, 因此可以预测保护器件工作期间源衬结正偏所需的空穴电流也将随着  $SB$  的增

大而降低,即保护器件触发电压呈减小趋势.

#### 4 不同衬底类型 GGNMOS 器件的衬底电阻模型

鉴于衬底电阻模型中参数  $R_{\text{sub}0}$  与 SB 的相关性,有必要根据不同的衬底特性建立相应的解析模型,进而完善衬底电阻流控电压源模型的可调性.由于参数  $R_{\text{sub}0}$  的分布特性,其取值直接与衬底掺杂、被考察的接触孔间距和尺寸相关,因此其解析模型构建方法类似于混合信号 IC 衬底噪声耦合分析中衬底分布电阻建模方法.通常接触孔间衬底电阻建模方法是基于有限差分法、边界元法<sup>[17,18]</sup>或精简可调宏模型法<sup>[19]</sup>实现的,其中可调宏模型法可对特定工艺下的衬底电阻建立  $Z$  矩阵宏模型,通过器件仿真或测试提取必要的解析模型工艺匹配参数,并可根据接触孔尺寸及间距条件调节阻值,适用于对本文模型参数  $R_{\text{sub}0}$  建模.

对于 Epi 型衬底,由于重掺杂体在电流传输过程中提供了低阻通路,因此在分析时可对其做单节点近似,并采用多端口  $Z$  矩阵法构建由  $N$  个接触孔所构成的电阻网络模型,其矩阵元由两端口间的自阻抗以及互阻抗解析模型构成:

$$\mathbf{Z} = \begin{bmatrix} \cdots & \cdots & \cdots & \cdots \\ \cdots & Z_{ii} & \cdots & Z_{ij} \\ \cdots & \cdots & \cdots & \cdots \\ \cdots & Z_{ji} & \cdots & Z_{jj} \\ \cdots & \cdots & \cdots & \cdots \end{bmatrix}, \quad (6)$$

$$Z_{ii} = \frac{1}{\alpha_1 \cdot A + \alpha_2 \cdot P + \alpha_3}, \quad (7)$$

$$Z_{ij} = Z_0 e^{-\gamma x}, \quad (8)$$

$Z_{ii}$  和  $Z_{ij}$  分别为第  $i$  个接触孔和第  $j$  个接触孔的自阻抗与互阻抗,其中  $\alpha_1, \alpha_2, \alpha_3$  为取决于工艺的匹配参数,  $A$  和  $P$  分别为接触孔的面积和周长.  $Z_0$  为间距为 0 时的互阻抗值,  $\gamma$  是基于工艺的匹配参数.在本文中只需考察源极扩散与衬底接触间的阻值与版图尺寸的可调性,因此上述模型可简化为两端口  $Z$  矩阵模型,并可结合器件仿真确定解析模型中的工艺匹配参数值.

对于 Bulk 型衬底,均匀轻掺杂的高阻特性使其不能像 Epi 型衬底那样做单节点近似的网络分

析,因此需要通过器件仿真对不同的接触孔尺寸、间距进行基于阻性特性的分析,建立如下经验模型:

$$R_{ij} = \lambda \cdot [\ln(d_{ij} + 1)]^{k_1} \cdot A_{\text{sum}}^{k_2} \cdot P_{\text{sum}}^{k_3}, \quad (9)$$

其中  $R_{ij}$  为第  $i$  个接触孔与第  $j$  个接触孔之间的阻值,  $d_{ij}$  为两接触孔间距,  $A_{\text{sum}}, P_{\text{sum}}$  分别为两接触孔的面积与周长之和,  $\lambda, k_1, k_2, k_3$  为取决于工艺的匹配参数.模型表征了 Bulk 型衬底电阻对掺杂机制、间距、面积、周长的相关性.以上模型中的第  $i$  个和第  $j$  个接触孔分别代表 GGNMOS 保护器件的源极接触与衬底接触.

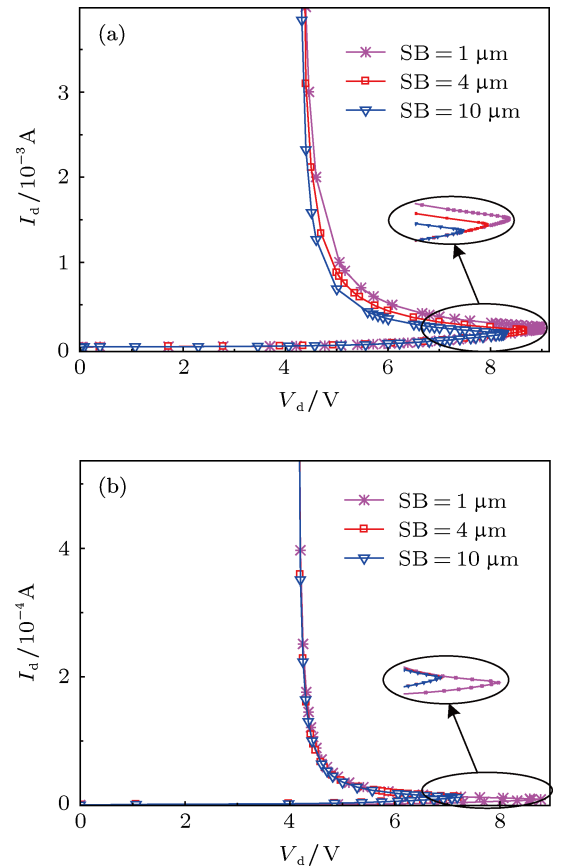


图6 两种衬底上 GGNMOS 器件的  $I$ - $V$  特性对比 (a) Bulk 型衬底; (b) Epi 型衬底

采用上述可调衬底电阻模型对基于 SMIC 0.18  $\mu\text{m}$  1P6M CMOS 工艺实现的 GGNMOS 保护器件进行击穿特性仿真分析,可得如图 6 所示的  $I$ - $V$  曲线,其中保护器件结构尺寸与图 2 相同.可见 Bulk 型衬底上的器件触发电压  $V_{t1}$  随 SB 增大而等比例减小,而在 Epi 型衬底上  $V_{t1}$  值虽然也随 SB 的增大而减小,但在间距大于 4  $\mu\text{m}$  后  $V_{t1}$  值的减小趋势呈现饱和.这是因为两种衬底的衬底电阻均随 SB 增大而增大,使得在相同的电流条件下 SB 较大的器件中寄生 LNPN 管的基射结电压能够较快地

到开启阈值,从而触发保护器件工作,所以  $V_{th}$  值均呈减小趋势.同时由于 Bulk 型衬底的阻值随 SB 线性增大,而 Epi 型衬底阻值则在 SB 达到外延厚度  $4\text{ }\mu\text{m}$  后趋于饱和值,因此对应的 Epi 型衬底上的保护器件  $V_{th}$  值也呈现类似的饱和趋势.可见模型仿真结果符合前述器件仿真分析预测趋势,因此所建立的衬底电阻模型准确地反映出 SB 变化对保护器

件触发特性的影响.

表 1 给出了采用本文模型和器件仿真得到的触发电压  $V_{th}$  值对比,可见模型的仿真误差值最大不超过 5%,本文模型准确地预估了保护器件的触发状态.另外,模型仿真时间仅为器件仿真软件的 7%左右,并且能够在设计初期指导器件结构和版图设计,极大地提高了 ESD 保护器件的设计效率.

表 1 不同 SB 下  $V_{th}$  的仿真结果误差对比

SB/ $\mu\text{m}$	Bulk 型衬底			Epi 型衬底		
	模型仿真值/V	器件仿真值/V	误差/%	模型仿真值/V	器件仿真值/V	误差/%
1	8.99	9.17	1.9	8.78	8.9000	1.3
4	8.65	8.92	3.0	7.21	8.8945	4.6
10	8.26	8.45	2.2	7.15	8.8940	2.3

## 5 结 论

本文根据对 GGNMOS 保护器件在 ESD 条件下的物理和电特性分析,建立了基于  $0.18\text{ }\mu\text{m}$  SMIC 1P6M CMOS 工艺条件下的 GGNMOS 保护器件衬底电阻宏模型.通过器件仿真得到了源极扩散与衬底接触扩散间距对保护器件衬底阻值的影响规律,以及不同衬底中衬底电阻值的变化情况.研究表明,

可以通过改变 SB 来调节保护器件的触发电压  $V_{th}$ ,但对于外延型重掺杂衬底,当 SB 大于外延层厚度后,再增大 SB 值就无法对  $V_{th}$  值产生明显影响了.实验结果表明,本文所建模型不仅准确地预估了不同衬底结构上 SB 变化对触发电压  $V_{th}$  的影响,而且大大缩短了仿真时间,提高了设计效率,对深亚微米 GGNMOS 保护器件版图优化设计具有一定的参考价值.

- [1] Liu S H, Tan W 2000 *Physics* **29** 304 (in Chinese) [刘尚合, 谭伟 2000 物理 **29** 304]
- [2] Zhu Z W, Hao Y, Zhang J F, Fang J P, Liu H X 2006 *Acta Phys. Sin.* **55** 5878 (in Chinese) [朱志炜, 郝跃, 张金凤, 方建平, 刘红侠 2006 物理学报 **55** 5878]
- [3] Amerasekera A, Roozendaal L V, Bruines J, Kuper F 1991 *IEEE Trans. Electron Device* **38** 2161
- [4] Ramaswamy S, Amerasekera A, Chang M C A 1997 *Proceeding of International Electron Device Meeting* Washington, USA, December 10, 1997 p885
- [5] Zhang B, Chai C C, Yang Y T 2010 *Acta Phys. Sin.* **59** 8063 (in Chinese) [张冰, 柴常春, 杨银堂 2010 物理学报 **59** 8063]
- [6] Gao X F, Liou J J, Bernier J, Croft G, Oritiz-Conde A 2002 *IEEE Trans. Computer-Aided Design* **21** 1497
- [7] Liu Y D, Du L, Sun P, Chen W H 2012 *Acta Phys. Sin.* **61** 137203 (in Chinese) [刘玉栋, 杜磊, 孙鹏, 陈文豪 2012 物理学报 **61** 137203]
- [8] Wang Y, Jia S, Sun L, Zhang G G, Zhang X, Ji L J 2007 *Acta Phys. Sin.* **56** 7242 (in Chinese) [王源, 贾嵩, 孙磊, 张钢刚, 张兴, 吉利久 2007 物理学报 **56** 7242]
- [9] Skotnicki T, Merckel G, Merrachi A 1991 *Solid State Device Research Conference* Montreux, September 16–19, 1991 p559
- [10] Amerasekera A, Ramaswamy S, Chang M C, Duvvury C 1996 *Proceeding of Reliability Physics Symposium* Dallas, USA, April 30–May 2, 1996 p318
- [11] Russ C, Verhaege K, Bock K, Roussel P J 1996 *Proceeding of Electrical Overstress/Electrostatic Discharge Symposium* Orlando, USA, September 10–12, 1996 p302
- [12] Zhou Y Z, Hajjar J J, Lisiak K 2006 *International Conference on Solid-State and Integrated Circuit Technology* Shanghai, China, October 23–26, 2006 p1202
- [13] Zhang X Y, Banerjee K, Amerasekera A, Gupta V, Yu Z, Dutton R W 2000 *Proceeding of Reliability Physics Symposium* San Jose, USA, April 10–13, 2000 p295
- [14] Dutton R W 1975 *IEEE Trans. Electron Device* **22** 334
- [15] Shreeve R, Fiez T S, Mayaram K 2004 *Proceeding of International Symposium on Circuits and Systems* Vancouver, Canada, May 23–26, 2004 p157
- [16] Amerasekera A, Gupta V, Vasanth K, Ramaswamy S 1999 *Proceeding of International Reliability Physics Symposium* San Diego, USA, March 23–25, 1999 p159
- [17] Xu C G, Fiez T, Mayaram K 2004 *IEEE Trans. Circ. Syst.* **51** 1223
- [18] Veronis G, Lu Y C, Dutton R W 2004 *Proc. of Int. Symp. on Quality Electronic Design* San Jose, USA, March 22–24, 2004 p303
- [19] Lan H, Chen T W, Chui C O, Nikaeen P, Kim J W, Dutton R W 2006 *IEEE J. Solid-State Circ.* **41** 1817

# A compact model of substrate resistance for deep sub-micron gate grounded NMOS electrostatic discharge protection device<sup>\*</sup>

Wu Xiao-Peng<sup>†</sup> Yang Yin-Tang Gao Hai-Xia Dong Gang Chai Chang-Chun

(Key Laboratory of Ministry of Education for Band-Gap Semiconductor Materials and Devices, School of Microelectronics,

Xidian University, Xi'an 710071, China)

(Received 25 September 2012; revised manuscript received 7 November 2012)

## Abstract

The current controlled voltage source model of substrate parasitic resistance of deep sub-micron electrostatic discharge protection device is optimized by considering the effect of conductance modulation. A compact macro-model of substrate resistance is presented according to the characteristics of lightly doped bulk substrate and heavily doped substrate with a lightly doped epitaxial layer, which is scalable with the layout dimension. The experimental model parameters of devices with various spaces between source and substrate diffusion can be extracted by device simulation. The breakdown behavior of gate grounded negative-channel metal oxide semiconductor shows the effectiveness of this method. In the meantime, the simulation time-consuming of the compact model is only 7% that of the device simulation software.

**Keywords:** gate grounded negative channel metal oxide semiconductor, electrostatic discharge, substrate resistance model

**PACS:** 72.20.-i, 73.40.Cg, 77.22.Jp, 85.30.De

**DOI:** 10.7498/aps.62.047203

---

<sup>\*</sup> Project supported by the National Defense Pre-Research Foundation of China (Grant No. 9140A23060111), the Fundamental Research Fund for the Central Universities, China (Grant No. K50510250002), and the Key Science and Technology Special Project of Shaanxi Province, China (Grant No. 2011KTCQ01-19).

<sup>†</sup> Corresponding author. E-mail: xpwu@mail.xidian.edu.cn