

应变 Si NMOS 积累区电容特性研究*

王斌[†] 张鹤鸣 胡辉勇 张玉明 舒斌 周春宇 李好晨 吕懿

(西安电子科技大学微电子学院, 宽禁带半导体材料与器件重点实验室, 西安 710071)

(2012年8月21日收到; 2012年10月29日收到修改稿)

积累区 MOS 电容线性度高且不受频率限制, 具有反型区 MOS 电容不可比拟的优势. 本文在研究应变 Si NMOS 电容 $C-V$ 特性中台阶效应形成机理的基础上, 通过求解电荷分布, 建立了应变 Si/SiGe NMOS 积累区电容模型, 并与实验结果进行了对比, 验证了模型的正确性. 最后, 基于该模型, 研究了锗组分、应变层厚度、掺杂浓度等参数对台阶效应的影响, 为应变 Si 器件的制造提供了重要的指导作用. 本模型已成功用于硅基应变器件模型参数提取软件中, 为器件仿真奠定了理论基础.

关键词: 应变 Si NMOS, 积累区电容, 台阶效应, 电荷分布

PACS: 71.23.An, 71.70.Fk

DOI: 10.7498/aps.62.057103

1 引言

近年来, 硅基外延半导体材料成为了一个热门的研究课题. 不断出现的新型硅基电子器件和光学器件使得集成电路的功能越来越强大而其功耗越来越低. 近期研究表明, 由于具有较高的电子和空穴迁移率, 应变 Si (SSi)/SiGe 结构为高性能 IC 的生产提供了一个很好的平台. 由于材料间的晶格失配 (Si 和 Ge 材料的晶格失配大约为 4.2%), 弛豫 SiGe 缓冲层上外延生长的 Si 可以为 Si 薄膜提供一个张应力. 应力的引入使得导带能谷和价带带边发生了分裂, 降低了输运方向上电子和空穴的有效质量, 结果使得应变 Si 中载流子迁移率获得了提高^[1-7].

但是, 由于具有 TYPE-II 型的能带结构, 导带和价带的带阶使得电子和空穴在 SSi/SiGe 界面处的运输受到了抑制, 导致 SSi/SiGe MOS 电容 $C-V$ 特性中出现了一个“台阶”^[8,9]. PMOS 电容的“台阶”随着掺杂浓度的增大会从积累区向反型区转移, 因此获得了较多的研究^[10-13]; 而 NMOS 电

容的“台阶”仅仅出现在积累区, 有关的研究工作较少.

高速数字 CMOS 电路, 尤其是射频电路, 所用的 MOS 电容, 期望具有高的线性度和好的频率特性. 工作在线性区和反型区的 MOS 电容 $C-V$ 曲线都较为“平坦”, 但是积累区电容比反型区电容的线性度要好, 所引入的非线性误差要小, 同时, 积累区电容几乎不受工作频率的限制, 具有反型区 MOS 电容不可比拟的优势, 所以近年来吸引了较多的研究兴趣^[14-16].

为此, 本文分析了应变 Si NMOS 电容 $C-V$ 特性中台阶效应的形成机理, 并通过求解器件不同工作状态下的电荷分布, 建立了 SSi/SiGe NMOS 积累区电容模型. 与实验数据的对比结果表明, 所建模型准确的反映了 SSi/SiGe NMOS 电容 $C-V$ 特性中的台阶效应, 验证了模型的正确性. 最后, 基于本模型, 研究了锗组分、应变层厚度、掺杂浓度等器件物理参数对台阶效应的影响. 该模型为应变 Si 器件的设计制造提供了重要的指导作用, 并已成功的应用于硅基应变器件模型参数提取软件中, 为应变 Si 器件的仿真奠定了理论基础.

* 国家部委项目 (批准号: 51308040203, 6139801)、中央高校基本科研业务费 (批准号: 72105499, 72104089) 和陕西省自然科学基金研究计划 (批准号: 2010JQ8008) 资助的课题.

[†] 通讯作者. E-mail: wbin0316@126.com

2 台阶效应的形成机理

应变 Si NMOS 电容剖面结构如图 1 插图所示. 器件由 SiO₂ 层、SSi 层、弛豫 SiGe 层构成, t_{OX} , t_{SSi} , W_1^H 分别为氧化层、SSi 层、耗尽层厚度. 分析中假定各层均匀掺杂, 浓度为 N_A .

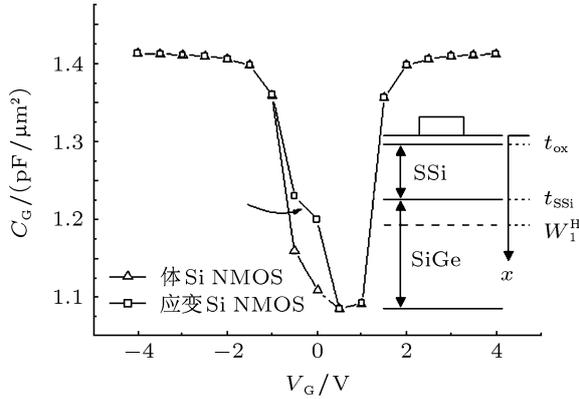


图 1 应变 Si NMOS 电容 C-V 特性中台阶效应示意图

2.1 应变 Si NMOS 电容平带电压分析

由图 1 器件结构图可以看出, 应变 Si MOS 结构存在两个界面: SSi/SiO₂ 界面和 SSi/SiGe 界面, 其平带电压与体 Si MOS 结构的相比必然所有差异. 当栅压 V_G 由负向正变化时, 平带首先发生在 SSi/SiO₂ 界面, 然后才是 SSi/SiGe 界面. 如果不考虑界面态的影响, SSi 层表面平带电压 V_{FB}^S 可表示为

$$V_{FB}^S = \phi_{MS} = \phi_M - \phi_{SEMI}, \quad (1)$$

其中, ϕ_M 和 ϕ_{SEMI} 分别为器件栅材料功函数和半导体等效功函数.

当 SSi/SiGe 界面平带时, 栅压 V_G 可表示为 $V_G = V_{OX} + V_{FB}^S + V_{SSi}$, 这里 V_{OX} 和 V_{SSi} 分别表示氧化层和 SSi 层电势降, 且由下式给出:

$$V_{OX} = \frac{qN_A t_{SSi}}{C_{OX}}, \quad (2)$$

$$V_{SSi} = \frac{qN_A t_{SSi}^2}{2\epsilon_{SSi}}. \quad (3)$$

因此, SSi/SiGe 界面平带电压可表示为

$$V_{FB}^H = V_{FB}^S + \frac{qN_A t_{SSi}}{C_{OX}} + \frac{qN_A t_{SSi}^2}{2\epsilon_{SSi}}, \quad (4)$$

式中, C_{OX} 为氧化层等效电容, 其值为 $C_{OX} = \epsilon_{OX}/t_{OX}$.

2.2 器件工作机理

当栅压 $V_G < V_{FB}^S$ 时, 由于价带带阶的存在, 空穴积累在 SSi 层表面和 SSi/SiGe 界面, 如图 2 所示, 此时 SSi/SiGe 界面空穴浓度达到最大值, 而 SSi 层表面空穴浓度随栅压的变化而变化. 当 $V_{FB}^S \leq V_G < V_{FB}^H$ 时, SSi 层迅速全耗尽 (SSi 层厚度很小, 仅仅数纳米) 而 SiGe 层依然处于积累状态, SSi/SiGe 界面空穴浓度随栅压的变化而变化. 当 $V_{FB}^H \leq V_G < V_L$ (V_L 为应变 Si NMOS 亚阈值开启电压) 时, 耗尽层扩展到 SiGe 层中, 且随着 V_G 的增大而变宽. 当 $V_G \geq V_L$, 器件表面开始出现反型载流子且电子浓度随着栅压 V_G 的增大而增大.

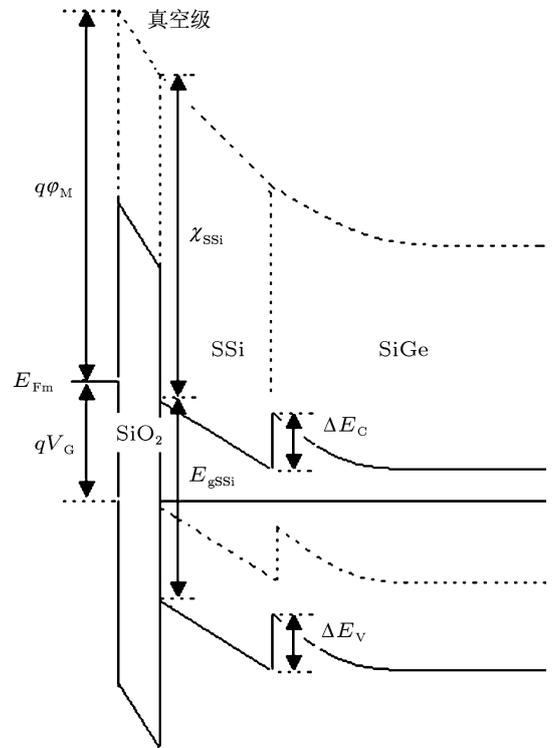


图 2 $V_G < V_{FB}^S$ 时能带示意图

2.3 台阶效应形成机理

由以上分析可知, 当 V_{FB}^S 与 V_{FB}^H 差异较小时, 应变 Si NMOS 电容 C-V 特性与体 Si NMOS 电容 C-V 特性相差不大. 当 V_{FB}^S 与 V_{FB}^H 差异较大时, 随着电压由 V_{FB}^S 向 V_{FB}^H 转变时, 电子逐渐由 SSi 层进入 SiGe 层, 这意味着 SiGe 层的积累电容 C_A^H 变得越来越明显. 若定义 C_A^S 为 SSi 层积累电容, 则应变 Si NMOS 电容 C_G 由 $C_G = [C_{OX}^{-1} + (C_A^S)^{-1}]^{-1}$ 向 $C_G = [C_{OX}^{-1} + (C_A^H)^{-1}]^{-1}$ 转变, 从而在其 C-V 特性中

产生了“台阶”。

3 积累区 MOS 电容模型

当栅压 $V_G < V_{FB}^H$ 时, 器件处于积累区, 内部有多子空穴的积累. 此时, 耗尽层电容 C_D 和反型层电容 C_T 均为 0, MOS 电容 C_G 由氧化层电容 C_{OX} 和积累区电容 C_A 共同构成, 且 $C_G = [C_{OX}^{-1} + (C_A)^{-1}]^{-1}$. 按照空穴积累位置的不同, 可将积累区分为两部分:

$$Q_A^S = \sqrt{2q\epsilon_{Si}N_A} \left[\left(e^{-\phi_s/v_t} + \frac{\phi_s}{v_t} \right) - \left(e^{-\phi_{SiGe}/v_t} + \frac{\phi_{SiGe}}{v_t} \right) \right] + \left(\epsilon_{Si}E_{SiGe} \right)^2, \quad (5)$$

其中, $v_t = \frac{KT}{q}$ 为热电压, q 为电子电荷量, ϵ_{Si} 为应变 Si 层介电常数, ϕ_s 和 ϕ_{SiGe} 分别为 SSi 层和 SiGe 层表面势, E_{SiGe} 为 SiGe 层表面电场强度.

将 (5) 式泰勒展开, 考虑 ϕ_{SiGe} , E_{SiGe} 约等于 0, 可以得到

$$C_A^S = C_{LD}^S \left(1 - \frac{1}{2v_t} \phi_s \right), \quad (6)$$

式中, $C_{LD}^S = \frac{\epsilon_{Si}}{L_{LD}^S}$, $L_{LD}^S = \sqrt{\frac{\epsilon_{Si}v_t}{qN_A}}$.

若定义 $C_{OXEFF} = \left(\frac{t_{OX}}{\epsilon_{OX}} + \frac{t_{Si}}{\epsilon_{Si}} \right)^{-1}$, 则 SiGe 层积累电荷总量 Q_A^H 为

$$Q_A^H = -C_{OXEFF} (V_{FB}^S - V_{FB}^H). \quad (7)$$

此时, 栅压 V_G 与表面势 ϕ_s 的关系可表示为

$$V_G = V_{FB}^S - \frac{Q_A^S + Q_A^H}{C_{OX}} + \phi_s. \quad (8)$$

结合 (5) 和 (7) 式, (8) 式可重新表示为

$$\phi_s = \frac{C_{OX}}{C_{OX} - C_{LD}^S} \left(V_G - V_{FB}^S + \frac{Q_A^H}{C_{OX}} \right). \quad (9)$$

故应变 Si 层积累电容为

$$C_A^S = C_{LD}^S \left\{ 1 - \frac{1}{2v_t} \left[\frac{C_{OX}}{C_{OX} - C_{LD}^S} \left(V_G - V_{FB}^S + \frac{Q_A^H}{C_{OX}} \right) \right] \right\}. \quad (10)$$

3.2 $V_{FB}^S \leq V_G < V_{FB}^H$

随着栅压的增大, 应变 Si 层迅速全耗尽, 而 SiGe 层依然处于积累状态, 且 SiGe 层所积累的电

1) $V_G < V_{FB}^S$, 2) $V_{FB}^S \leq V_G < V_{FB}^H$, 以下对这两种情况分别进行讨论.

3.1 $V_G < V_{FB}^S$

此时, SSi/SiGe 界面处空穴密度达到饱和值, 而应变 Si 表面处空穴浓度随着栅压的降低将会增大, 故 C_A 仅由 C_A^S 构成.

通过在各层中求解泊松方程, 应变 Si 层中积累电荷总量 Q_A^S 可表示为

荷浓度随着栅压的增大而降低. C_A 仅由 SiGe 层积累电容 C_A^H 构成.

SiGe 层中积累电荷量 Q_A^H 为

$$Q_A^H = \frac{\sqrt{2}\epsilon_{SiGe}v_t}{L_{LD}^H} \left(e^{-\phi_{SiGe}/v_t} + \frac{\phi_{SiGe}}{v_t} - 1 \right)^{1/2}, \quad (11)$$

式中, ϵ_{SiGe} 为 SiGe 层介电常数, $L_{LD}^H = \sqrt{\frac{\epsilon_{SiGe}v_t}{qN_A}}$.

考虑 $V_G = V_{FB}^H - \frac{Q_A^H}{C_{OXEFF}} + \phi_{SiGe}$, 且定义 $C_{LD}^H = \frac{\epsilon_{SiGe}}{L_{LD}^H}$, 则

$$\phi_{SiGe} = \frac{C_{OXEFF}}{C_{OXEFF} - C_{LD}^H} (V_G - V_{FB}^H). \quad (12)$$

于是

$$C_A^H = C_{LD}^H \left\{ 1 - \frac{1}{2v_t} \left[\frac{C_{OXEFF}}{C_{OXEFF} - C_{LD}^H} (V_G - V_{FB}^H) \right] \right\}. \quad (13)$$

4 结果和讨论

为了验证本模型的正确性, 将模型计算结果与实验结果进行了对比, 并通过对模型的分析, 研究了锗组分、应变层厚度和掺杂浓度等器件参数对台阶效应的影响.

图 3 给出了模型仿真结果与实验结果的比较. 图中的台阶清晰的显示了空穴在 SSi/SiGe 界面的积累情况. 当外加偏压很小时, 其电容几乎不随偏压变化, 与氧化层电容 C_{OX} 相当; 当偏压升高到一定值时, 其 C-V 特性偏离原有轨迹, 出现一个“台阶”, 这意味着积累的电子由 SSi 层转移到了 SiGe

层中, 而电容 C_G 由 $C_G = [C_{OX}^{-1} + (C_A^S)^{-1}]^{-1}$ 转变为 $C_G = [C_{OX}^{-1} + (C_A^H)^{-1}]^{-1}$. 模型的仿真结果与实验结果较为符合, 验证了本模型的正确性.

为了获得器件参数, 图 4 给出了仿真结果与实验结果 C_G 对 V_G 的导数曲线. 图中的两个极小值点的电压分别对应于 SSi/SiO₂ 和 SSi/SiGe 界面的平带电压. 基于式所建模型及参考文献 [6], 获得的器件参数为 $t_{OX} = 13.3$ nm, $N_A = 5 \times 10^{17}$ cm⁻³, $t_{SSi} = 8.7$ nm, $V_{FB}^S = 0.0781$ V, $V_{FB}^H = 0.3437$ V, 与实验数值相符.

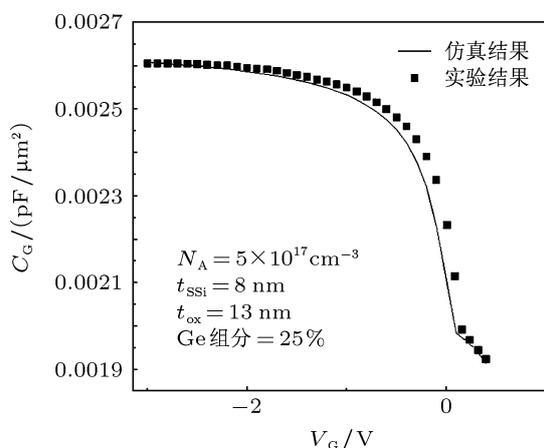


图 3 电容特性仿真结果与实验结果对比

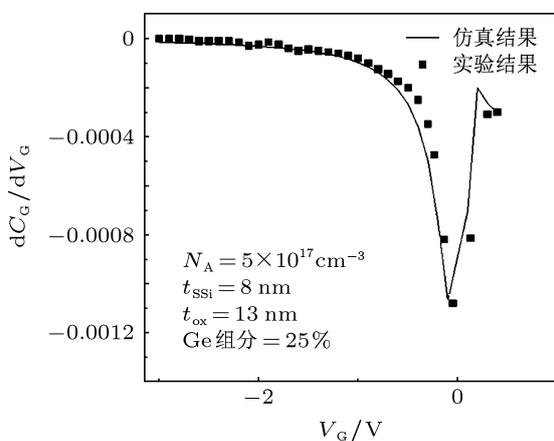


图 4 C_G 对 V_G 的导数曲线

图 5 给出了不同掺杂浓度下 SSi/SiGe NMOS 电容 $C-V$ 特性的仿真结果. 由图中可以看到, 在掺杂浓度为 10^{18} cm⁻³ 时, 在积累区一侧应变硅 MOS 相比于体硅 MOS 出现明显的“台阶”, 而在掺杂浓度为 0.5×10^{17} cm⁻³ 时, 积累区的台阶效应明显变弱, 当掺杂浓度减低至 10^{17} cm⁻³ 时, “台阶”已经几乎消失, 这是由于随着掺杂浓度的降低, V_{FB}^S 和 V_{FB}^H 之间的差异越来越小 (见图 6), 最终使得台阶效应被减弱.

图 7 展示了应变 Si NMOS 电容随应变层厚度 t_{SSi} 和 Ge 组分 x 的变化关系. 由图中可以看出, 随着 Ge 组分 x 值的增大, “台阶”越来越明显, 这表明台阶效应在增强, 产生这个现象的原因是由于随着 Ge 组分的增大, SSi/SiGe 界面的带阶 ΔE_V 变大, 从而增强了其对空穴的抑制作用. 而随着应变层厚度 t_{SSi} 越大, “台阶”区向正电压方向延伸, 这是由于应变层厚度越大, 意味着其上电势降增大, 从而导致 V_{FB}^H 增大, 最终对台阶效应产生影响.

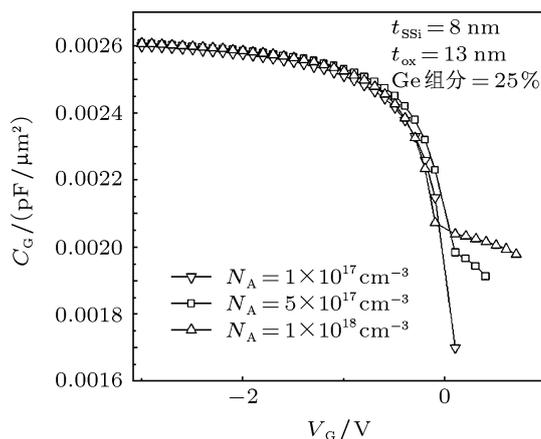


图 5 掺杂浓度对 SSi/SiGe NMOS 电容的影响

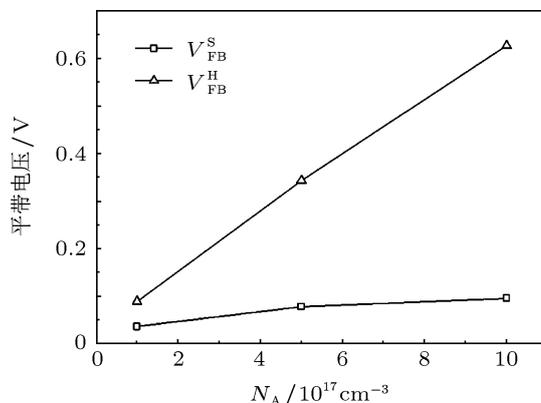


图 6 平带电压与掺杂浓度的关系

5 结论

本文在研究 SSi NMOS 电容 $C-V$ 特性中台阶效应形成机理的基础上, 通过求解器件在不同工作状态下的电荷分布, 建立了 SSi/SiGe NMOS 积累区电容模型. 与实验数据的对比结果表明, 所建模型能够准确反映 SSi/SiGe NMOS 电容 $C-V$ 特性中的台阶效应, 验证了模型的正确性. 该理论为应变 Si 器件的设计制造提供了重要的指导作用, 并已成功的应用于硅基应变器件模型参数提取软件中, 为应变 Si 器件的仿真奠定了理论基础.

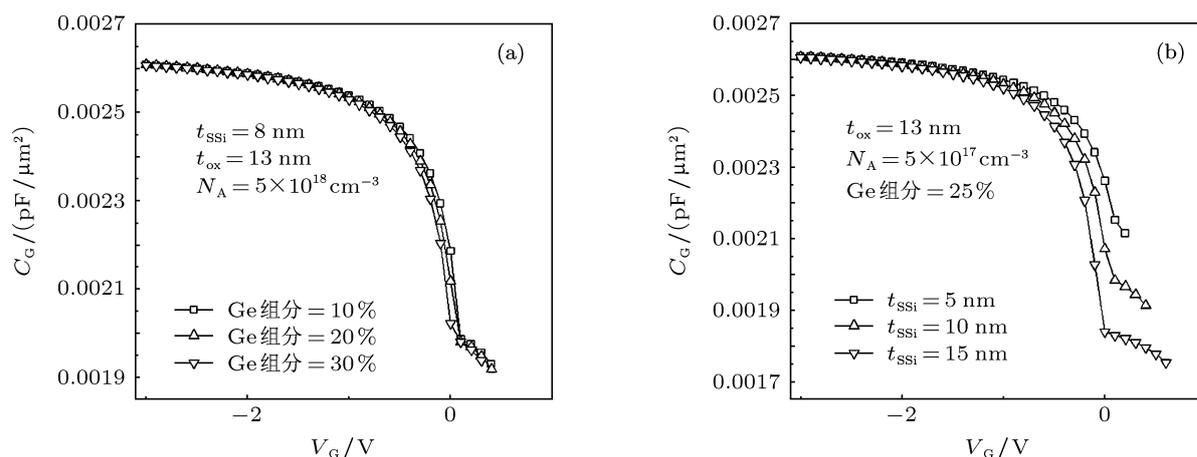


图7 工艺参数对应变 Si NMOS 积累区电容的影响 (a) Ge 组分 x 对电容的影响 (b) 应变层厚度 t_{Si} 对电容的影响

- [1] Wang G Y, Zhang H M, Wang X Y, Wu T F, Wang B 2011 *Acta Phys. Sin.* **60** 77106 (in Chinese) [王冠宇, 张鹤鸣, 王晓燕, 吴铁峰, 王斌 2011 物理学报 **60** 77106]
- [2] Li B, Liu H X, Yuan B, Li J, Lu F M 2011 *Acta Phys. Sin.* **60** 017202 (in Chinese) [李斌, 刘红霞, 袁博, 李劲, 卢凤铭 2011 物理学报 **60** 017202]
- [3] Hu H Y, Zhang H M, Dai X Y, Lü Y, Shu B, Wang W, Jiang T, Wang X Y 2004 *Acta Phys. Sin.* **53** 4314 (in Chinese) [胡辉勇, 张鹤鸣, 戴显英, 吕懿, 舒斌, 王伟, 姜涛, 王喜媛 2004 物理学报 **53** 4314]
- [4] Zhang Z F, Zhang H M, Hu H Y, Xuan R X, Song J J 2009 *Acta Phys. Sin.* **58** 4648 (in Chinese) [张志峰, 张鹤鸣, 胡辉勇, 宣荣喜, 宋建军 2009 物理学报 **58** 4648]
- [5] Jiang T, Zhang H M, Wang W, Hu H Y, Dai X Y 2006 *Chin. Phys.* **15** 1339
- [6] Haizhou Y, Hobart K D, Peterson R L, Kub F J, Sturm J C 2005 *IEEE Trans. on Electron Devices* **52** 2207
- [7] Lauer I, Langdo T A, Cheng Z Y, Fiorenza J G, Braithwaite G, Currie M T, Leitz C W, Lochtefeld A, Badawi H, Bulsara M T, Somerville M, Antoniadis D A 2004 *IEEE Electron Device Letters* **25** 83
- [8] Bindu B, Nandita D G, Amitava D G 2006 *IEEE Trans. on Electron Devices* **53** 1411
- [9] Wei J Y, Maikap S, Lee M H, Lee C C, Liu C W 2006 *Solid-State Electronics* **50** 109
- [10] Liao J H, Canonico M, Robinson M, Schroder D K 2006 *ECS Trans.* **3** 1211
- [11] Bera L K, Mathew S, Balasubramanian N, Braithwaite G, Currie M T, Singaporewala F 2004 *Appl. Surf. Sci.* **224** 278
- [12] Chandrasekaran K, Xin Z, Chiah S B, See G H, Bera L K, Balasubramanian N, Rustagi S C 2006 *IEEE Electron Device Letters* **27** 62
- [13] Kelaidis N, Skarlatos D, Tsamis C 2008 *Phys. Stat. Sol. C* **5** 3647
- [14] Otin A, Celma S, Aldea C 2004 *Solid State Electronics* **48** 773
- [15] Yao B, Fang Z B, Zhu Y Y, Li T, He G 2012 *Appl. Phys. Lett.* **100** 222903
- [16] Yoo S S, Choi Y C, Song H J, Park S C, Park J H, Yoo H J 2011 *IEEE Trans. on Microwave Theory and Techniques* **59** 375

Research on the capacitance-voltage characteristic of strained-silicon NMOS accumulation capacitor*

Wang Bin[†] Zhang He-Ming Hu Hui-Yong Zhang Yu-Ming Shu Bin
Zhou Chun-Yu Li Yu-Chen Lü Yi

(Key Laboratory for Wide Band-Gap Semiconductor Materials and Devices, School of Microelectronics, Xidian University, Xi'an 710071, China)

(Received 21 August 2012; revised manuscript received 29 October 2012)

Abstract

Accumulation MOS capacitor is more linear than inversion MOS capacitor and is almost independent of the operation frequency. In this paper, we present first the formation mechanism of the "plateau", observed in the C - V characteristic of the strained-Si NMOS capacitor, and then a physical model for strained-Si NMOS capacitor in accumulation region. The results from the model show to be in excellent agreement with the experimental data. The proposed model can provide valuable reference for the strained-Si device design, and is has been implemented in the software for extracting the parameter of strained-Si MOSFET.

Keywords: strained-Si NMOS, accumulation capacitor, plateau, charge distribution

PACS: 71.23.An, 71.70.Fk

DOI: 10.7498/aps.62.057103

* Project supported by the National Ministries and Commissions (Grant Nos. 51308040203, 6139801), the Fundamental Research Funds for the Central Universities (Grant Nos. 72105499, 72104089), and the Natural Science Basic Research Plan in Shaanxi Province of China (Grant No. 2010JQ8008).

[†] Corresponding author. E-mail: wbin0316@126.com