

对称三材料双栅应变硅金属氧化物半导体场效应晶体管二维解析模型*

辛艳辉¹⁾²⁾ 刘红侠^{1)†} 王树龙¹⁾ 范小娇¹⁾

1)(西安电子科技大学微电子学院, 宽禁带半导体材料与器件教育部重点实验室, 西安 710071)

2)(华北水利水电大学信息工程学院, 郑州 450045)

(2014年2月16日收到; 2014年3月14日收到修改稿)

提出了对称三材料双栅应变硅金属氧化物半导体场效应晶体管器件结构, 为该器件结构建立了全耗尽条件下的表面势模型、表面场强和阈值电压解析模型, 并分析了应变对表面势、表面场强和阈值电压的影响, 讨论了三栅长度比率对阈值电压和漏致势垒降低效应的影响, 对该结构器件与单材料双栅结构器件的性能进行了对比研究. 结果表明, 该结构能进一步提高载流子的输运速率, 更好地抑制漏致势垒降低效应. 适当优化三材料栅的栅长比率, 可以增强器件对短沟道效应和漏致势垒降低效应的抑制能力.

关键词: 应变硅, 金属氧化物半导体场效应晶体管, 表面势, 阈值电压

PACS: 85.30.De, 85.30.Hi, 85.35.-p

DOI: 10.7498/aps.63.148502

1 引言

随着SOI技术的发展, 特征尺寸得到进一步的缩小, 当特征尺寸进入深亚微米后器件的短沟道效应(short channel effect, SCE)、漏致势垒降低效应(drain induced barrier lowering, DIBL)、热载流子效应(hot carrier effect, HCE)和低驱动电流现象越来越严重^[1,2]. 研究能抑制SCE并提高载流子输运效率的新器件结构已成为该领域的热点课题. 双栅(double gate, DG)金属氧化物半导体场效应管(metal oxide semiconductor field effect transistor, MOSFET)由于大大加强了栅压对沟道电场的控制能力^[3], 表现出更为理想的亚阈值斜率, 降低漏致势垒降低效应, 提高载流子迁移率, 使其具有比单栅器件更优异的性质, 是一种极具应用前景的器件^[3-5]. Long和Chin^[6]于1997年提出了异质栅(dual material gate, DMG)场效应晶体管. 异质栅器件结构的沟道表面势中引入了阶梯分布, 源

端电场较强, 能够抑制短沟道效应并提高载流子效率^[7,8]. 基于栅结构的三材料栅(triple material gate, TG)也已有相关报道. Razavi和Orouji^[9]基于模拟仿真结果解释了三材料双栅MOSFET比双材料双栅MOSFET和常规双栅MOSFET的优越性, 但是没有提出其理论模型. 文献^[10]运用阈值电荷技术, 提出了未掺杂全耗尽短沟道三材料双栅MOSFET的阈值电压模型. 文献^[11]又提出了沟道掺杂全耗尽短沟道三材料双栅MOSFET的阈值电压模型.

为了进一步提高沟道载流子的输运速率, 本文将应变硅技术和三材料双栅MOSFET相结合, 提出了对称三材料双栅应变硅MOSFET器件结构. 该器件假设为均匀掺杂沟道, 因此阈值电压定义为表面势最低点等于 $2\phi_F$ (ϕ_F 为费米势)时对应的栅电压. 通过精确求解二维泊松方程, 建立了全耗尽条件下的表面势模型、表面场强和阈值电压解析模型, 并分析了应变对表面势、表面场强和阈值电压的影响. 模型中比较了三材料双栅和单材料双栅的

* 国家自然科学基金(批准号: 61376099, 11235008)和教育部博士点基金(批准号: 20130203130002, 20110203110012)资助的课题.

† 通讯作者. E-mail: hxliu@mail.xidian.edu.cn

表面势、表面场强和漏致势垒降低效应, 并分析了栅极三材料长度比率对阈值电压和漏致势垒降低效应的影响.

2 表面势模型

图1为对称三材料双栅应变硅MOSFETs结构示意图. 其中 L 是栅的长度, t_{ox} 和 $t_{\text{s-Si}}$ 分别是栅氧和应变硅沟道的厚度. 前栅和后栅是对称结构, 均由三种材料M1, M2, M3组成, M1称为控制栅(the control gate), M2称为第一屏蔽栅(the first screen gate), M3称为第二屏蔽栅(the second screen gate). 三种材料M1, M2, M3的功函数分别为 ϕ_{m1} , ϕ_{m2} , ϕ_{m3} 且 $\phi_{m1} > \phi_{m2} > \phi_{m3}$ ($\phi_{m1} = 4.8$ eV, $\phi_{m2} = 4.6$ eV, $\phi_{m3} = 4.4$ eV), 其长度分别是 $L1$, $L2$, $L3$, 且 $L = L1 + L2 + L3$. 假设沟道区均匀掺杂, 沟道掺杂浓度 $N_A = 10^{16}$ cm $^{-3}$, 源漏掺杂浓度 $N_{\text{SD}} = 10^{20}$ cm $^{-3}$, 栅下沟道分成了三个区域.

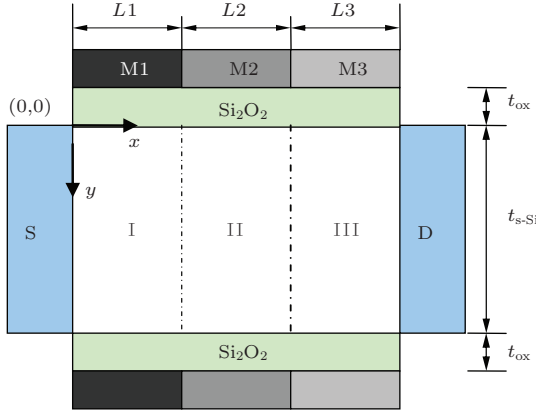


图1 对称三材料双栅应变硅MOSFETs结构示意图

令 x 和 y 轴分别沿沟道及其垂直方向, 如果忽略载流子对沟道区电荷的贡献, 在全耗尽的条件下, 在强反型开启前, 沟道区域I, II, III这三个区域的电势分布 $\phi_j(x, y)$ ($j = 1, 2, 3$)满足Poisson方程:

$$\frac{\partial^2 \phi_j(x, y)}{\partial x^2} + \frac{\partial^2 \phi_j(x, y)}{\partial y^2} = \frac{qN_A}{\epsilon_{\text{Si}}} \quad j = 1, 2, 3, \quad (1)$$

其中, ϵ_{Si} 为应变硅的介电常数. 当漏端偏压 V_{DS} 较小时, $\phi_j(x, y)$ 的纵向电势采用抛物线近似,

$$\phi_j(x, y) = \phi_{\text{S}j}(x) + C_{j1}(x)y + C_{j2}(x)y^2$$

$$0 \leq y \leq t_{\text{s-Si}}, \quad j = 1, 2, 3, \quad (2)$$

$\phi_{\text{S}j}(x) = \phi_j(x, 0)$, $j = 1, 2, 3$ 分别为应变Si沟道三个区域的正面表面电势, $C_{j1}(x)$, $C_{j2}(x)$ 是仅与 x 有关的函数.

根据硅层正面及硅层背面分别与栅介质层的电通量连续, 得

$$\left. \frac{d\phi_j(x, y)}{dy} \right|_{y=0} = \frac{\epsilon_{\text{ox}} \phi_j(x, 0) - V_{\text{GS}} + (V_{\text{FB}j})_{\text{s-Si}}}{t_{\text{ox}}}, \quad (3)$$

$$\left. \frac{d\phi_j(x, y)}{dy} \right|_{y=t_{\text{s-Si}}} = \frac{\epsilon_{\text{ox}} V_{\text{GS}} - (V_{\text{FB}j})_{\text{s-Si}} - \phi_j(x, t_{\text{s-Si}})}{t_{\text{ox}}}, \quad (4)$$

这里, ϵ_{ox} 为栅介质的介电常数, t_{ox} 为栅介质层的厚度, V_{GS} 为栅-源电压, $(V_{\text{FB}j})_{\text{s-Si}}$, $j = 1, 2, 3$ 为三个金属栅分别和应变Si沟道之间的平带电压. 由于应变, 相应参数得到了修正^[12,13]:

$$(V_{\text{FB}j})_{\text{s-Si}} = (V_{\text{FB}j})_{\text{Si}} + \Delta V_{\text{FB},f} \quad j = 1, 2, 3,$$

$$(V_{\text{FB}j})_{\text{Si}} = \phi_{\text{M}j} - \left(\frac{\chi_{\text{Si}}}{q} + \frac{E_{\text{g,Si}}}{2q} + V_{\text{T}} \ln \left(\frac{N_A}{n_{i,\text{Si}}} \right) \right) \quad j = 1, 2, 3,$$

$$\Delta V_{\text{FB},f} = \frac{-(\Delta E_{\text{C}})_{\text{s-Si}}}{q} + \frac{(\Delta E_{\text{g}})_{\text{s-Si}}}{q} - V_{\text{T}} \ln \left(\frac{N_{\text{V,Si}}}{N_{\text{V,s-Si}}} \right)$$

$$(\Delta E_{\text{C}})_{\text{s-Si}} = 0.57x,$$

$$(\Delta E_{\text{g}})_{\text{s-Si}} = 0.4x,$$

$$V_{\text{T}} \ln \left(\frac{N_{\text{V,Si}}}{N_{\text{V,s-Si}}} \right) = V_{\text{T}} \ln \left(\frac{m_{\text{h,Si}}^*}{m_{\text{h,s-Si}}^*} \right)^{3/2} \approx 0.075x.$$

根据I-II界面和II-III界面处表面势和电场连续, 得

$$\phi_1(L_1, 0) = \phi_2(L_1, 0), \quad (5)$$

$$\phi_2(L_1 + L_2, 0) = \phi_3(L_1 + L_2, 0), \quad (6)$$

$$\left. \frac{d\phi_1(x, y)}{dx} \right|_{x=L_1} = \left. \frac{d\phi_2(x, y)}{dx} \right|_{x=L_1}, \quad (7)$$

$$\left. \frac{d\phi_2(x, y)}{dx} \right|_{x=L_1+L_2} = \left. \frac{d\phi_3(x, y)}{dx} \right|_{x=L_1+L_2}. \quad (8)$$

源、漏区的边界条件为

$$\phi_1(0, 0) = \phi_{\text{S}1}(0) = V_{\text{bi,s-Si}}, \quad (9)$$

$$\phi_3(L_1 + L_2 + L_3, 0) = \phi_{\text{S}3}(L_1 + L_2 + L_3)$$

$$= V_{bi,s-Si} + V_{DS}, \quad (10)$$

考虑到应变, 相应参数得到了修正^[12,13]:

$$\begin{aligned} V_{bi,s-Si} &= V_{bi,Si} + \Delta(V_{bi})_{s-Si}, \\ V_{bi,Si} &= \frac{E_{g,Si}}{2q} + \phi_{F,Si}, \\ \phi_{F,Si} &= V_T \ln \left(\frac{N_A}{n_{i,Si}} \right), \\ (\Delta V_{bi})_{s-Si} &= \frac{-(\Delta E_g)_{s-Si}}{q} - V_T \ln \left(\frac{N_{V,Si}}{N_{V,s-Si}} \right). \end{aligned}$$

由边界条件(3), (4)及结构对称条件

$$\left. \frac{d\phi_j(x, y)}{dy} \right|_{y=\frac{1}{2}t_{s-Si}} = 0 \quad (j = 1, 2, 3)$$

得二维表面势方程. 将其代入(1)式, 并令 $y = 0$, 可得表面势方程:

$$\frac{d^2\phi_{Sj}(x)}{dx^2} - \frac{1}{\lambda^2}\phi_{Sj}(x) = D_j \quad j = 1, 2, 3, \quad (11)$$

其中,

$$\begin{aligned} \lambda^2 &= \frac{\varepsilon_{Si}t_{ox}t_{s-Si}}{2\varepsilon_{ox}}, \\ D_j &= \frac{qN_A}{\varepsilon_{Si}} - \frac{1}{\lambda^2}V'_{GSj} \quad j = 1, 2, 3. \end{aligned}$$

方程(11)为二阶常微分方程, 其解的形式如下:

$$\begin{aligned} \phi_{Sj}(x) &= A_j \exp(x/\lambda) + B_j \exp(-x/\lambda) \\ &\quad - \lambda^2 D_j \quad j = 1, 2, 3. \end{aligned} \quad (12)$$

由边界条件(5)–(10)式, 可得(12)式系数 A_j, B_j 的表达式, 从而得到表面势模型.

$$\begin{aligned} A_1 &= \frac{V_2 \exp(L/\lambda) - V_1}{\exp(2L/\lambda) - 1}, \\ B_1 &= \frac{V_2 \exp(-L/\lambda) - V_1}{\exp(-2L/\lambda) - 1}, \\ A_2 &= A_1 - \frac{P_1 - P_2}{2} \cdot \exp(-L_1/\lambda), \\ B_2 &= B_1 - \frac{P_1 - P_2}{2} \cdot \exp(L_1/\lambda), \\ A_3 &= A_2 - \frac{P_2 - P_3}{2} \cdot \exp(-(L_1 + L_2)/\lambda), \\ B_3 &= B_2 - \frac{P_2 - P_3}{2} \cdot \exp((L_1 + L_2)/\lambda), \end{aligned}$$

其中,

$$\begin{aligned} V_1 &= \lambda^2 D_1 + V_{bi,s-Si}, \\ V_2 &= (\lambda^2 D_3 + V_{bi,s-Si} + V_{DS}) \\ &\quad + (P_2 - P_3) \cdot \cosh(L_3/\lambda) \end{aligned}$$

$$+ (P_1 - P_2) \cdot \cosh((L_2 + L_3)/\lambda)$$

$$P_j = \frac{\lambda^2 q N_A}{\varepsilon_{Si}} + V_{FB,fj} \quad j = 1, 2, 3$$

沿沟道的电场决定了电子的通过沟道的运输速度, 金属栅下的电场为

$$\begin{aligned} E_j(x) &= A_j/\lambda \cdot \exp(x/\lambda) \\ &\quad - B_j/\lambda \cdot \exp(-x/\lambda) \quad j = 1, 2, 3. \end{aligned}$$

3 阈值电压模型

因为控制栅M1的功函数最高, 只有屏蔽栅M2和M3下的沟道开启, 控制栅M1下的沟道才能开启. 只有三个沟道区域均开启, 导电沟道才形成. 因此器件的阈值电压主要由控制栅M1决定. 阈值电压定义为 $\phi_{S \min}$ 等于 $0 \leq x \leq L_1$ 区域的费米势的2倍, 即 $\phi_{S \min} = 2\phi_{F,Si}$ 时的栅源电压.

$$\frac{d\phi_{S1}(x)}{dx} = 0, \quad (13)$$

解得

$$\phi_{S1 \min} = 2\sqrt{A_1 B_1} - \lambda^2 D_1, \quad (14)$$

阈值电压最小值发生的位置

$$x_{1 \min} = \frac{\lambda}{2} \ln \left(\frac{B_1}{A_1} \right). \quad (15)$$

由于应变, 前栅表面势的最小值修正^[12,13]为

$$\phi_{S \min} = 2\phi_{F,Si} + \Delta\phi_{s-Si} = \phi_{th}, \quad (16)$$

其中,

$$\begin{aligned} \phi_{F,Si} &= V_T \ln \left(\frac{N_A}{n_{i,Si}} \right), \\ \Delta\phi_{s-Si} &= \frac{-(\Delta E_g)_{s-Si}}{q} + V_T \ln \left(\frac{N_{V,Si}}{N_{V,s-Si}} \right). \end{aligned}$$

把(16)式代入(15)式, 得到阈值电压解析模型:

$$V_{th} = \frac{-b + \sqrt{b^2 - 4ac}}{2a}, \quad (17)$$

$$a = 4[\cosh(L/\lambda) - 1] - [\cosh(2L/\lambda) - 1],$$

$$b = 2(P_1 + \phi_{th}) \cdot [\cosh(2L/\lambda) - 1]$$

$$+ 2(e^{L/\lambda} - 1) \cdot V_{b1} + 2(e^{-L/\lambda} - 1) \cdot V_{b2},$$

$$c = (P_1 + \phi_{th})^2 \cdot [1 - \cosh(2L/\lambda)] - 2V_{b1} \cdot V_{b2},$$

其中,

$$V_{b1} = -(V_{bi,s-Si} + P_1)$$

$$\begin{aligned}
 &+ (V_{\text{bi,s-Si}} + V_{\text{DS}} + P_3) \cdot e^{-L/\lambda} \\
 &+ (P_1 - P_2) \cdot e^{-L/\lambda} \cdot \cosh\left(\frac{L_2 + L_3}{\lambda}\right) \\
 &+ (P_2 - P_3) \cdot e^{-L/\lambda} \cdot \cosh\left(\frac{L_3}{\lambda}\right), \\
 V_{\text{b2}} = &-(V_{\text{bi,s-Si}} + P_1) \\
 &+ (V_{\text{bi,s-Si}} + V_{\text{DS}} + P_3) \cdot e^{L/\lambda} \\
 &+ (P_1 - P_2) \cdot e^{L/\lambda} \cdot \cosh\left(\frac{L_2 + L_3}{\lambda}\right) \\
 &+ (P_2 - P_3) \cdot e^{L/\lambda} \cdot \cosh\left(\frac{L_3}{\lambda}\right) \\
 \lambda = &\sqrt{\frac{\epsilon_{\text{Si}} t_{\text{ox}} t_{\text{s-Si}}}{2\epsilon_{\text{ox}}}}.
 \end{aligned}$$

4 结果分析与讨论

图2表示了弛豫SiGe层的Ge组分X不同时,三材料双栅(TM DG: $\phi_{m1} = 4.8 \text{ eV}$, $\phi_{m2} = 4.6 \text{ eV}$, $\phi_{m3} = 4.4 \text{ eV}$)和单材料双栅(SM DG: $\phi_{m1} = 4.8 \text{ eV}$, $\phi_{m2} = 4.8 \text{ eV}$, $\phi_{m3} = 4.8 \text{ eV}$)的表面势随沟道的变化曲线.可见,垂直沟道方向的表面势分布呈抛物线形状,且三材料双栅和单材料双栅的表面势相比,在I-II界面和II-III界面两种不同栅材料交界处存在着两个电势阶梯分布,结果使漏端附近的电势降减小,这是由三种栅材料的功函数差不同引起的.表面势的最小值位于I区,这个最小值决定了器件的阈值电压.在源端和漏端表面势随弛豫层中Ge组分的增加而减小;在沟道中间段其表面电势则随Ge组分的增加而增大. Ge组分的大小影响着源端和漏端的表面势,金属栅的功函数对源端和漏端的表面势均影响不大.

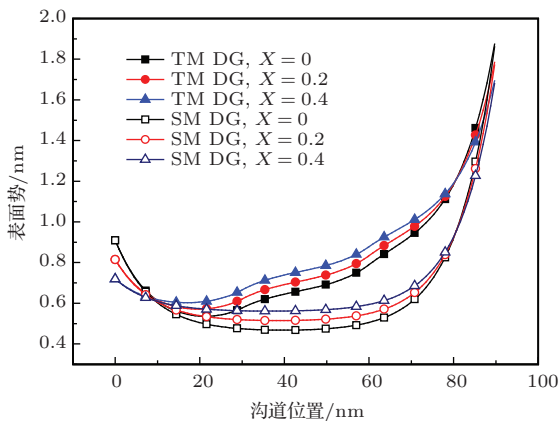


图2 Ge组分X不同时, TM DG和SM DG的表面势比较 ($L_1 : L_2 : L_3 = 1 : 1 : 1$, $L = 90 \text{ nm}$, $t_{\text{s-Si}} = 25 \text{ nm}$, $t_{\text{ox}} = 2 \text{ nm}$, $V_{\text{GS}} = 0.3 \text{ V}$, $V_{\text{DS}} = 1 \text{ V}$)

图3给出了TM DG和SM TG的表面场强沿沟道的分布曲线.从图中可以观察到,在I-II界面和II-III界面两种不同栅材料交界处各有一个电场尖峰. Ge组分的大小影响着源端和漏端的电场,源端表面电场随弛豫层中Ge组分的增加而增加,而漏端表面电场则随弛豫层中Ge组分的增加而小.由于Ge组分越大,源端表面电场越大,能够使载流子从源极注入沟道的速度增大;再经过两个电场峰值的进一步加速,大大加速了载流子的输运速度.而金属栅的功函数影响着漏端电场,对源端电场影响不大.

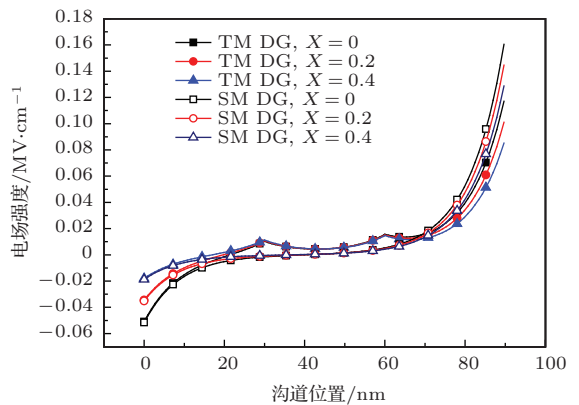


图3 Ge组分X不同时, TM DG和SM DG的表面电场比较 ($L_1 : L_2 : L_3 = 1 : 1 : 1$, $L = 90 \text{ nm}$, $t_{\text{s-Si}} = 25 \text{ nm}$, $t_{\text{ox}} = 2 \text{ nm}$, $V_{\text{GS}} = 0.3 \text{ V}$, $V_{\text{DS}} = 1 \text{ V}$)

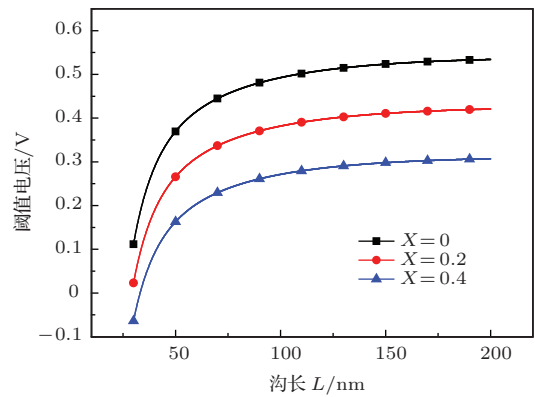


图4 Ge组分X不同时, 阈值电压随沟长L的变化 ($L_1 : L_2 : L_3 = 1 : 1 : 1$, $t_{\text{s-Si}} = 25 \text{ nm}$, $t_{\text{ox}} = 2 \text{ nm}$, $V_{\text{GS}} = 0.3 \text{ V}$, $V_{\text{DS}} = 1 \text{ V}$)

图4为Ge组分X不同时, 阈值电压的变化曲线.可见,应变沟道的应变变量X越大,其阈值电压越小.这是由于弛豫层中Ge组分增加,应变Si应变加强,禁带宽度进一步减小, ΔE_c 增大,本征载流子浓度和沟道电子面密度均提高,从而导致阈值电压减小.而且随着沟长的减小,阈值电压降低.这是由于随着沟长的减小,源端的势垒高度降低,载

流子更容易注入到沟道区, 从而导致阈值电压降低, 其降低幅度随沟道长度的减小而增大.

图5为 L_1, L_2, L_3 比率不同时, TM DG MOSFET的阈值电压随沟道变化的曲线. 随着沟长逐渐减小, $L_1 : L_2 : L_3$ 的比率越大, 阈值电压随沟道长度减小有相对不太明显的降落, 能有效地抑制短沟道效应, 即适当增大“控制栅”的相对长度, 可以增强器件对短沟道效应的抑制能力. 而且 $L_1 : L_2 : L_3$ 的比率越大, 阈值电压数值越大, 对短沟道效应抑制能力越强.

图6比较了TM DG MOSFET和SM DG MOSFET的DIBL随 L 的变化曲线. 定义 $DIBL = \partial V_{th} / \partial V_{DS}$, 其中, $\Delta V_{th} = V_{th}|_{V_{ds}=0.05} - V_{th}|_{V_{ds}=2}$. 可以看出, TM DG MOSFET比SM DG MOSFET的DIBL小. 分析结果表明: TM DG MOSFET能较好地抑制漏致势垒降低效应.

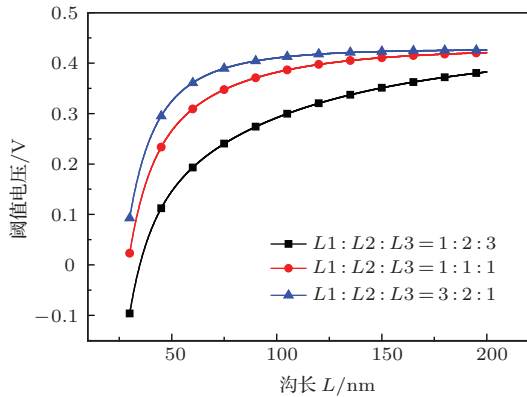


图5 L_1, L_2, L_3 比率不同时, 阈值电压随沟长 L 的变化 ($X = 0.2, t_{s-Si} = 25 \text{ nm}, t_{ox} = 2 \text{ nm}, V_{GS} = 0.3 \text{ V}, V_{DS} = 1 \text{ V}$)

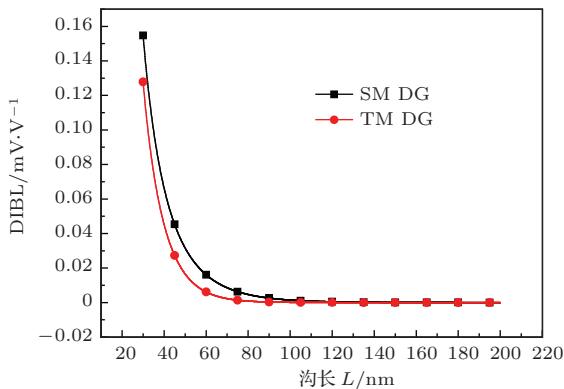


图6 TM DG和SM DG MOSFET的DIBL ($X = 0.2, L_1 : L_2 : L_3 = 1 : 1 : 1, t_{s-Si} = 25 \text{ nm}, t_{ox} = 2 \text{ nm}, V_{GS} = 0.3 \text{ V}, V_{DS} = 1 \text{ V}$)

图7为 L_1, L_2, L_3 不同比率时, TM DG MOSFET的DIBL. 可以看出, 较低的 L_1, L_2, L_3 比率,

有较小的DIBL, 即适当降低“控制栅”的相对长度, 可以增强器件对DIBL的抑制能力.

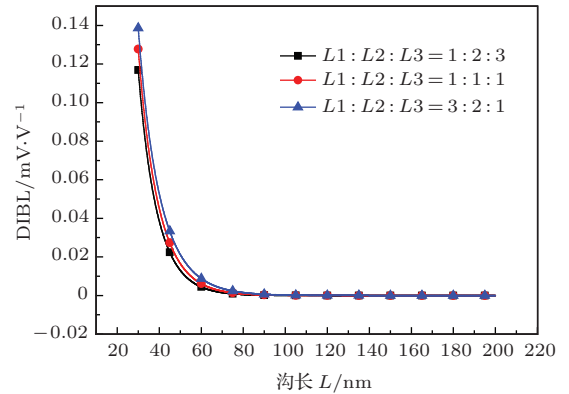


图7 L_1, L_2, L_3 比率不同时, TM DG MOSFET的DIBL ($t_{s-Si} = 25 \text{ nm}, t_{ox} = 2 \text{ nm}, V_{GS} = 0.3 \text{ V}, V_{DS} = 1 \text{ V}$)

5 结 论

本文提出了对称三材料双栅应变硅 MOSFET 器件结构. 通过精确求解二维泊松方程, 建立了全耗尽条件下的表面势模型、表面场强和阈值电压解析模型, 并分析了应变对表面势、表面场强和阈值电压的影响; 比较了三材料双栅和单材料双栅器件的DIBL. 结果表明三材料双栅有较好的抑制DIBL的能力, 适当优化三材料栅的栅长比率, 可以增强器件对短沟道效应和漏致势垒降低效应的抑制能力. 随着集成电路集成度的不断提高, MOS器件的特征尺寸进入到纳米领域, 对称三材料双栅应变硅金属氧化物半导体场效应晶体管器件结构有很好的应用前景.

参考文献

- [1] Murali R, Austin B L, Wang L 2004 *IEEE Trans. Electron Dev.* **51** 940
- [2] He J, Chan M, Xi X M 2006 *Chin. J. Semicond.* **27** 388
- [3] Chiage T K, Chen M L 2007 *Solid State Electron.* **51** 387
- [4] Ade O C, Franeiseo J, Garcia S, Juan M 2007 *Trans. Electron Dev.* **54** 131
- [5] Li J, Liu H X, Li B, Cao L, Yuan B 2010 *Chin. Phys. B* **19** 107302
- [6] Long W, Chin K K 1997 *Tech. Dig.-Int. Electron Devices Meet.* 549
- [7] Reddy G V, Kumar M J 2005 *IEEE Trans. Nanotechnol.* **4** 260
- [8] Luan S Z, Liu H X, Jia R X, Cai N Q 2008 *Acta Phys. Sin.* **57** 3807 (in Chinese)[栾苏珍, 刘红侠, 贾仁需, 蔡乃琼 2008 物理学报 **57** 3807]

- [9] Razavi P, Orouji A A 2008 *International Conference on Advances in Electronics and Mic-electronics* Valenia, Spain, September 29–October 4, 2008 p11
- [10] Pramod K T, Sarvesh D, Manjeet S, Jit S 2010 *J. Appl. Phys.* **108** 074508
- [11] Sarvesh D, Dheeraj G, Pramod K T, Jit S 2011 *J. Nano-Electron. Phys.* **3** 576
- [12] Venkataraman V, Nawal S, Kummer M J 2007 *IEEE Trans. Electron Dev.* **54** 554
- [13] Kummer M J, Venkataraman V, Nawal S 2006 *IEEE Trans. Electron Dev.* **53** 364

Two-dimensional analytical models for the symmetrical triple-material double-gate strained Si MOSFETs*

Xin Yan-Hui¹⁾²⁾ Liu Hong-Xia^{1)†} Wang Shu-Long¹⁾ Fan Xiao-Jiao¹⁾

1) (Key Laboratory for Wide Band Gap Semiconductor Materials and Devices of Education, School of Microelectronics, Xidian University, Xi'an 710071, China)

2) (Department of Information and Engineering, North China University of Water Resources and Electric Power, Zhengzhou 450045, China)

(Received 16 February 2014; revised manuscript received 14 March 2014)

Abstract

A novel double-gate strained Si metal-oxide-semiconductor field-effect transistor (MOSFET), in which the top and bottom gates consist of three laterally contacting materials with different work functions, is proposed in this paper. The two-dimensional (2D) analytical models for the surface potential, surface electric field and threshold voltage are presented. The effects of Ge fraction on surface potential, surface electric field and threshold voltage are investigated. The effects of the triple-material length ratio on threshold voltage and drain induced barrier lowering are discussed. The characteristics of the device are studied by comparing with those of the single-material double-gate MOSFETs. The results show that the structure can increase the carrier transport speed and suppress the drain induced barrier lowering effect. The three-material gate length ratio is optimized to minimize short-channel effect and drain induced barrier lowering effect.

Keywords: strained Si, metal-oxide-semiconductor field-effect transistors, surface potential, threshold voltage

PACS: 85.30.De, 85.30.Hi, 85.35.-p

DOI: 10.7498/aps.63.148502

* Project supported by the National Natural Science Foundation of China (Grant Nos. 61376099, 11235008) and the Specialized Research Fund for the Doctoral Program of Higher Education, China (Grant Nos. 20130203130002, 20110203110012).

† Corresponding author. E-mail: hxliu@mail.xidian.edu.cn