

电荷失配对SiC半超结垂直双扩散金属氧化物 半导体场效应管击穿电压的影响*

杨帅¹⁾ 汤晓燕¹⁾ 张玉明¹⁾ 宋庆文^{2)†} 张义门¹⁾

1) (西安电子科技大学微电子学院, 宽禁带半导体材料与器件实验室, 西安 710071)

2) (西安电子科技大学先进材料与纳米科技学院, 西安 710071)

(2014年4月13日收到; 2014年6月13日收到修改稿)

SiC半超结垂直双扩散金属氧化物半导体场效应管(VDMOSFET)相对于常规VDMOSFET在相同导通电阻下具有更大击穿电压. 在N型外延层上进行离子注入形成半超结结构中的P柱是制造SiC半超结VDMOSFET的关键工艺. 本文通过二维数值仿真研究了离子注入导致的电荷失配对4H-SiC超结和半超结VDMOSFET击穿电压的影响, 在电荷失配程度为30%时出现半超结VDMOSFET的最大击穿电压. 在本文的器件参数下, P柱浓度偏差导致击穿电压降低15%时, 半超结VDMOSFET柱区浓度偏差范围相对于超结VDMOSFET可提高69.5%, 这意味着半超结VDMOSFET对柱区离子注入的控制要求更低, 工艺制造难度更低.

关键词: SiC, 半超结, 电荷失配

PACS: 85.30.Tv, 71.20.Nr, 85.30.De

DOI: 10.7498/aps.63.208501

1 引言

碳化硅具有优良的电学和物理特性, 它的临界击穿电场高, 禁带宽度大, 热导率高, 这使得它十分适合应用在高温高压领域^[1,2]. 由于材料优良性能, SiC MOSFET (金属氧化物半导体场效应管) 具有低的导通电阻、高击穿电压、低漏电流^[3].

纵向器件结构的功率MOSFET主要分为U型槽MOSFET (vertical U-groove MOS) 和VDMOSFET (vertical double diffused MOS), 其中VDMOSFET既有纵向器件的面积小的优点, 同时又基于平面工艺, 易于制造, 而且对栅介质的要求远没有UMOSFET高. 因此垂直双扩散金属氧化物半导体(VDMOS)是应用最广、最常见的功率MOS器件.

SiC VDMOSFET的一个限制因素是击穿电

压提高和导通电阻降低存在矛盾, 导通电阻与击穿电压的2.43次方成正比^[4]. 而超结和半超结可以改进这种关系^[5]. “超结理论”由Tatsuhiko等^[6]1997年提出, 其关键结构由交替的N柱和P柱组成^[7], 加入超结和半超结结构可以大大提高VDMOS的击穿电压, 降低导通电阻^[8-10], 结构如图1所示. 但是超结和半超结不允许N柱和P柱掺杂浓度有太大偏差, 柱区电荷失配(charge imbalance)^[11]会导致反向阻断特性降低, 器件性能变差. 而SiC注入深度浅, 需要多次交替离子注入和外延生长, 增加了制造柱区的工艺难度.

在Si器件中, 无论是超结器件还是半超结器件, 电荷失配越严重, 击穿电压越低, 击穿电压在N柱与P柱掺杂浓度相等时达到最大^[12,13]. 而在SiC器件中, Yu等^[11]也对超结结构的电荷失配进行了研究, 得出了类似的结果, 但是对于电荷失配对半

* 国家自然科学基金(批准号: 61274079, 61176070)、陕西省自然科学基金(批准号: 2013JQ8012)、高等学校博士学科点专项科研基金(批准号: 20130203120017, 20110203110010)和教育部重大专项(批准号: 625010101)资助的课题.

† 通讯作者. E-mail: qwsong@xidian.edu.cn

超结 VDMOSFET 的影响还缺乏相关报道.

本文通过使用二维器件仿真软件 ISE-DESSISE 研究了电荷失配对 4H-SiC 半超结和超结 VDMOSFET 反向击穿特性的影响.

2 器件模型和结构

二维器件仿真软件 ISE-DESSISE 通过解泊松方程和电流连续性方程仿真单个原胞(如图 1)的 4H-SiC VDMOSFET, 其方程组如 (1)–(5) 式所示^[14]:

$$\varepsilon \nabla^2 \psi = -(q - n + N_D^+ - N_A^-), \quad (1)$$

$$\frac{\partial n}{\partial t} = \frac{1}{q} \nabla j_n - U_n = F(\psi, n, p), \quad (2)$$

$$\frac{\partial p}{\partial t} = \frac{1}{q} \nabla j_p - U_p = F(\psi, n, p), \quad (3)$$

$$j_n = -q \mu_n n \nabla \varphi_n, \quad (4)$$

$$j_p = -q \mu_p p \nabla \varphi_p, \quad (5)$$

其中 ψ 是本征费米势, N_D^+ 和 N_A^- 是离子杂质浓度, μ_n 和 μ_p 分别是电子迁移率和空穴迁移率, U_n 和 U_p 分别是净电子复合率和净空穴复合率, j_n 和 j_p 分别是电子电流密度和空穴电流密度, φ_n 和 φ_p 分别是电子准费米能级和空穴准费米能级, n 和 p 分别表示电子和空穴的浓度.

反向击穿特性的关键模型为雪崩击穿模型, 电子的雪崩电离系数 α_n 和空穴的雪崩电离系数 α_p 可用电场强度 E 表示:

$$\alpha_n = a_n \cdot \left(-\frac{b_n}{E} \right), \quad (6)$$

$$\alpha_p = a_p \cdot \left(-\frac{b_p}{E} \right). \quad (7)$$

反向击穿特性的模型参数值参照文献^[15, 16], 并且仿真正确性已在文献^[15, 16]中得到证实, 本文不再赘述.

半超结 VDMOSFET 器件结构如图 1 所示, 为了抑制 P 阱处发生穿通击穿^[17], P 阱掺杂浓度为 $1 \times 10^{18} \text{ cm}^{-3}$, 厚度为 $1 \mu\text{m}$, 和源极形成欧姆接触的 P 型和 N 型区掺杂浓度为 1×10^{19} 和 $5 \times 10^{18} \text{ cm}^{-3}$. 为使漂移区的电场分布更接近三角形电场分布, 衬底辅助层掺杂浓度为 $1 \times 10^{16} \text{ cm}^{-3}$, 厚度为 $5 \mu\text{m}$, 柱区掺杂浓度应高于衬底辅助层浓度^[12, 13], 掺杂浓度为 $3 \times 10^{16} \text{ cm}^{-3}$, 柱高为 $5 \mu\text{m}$, 衬底掺杂浓度为 $5 \times 10^{18} \text{ cm}^{-3}$.

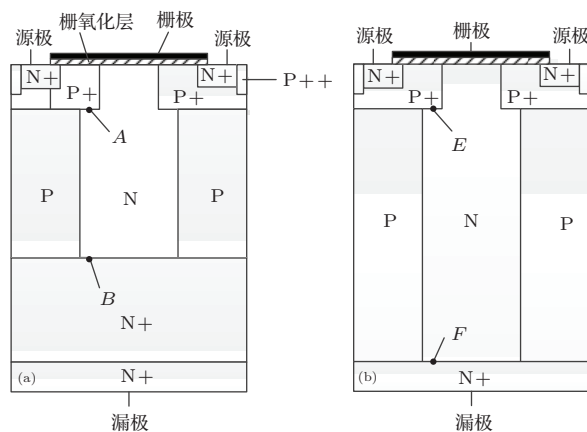


图 1 半超结 VDMOSFET(a) 和超结 VDMOSFET(b) 结构图

3 结果分析与讨论

本文中电荷失配程度可由 (8) 式表示^[11]:

$$\frac{P - N}{N} \times 100\%, \quad (8)$$

其中 P 和 N 分别表示 P 柱和 N 柱的浓度在实际工艺中, SiC 半超结 VDMOSFET 中 P 柱由在 N 型外延层上进行离子注入形成, 离子注入的剂量, 杂质的激活率、离化率往往不能够准确控制. 离子注入剂量为 0 时, P 柱的实际掺杂为 N 型掺杂, 掺杂浓度和 N 柱相同, 因此 $P = -N$, 电荷失配程度为 -200% , 此时器件结构相当于是传统 VDMOS. 如果 P 柱的实际掺杂远远超过 N 柱浓度时, 电荷失配程度为正值, 这里选取 P 柱的最大掺杂浓度为 $P = 3N$, 即电荷失配程度为 200% . 因此本文选取电荷失配程度范围 $-200\% \sim 200\%$.

作为对比, 仿真了超结 VDMOSFET 与半超结 VDMOSFET. 柱区掺杂浓度为 $3 \times 10^{16} \text{ cm}^{-3}$, 与半超结 VDMOSFET 柱区浓度相同. 厚度为 $10 \mu\text{m}$, 与半超结 VDMOSFET 柱区和漂移区总厚度相同. 超结 VDMOSFET 的其他参数与半超结 VDMOSFET 相同. 半超结 VDMOSFET 是对超结 VDMOSFET 的改进, 参数不变情况下, 缩短了柱区的厚度, 增加了漂移区厚度, 可以降低制造工艺难度.

由图 2 可知, 电荷失配增加会导致击穿电压 V_b 会下降, SiC 超结 VDMOSFET 在 N 柱和 P 柱掺杂浓度相等时击穿电压达到最大. 而 SiC 半超结 VDMOSFET 在电荷失配在 30% 附近达到最大, 这与上述 Si 和 SiC 材料文献中对电荷失配的研究结果有所不同.

SiC 半超结 VDMOSFET 的最大击穿电压的偏移是由 P 阱和衬底辅助层的存在导致的. P 阱和衬底辅助层的存在使超结结构上下部分不对称, 因此 P 阱附近的电场和衬底辅助层内的电场对器件内部电势分布造成了影响. 理想情况下, 如果 N 柱和 P 柱掺杂浓度相同, 击穿电压最高, 半超结结构的电场分布如图 3 所示, 柱区电场大小自上而下基本不变^[9,10]. 同时图中还给出了 N 柱掺杂 N_N 大于和小于 P 柱掺杂 N_P 时的电场分布示意图.

SiC 材料允许更厚的衬底辅助层, 这是因为 SiC 材料的临界击穿电场在 2—4 MV/cm, 比 Si 高出一个数量级, 在相同掺杂浓度下高临界击穿电场导致的高击穿电压允许更宽的耗尽层来承受. 因此在 SiC 材料中衬底辅助层的承压作用更大, 衬底辅助层对反向电压作用不可忽略.

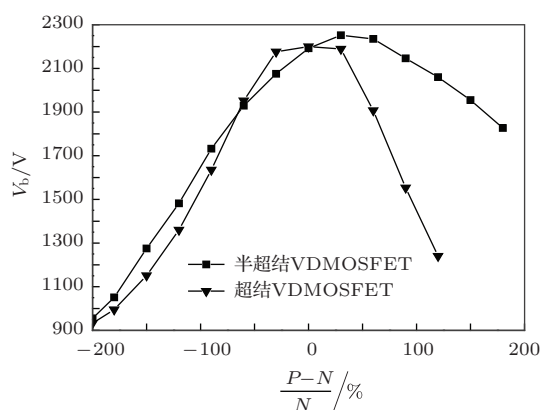


图2 SiC 超结和半超结 VDMOSFET 在不同电荷失配程度下的击穿电压

P 阱边缘的角 (A 点, 图 1 所示) 造成 P 阱附近电场分布十分密集, 存在尖峰电场, 如图 4 仿真结果所示, 这使得在器件 P 阱附近承受的反向电压增大且在电荷失配分析中尖峰电场不可忽略. 在电荷

失配程度为 0 时, P 阱附近的尖峰电场在器件中为最高电场, A 点是器件的临界击穿点, 在反向击穿电压下, 由 A 点向 B (如图 1 所示) 点方向的电场线使雪崩电离积分首先达到 1, 器件发生雪崩击穿. 因此, 在本文以下分析中, 对电场分布的研究都是 A 点向 B 点方向上的电场分布, 如图 5 和图 6 所示.

当电荷失配程度从 0 逐渐增加时, 柱区电场分布由左右相同逐渐向右侧倾斜, 左侧电场削弱, 柱区内的电场逐渐减小. 但是柱区内的电场减小得幅度很小, 趋近于 C 线 (如图 5 所示), 而衬底辅助层内电场增加, 这使得击穿电压没有立即减少, 反而缓缓增大. 电荷失配程度继续增加超过 30% 后, 柱区内的电场减小得幅度变大, 不能有效分担的反向电压. 而衬底辅助层内电场的增加趋于饱和, 电场分布在 D 线 (如图 5 所示) 附近而且变化很小, 分担的反向电压趋于饱和. 因此器件的击穿电压逐渐下降. 当击穿电压最大时 (即电荷失配程度在 30% 时), 电场分布在柱区仅略微下降, 柱区电场线与 C 线相差很小, 衬底辅助层内的电场刚开始趋于饱和, 与 D 线接近. 此时柱区上方的 P 阱尖峰电场大小 (A 点) 和衬底辅助层顶端的峰值电场大小 (B 点) 接近, 几乎同时达到临界击穿电场, 柱区和衬底辅助层都有效地分担了反向电压. 但是超结 VDMOSFET 由于衬底辅助层不存在, 不会有这个机制出现 (如图 6 所示), 因此超结 VDMOSFET 在电荷失配程度为 0 时, 击穿电压最大, 不会发生偏移.

图 2 中通过对比可知由于半超结 VDMOSFET 的击穿电压随电荷失配程度变化比超结 MOSFET 更缓慢. 根据仿真结果得出的近似曲线,

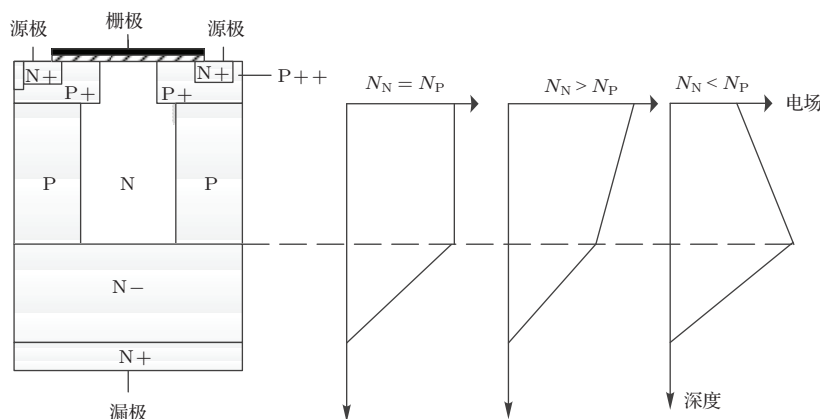


图3 理想情况下半超结结构中电场随电荷失配程度变化示意图

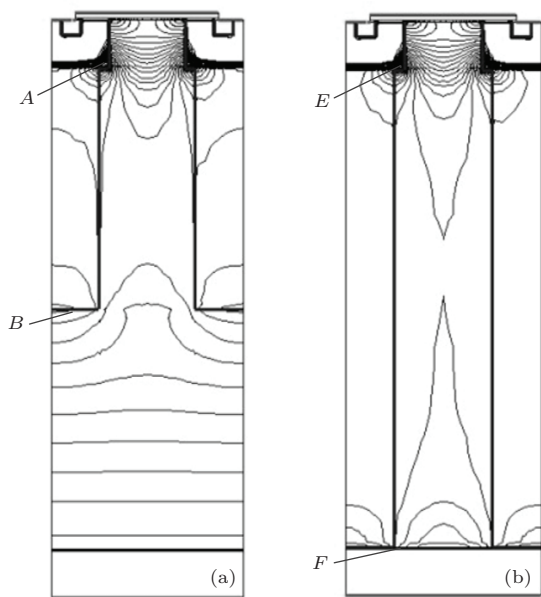


图4 SiC 超结 VDMOSFET(a) 与 SiC 半超结 VDMOSFET(b) 的电场分布

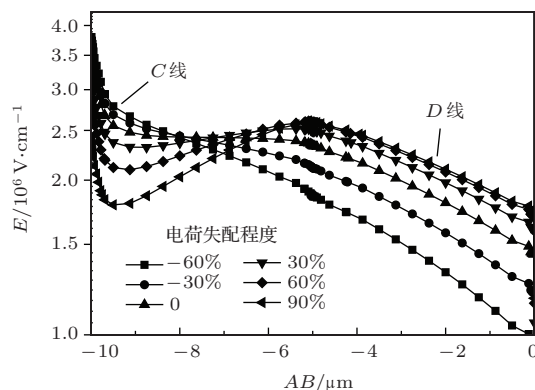


图5 SiC 半超结 VDMOSFET 电场分布 (沿 A 点向 B 点的电场强度, 如图 1) 随电荷失配程度的变化

如图 2 所示, 当击穿电压降低幅度小于 15% 时, 半超结 VDMOSFET 的电荷失配程度为 -62.3% — 159.6% , 失配的范围为 221.9%, 超结 VDMOSFET 的电荷失配程度为 -67.8% — 63.1% , 失配的范围为 130.9%。这也就是说半超结 VDMOSFET 击穿电压对 P 柱浓度的敏感度更低。在半超结 VDMOSFET 中, 随着电荷失配程度从 0 增大, 柱区与衬底辅助层的电场大小变化趋势相反, 衬底辅助层电场的变化对击穿电压的降低起到了缓冲作用, 半超结 VDMOSFET 的击穿电压下降幅度比超结 VDMOSFET 小得多。在本文的器件中, P 柱浓度的偏差范围可提高 69.5%, 此时 P 柱浓度偏差导致击穿电压降低 15% 时。所以在实际工艺中 SiC 半超结 VDMOSFET 相对于 SiC 超结 VDMOSFET 能够允许电荷失配程度范围更大, P 柱

掺杂浓度能够允许更大偏差。

半超结 VDMOSFET 的击穿电压曲线不是对称曲线。电荷失配程度大于 30% 时, 击穿电压的下降速度比电荷失配程度小于 30% 时更缓慢。这意味着离子注入剂量的误差在不可避免的情况下, 适当增大离子注入剂量可以减小击穿电压降低的幅度。

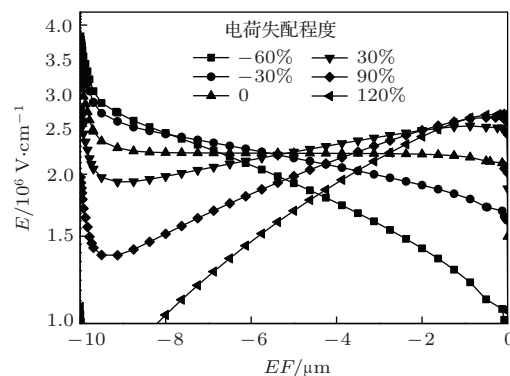


图6 SiC 超结 VDMOSFET 电场分布 (沿 E 点向 F 点的电场强度, 如图 1) 随电荷失配程度的变化

4 结 论

SiC 半超结 VDMOSFET 是近年来的一种新型功率器件, 相对于常规 VDMOSFET 在相同导通电阻下具有更大击穿电压。半超结结构中的 P 柱需要在 N 型外延层上进行离子注入形成, 然而离子注入控制精度的偏差会导致柱区电荷失配, 导致器件的反向击穿电压降低。对 4H-SiC 半超结 VDMOSFET 和超结 VDMOSFET 进行了二维仿真结果表明, 半超结 VDMOSFET 中的电荷失配程度为 30% 时半超结 VDMOSFET 击穿电压最大, 其原因是 P 阱和衬底辅助层的存在对器件的电场分布造成了影响。半超结 VDMOSFET 的击穿电压的变化对 P 柱浓度的敏感度比超结 VDMOSFET 的更低, 这表明半超结 VDMOSFET 允许的工艺误差范围更大。在 P 柱浓度偏差导致击穿电压降低 15% 情况下, 柱区浓度偏差范围相比超结 VDMOSFET 可提高 69.5%, 半超结 VDMOSFET 柱区对离子注入的工艺要求更低。

参考文献

- [1] Xu J P, Li C X, Wu H P 2005 *Acta Phys. Sin.* **54** 2918 (in Chinese) [徐静平, 李春霞, 吴海平 2005 物理学报 **54** 2918]

- [2] Singh R, Cooper Jr J A, Melloch M R, Chow T P, Palmour J W 2002 *IEEE Trans. Electron Dev.* **49** 665
- [3] Casady J B, Agarwal A K, Rowland L B, Valek W F, Brandt C D 1997 *Device Research Conference Digest* Fort Collins, USA, June 23–25, 1997 p32
- [4] Yu L C, Sheng K 2006 *Solid-State Electron* **50** 1062
- [5] Yang Y T, Geng Z H, Duan B X, Jia H J, Yu C, Ren L L 2010 *Acta Phys. Sin.* **59** 566 (in Chinese) [杨银堂, 耿振海, 段宝兴, 贾护军, 余涔, 任丽丽 2010 物理学报 **59** 566]
- [6] Fujihira T 1997 *Jpn. J. Appl. Phys.* **36** 6254
- [7] Cao L, Pu H B, Chen Z M, Zang Y 2012 *Chin. Phys. B* **21** 017303
- [8] Saito W, Omura I, Aida S, Koduki S, Izumisawa M, Ogura T 2003 *Proceedings of IEEE 15th International Symposium on Power Semiconductor Devices and ICs* Cambridge, UK, April 14–17, 2003 p45
- [9] Ono S, Saito W, Takashita M, Kurushima S, Tokano K, Yamaguchi M 2007 *Proceedings of the 19th International Symposium on Power Semiconductor Devices & ICs* Jeju, Korea, May 27–30, 2007 p25
- [10] Wang Y, Hu H F, Cheng C 2010 *Superlattices Microstruct* **47** 314
- [11] Yu L C, Sheng K 2008 *IEEE Trans. Electron Dev.* **55** 1961
- [12] Saito W, Omura I, Aida S, Koduki S, Izumisawa M, Yoshioka H, Ogura T 2005 *IEEE Trans. Electron Dev.* **52** 2317
- [13] Shenoy P M, Bhalla A, Dolny G M 1999 *Proceedings of the 19th International Symposium on Power Semiconductor Devices & ICs* Toronto, Ont, May 26–28, 1999 p99
- [14] ISE I S E A 2004 *ISE TCAD Release 10.0 DESSISTM* (Zurich: ISE Integrated Systems Engineering AG) pp143–621
- [15] Song Q W, Zhang Y M, Zhang Y M, Tang X Y 2012 *Diamond Relat. Mater.* **22** 42
- [16] Song Q W, Zhang Y M, Zhang Y M, Zhang Q, Guo H, Li Z Y, Wang Z X 2010 *Chin. Phys. B* **19** 047201
- [17] Baliga B J 2008 *Fundamentals of Power Semiconductor Devices* (New York: Springer Science + Business Media) pp310–311

Influence of charge imbalance on breakdown voltage of 4H-SiC semi-superjunction VDMOSFET*

Yang Shuai¹⁾ Tang Xiao-Yan¹⁾ Zhang Yu-Ming¹⁾ Song Qing-Wen^{2)†} Zhang Yi-Men¹⁾

1) (*Laboratory of Wide Band-Gap Semiconductor Materials and Devices, School of Microelectronics, Xidian University, Xi'an 710071, China*)

2) (*School of Advanced Materials and Nanotechnology, Xidian University, Xi'an 710071, China*)

(Received 13 April 2014; revised manuscript received 13 June 2014)

Abstract

SiC semi-superjunction vertical double diffused MOS (VDMOSFET) has higher breakdown voltage than conventional SiC VDMOSFET with the same on-resistance. The ion implantation to form p pillar region on N-type epilayer is a key process to form semi-superjunction structure. The influences of charge imbalance induced by ion implantation on breakdown voltages of 4H-SiC superjunction and semi-superjunction VDMOSFET are investigated through two-dimensional numerical simulation, and the largest breakdown voltage is obtained when charge imbalance is 30%. With the same structure parameters of devices, when breakdown voltage decreases by 15% due to the deviation of doping concentration in *P* pillars, the tolerance of doping concentration for the semi-superjunction VDMOSFET is 69.5% higher than for superjunction VDMOSFET, which means that less precise process control of ion implantation for semi-superjunction VDMOSFET will be required with less difficulty in the manufacture of pillars.

Keywords: SiC, semi-superjunction, charge imbalance

PACS: 85.30.Tv, 71.20.Nr, 85.30.De

DOI: 10.7498/aps.63.208501

* Project supported by the National Natural Science Foundation of China (Grant Nos. 61274079, 61176070), the Natural Science Foundation of Shanxi, China (Grant No. 2013JQ8012), the Specialized Research Fund for the Doctoral Program of Higher Education of China (Grant Nos. 20130203120017, 20110203110010), and the Key Specific Projects of Ministry of Education of China (Grant No. 625010101).

† Corresponding author. E-mail: qwsong@xidian.edu.cn