物理学报 Acta Physica Sinica

Chinese Physical Society



Institute of Physics, CAS

具有 poly-Si_{1-a}Ge_a 栅的应变 SiGe p 型金属氧化物半导体场效应晶体管阈值电压漂移模型研究 刘翔宇 胡辉勇 张鹤鸣 宣荣喜 宋建军 舒斌 王斌 王萌

Study on the strained SiGe p-channel metal-oxide-semiconductor field-effect transistor with

polycrystalline silicon germanium gate threshold voltage

Liu Xiang-Yu Hu Hui-Yong Zhang He-Ming Xuan Rong-Xi Song Jian-Jun Shu Bin Wang Bin Wang Meng

引用信息 Citation: Acta Physica Sinica 63, 237302 (2014) **DOI:** 10.7498/aps.63.237302 在线阅读 View online: http://dx.doi.org/10.7498/aps.63.237302 当期内容 View Table of Contents: http://wulixb.iphy.ac.cn/CN/volumn/home.shtml

您可能感兴趣的其他文章 Articles you may be interested in

对称三材料双栅应变硅金属氧化物半导体场效应晶体管二维解析模型 辛艳辉, 刘红侠, 王树龙, 范小娇 2014, 63(14): 148501. 全文: PDF (1083KB)

高k栅介质GeOI金属氧化物半导体场效应管阈值电压和亚阈斜率模型及其器件结构设计 范敏敏,徐静平,刘璐,白玉蓉,黄勇 2014, 63(8): 087301. 全文: PDF (385KB)

考虑量子效应的高k 栅介质 SOI MOSFET 特性研究 曹磊, 刘红侠 2012, 61(24): 247303. 全文: PDF (384KB)

高功率微波作用下热载流子引起n型金属-氧化物-半导体场效应晶体管特性退化研究 游海龙, 蓝建春, 范菊平, 贾新章, 查薇 2012, 61(10): 108501. 全文: PDF (527KB)

Poly-Si1-xGex 栅应变 SiN 型金属-氧化物-半导体场效应管栅耗尽模型研究 胡辉勇, 雷帅, 张鹤鸣, 宋建军, 宣荣喜, 舒斌, 王斌 2012, 61(10): 107301. 全文: PDF (1288KB)

具有 $poly-Si_{1-x}Ge_x$ 栅的应变SiGep型金属氧化物 半导体场效应晶体管阈值电压漂移模型研究^{*}

刘翔宇, 胡辉勇 张鹤鸣 宣荣喜 宋建军 舒斌 王斌 王萌

(西安电子科技大学微电子学院, 宽禁带半导体材料与器件重点实验室, 西安 710071)

(2014年6月25日收到;2014年7月24日收到修改稿)

针对具有 poly-Si_{1-x}Ge_x 栅的应变 SiGe p型金属氧化物半导体场效应晶体管 (PMOSFET),研究了其 垂直电势与电场分布,建立了考虑栅耗尽的 poly-Si_{1-x}Ge_x 栅情况下该器件的等效栅氧化层厚度模型,并 利用该模型分析了 poly-Si_{1-x}Ge_x 栅及应变 SiGe 层中 Ge 组分对等效氧化层厚度的影响.研究了应变 SiGe PMOSFET 热载流子产生的机理及其对器件性能的影响,以及引起应变 SiGe PMOSFET 阈值电压漂移的 机理,并建立了该器件阈值电压漂移模型,揭示了器件阈值电压漂移随电应力施加时间、栅极电压、poly-Si_{1-x}Ge_x 栅及应变 SiGe 层中 Ge 组分的变化关系.并在此基础上进行了实验验证,在电应力施加 10000 s时, 阈值电压漂移 0.032 V,与模拟结果基本一致,为应变 SiGe PMOSFET 及相关电路的设计与制造提供了重要 的理论与实践基础.

关键词: 应变 SiGe p 型金属氧化物半导体场效应晶体管, poly-Si_{1-x}Ge_x 栅, 热载流子, 阈值电压
 PACS: 73.20.-r, 73.40.-c, 85.30.Tv
 DOI: 10.7498/aps.63.237302

1引言

随着微电子技术的发展,以互补金属氧化物 半导体技术为主导的集成电路技术已经进入了纳 米尺度,使基于"等比例缩小"原则且一直遵循着 "摩尔定理"发展的集成电路技术受到了极大的挑 战,成为制约集成电路发展的瓶颈问题.而应变 SiGe材料具有载流子迁移率高、带隙可调、与传统 的Si工艺兼容等优点,成为延续集成电路按"摩尔 定律"发展的有效途径和研究热点^[1].另外,poly-Si_{1-x}Ge_x 栅能够有效降低由于硅帽层表面沟道的 开启对性能的影响^[2].将poly-Si_{1-x}Ge_x 栅与应变 SiGe材料结合使用,可以有效调节带隙结构和器件 等效氧化层厚度等参数.

国内外的研究多集中于具有 poly-Si_{1-x}Ge_x 栅 器件的 C-V 特性和由于带隙结构改变而造成的阈

值电压改变^[2,3],这为器件的设计与制造提供了理论依据.但是随着 poly-Si_{1-x}Ge_x 栅中 Ge 组分的增加,热载流子效应加剧电学特性退化更加严重.

本文基于热载流子效应,重点开展poly-Si_{1-x}Ge_x栅应变SiGe p型金属氧化物半导体场 效应晶体管 (PMOSFET)阈值电压退化的研究,建 立相应的理论模型,并通过实验验证,为SiGe P-MOSFET 器件结构设计与工艺制造提供理论和实 践基础.

2 模型建立

poly-Si_{1-x}Ge_x 栅应变SiGe PMOSFET的器件结构如图1所示. 从上到下依次为poly-Si_{1-x}Ge_x 栅、栅氧化层、Si帽层、应变Si_{1-y}Ge_y 层和Si衬底层.

^{*} 教育部博士点基金 (批准号: JY0300122503) 和中央高等学校基本科研基金 (批准号: K5051225014, K5051225004) 资助的课题.

[†]通讯作者. E-mail: 18537831656@163.com

^{© 2014} 中国物理学会 Chinese Physical Society



图 1 poly-Si_{1-x}Ge_x 栅应变 SiGe PMOSFET 器件的结构

2.1 poly-Si_{1-x}Ge_x 栅应变SiGe PMOS-FET 垂直电势分布模型

根据图1所示结构,分别对应变 $Si_{1-u}Ge_u$ 层和 Si衬底层的垂直电势分布 ϕ 进行建模.

1) 衬底耗尽层区

衬底耗尽区垂直电势分布满足如下关系:

$$\frac{\mathrm{d}^2 \Phi_1(x)}{\mathrm{d}x^2} = -\frac{q N_{\mathrm{Si}}}{\varepsilon_{\mathrm{Si}}} \quad (0 < x < x_{\mathrm{d}}), \qquad (1)$$

式中, $\Phi_1(x)$ 为耗尽区的垂直电势, $N_{\rm Si}$ 为Si 衬底层 中的载流子浓度, ε_{Si} 为Si的介电常数.

 $\left| \Box \mathcal{H} E_1(0) = - \frac{\mathrm{d} \Phi_1(x)}{1} \right|$ = 0(耗尽层势垒 $\mathrm{d}x$ x=0区外为电中性), 所以 $\frac{\mathrm{d}\Phi_1(x)}{\mathrm{d}x} =$ $qN_{\rm Si}$ x. 设衬底 $\varepsilon_{\rm Si}$ 电势为 $0, \Phi_1(0) = \Phi_{sub} = 0, 可得$

$$\Phi_1(x) = -\frac{qN_{\rm Si}}{2\varepsilon_{\rm Si}}x^2 \quad (0 < x < x_{\rm d}).$$
(2)

2) 应变 SiGe 层区

应变SiGe层中垂直电势分布满足如下关系:

$$\frac{\mathrm{d}^2 \Phi_2(x)}{\mathrm{d}x^2} = -\frac{q N_{\mathrm{SiGe}}}{\varepsilon_{\mathrm{SiGe}}} \quad (0 < x < t_{\mathrm{SiGe}}), \qquad (3)$$

式中, $\Phi_2(x)$ 为应变SiGe层的垂直电势, N_{SiGe} 为 SiGe材料中的载流子浓度, ε_{SiGe} 为SiGe的介电 常数.

根据电位移连续原理: $\Phi_1(x_d) = \Phi_2(0)$, 有

$$\varepsilon_{\mathrm{SiGe}} \left. \frac{\mathrm{d}\Phi_2(x)}{\mathrm{d}x} \right|_{x=0} = \varepsilon_{\mathrm{Si}} \left. \frac{\mathrm{d}\Phi_1(x)}{\mathrm{d}x} \right|_{x=x_{\mathrm{d}}},$$

则

$$\frac{\mathrm{d}\Phi_2(x)}{\mathrm{d}x} = -\frac{qN_{\mathrm{SiGe}}}{\varepsilon_{\mathrm{SiGe}}}x - \frac{qN_{\mathrm{Si}}}{\varepsilon_{\mathrm{SiGe}}}x_{\mathrm{d}}.$$

由电势连续:
$$\Phi_2(0) = \Phi_1(x_d) = -\frac{qN_{\rm Si}}{2\varepsilon_{\rm Si}}x_d^2$$
.
可得

$$\Phi_2(x) = -\frac{qN_{\rm SiGe}}{2\varepsilon_{\rm SiGe}}x^2 - \frac{qN_{\rm Si}x_{\rm d}}{\varepsilon_{\rm SiGe}}x - \frac{qN_{\rm Si}}{2\varepsilon_{\rm Si}}x_{\rm d}^2.$$
 (4)

多晶栅耗尽层等效厚度模型 2.2

本文采用等效氧化层厚度(equipment oxide thickness) 来表征 poly-Si_{1-x}Ge_x 栅耗尽, 当 Φ_2 等 于表面势V_s时,器件达到阈值反型点,由(4)式可 以求得衬底耗尽的最大宽度xd,max 为

$$x_{\rm d,max} = -\frac{\varepsilon_{\rm Si}}{\varepsilon_{\rm SiGe}} t_{\rm SiGe} + \left[\left(\frac{\varepsilon_{\rm Si}}{\varepsilon_{\rm SiGe}} t_{\rm SiGe} \right)^2 - 2 \frac{\varepsilon_{\rm Si}}{q N_{\rm Si}} \left(\frac{q N_{\rm Si}}{2 \varepsilon_{\rm SiGe}} t_{\rm SiGe}^2 - V_{\rm s} \right) \right]^{1/2}.$$
 (5)

当 柵 极 电 压 $V_{\rm G}$ 等 于 器 件 阈 值 电 压 $V_{\rm th}$ 时, Si-Cap/SiGe 界面达到强反型,则表面势 $V_{\rm s} = \Phi_{\rm th}^{[4]}$,

$$\Phi_{\rm th} = \frac{k_0 T}{q} \left[\ln \left(\frac{N_{\rm Si}}{n_{\rm i,Si}} \right) + \ln \left(\frac{N_{\rm SiGe}}{n_{\rm i,SiGe}} \right) \right] - \frac{\Delta E_{\rm C} + \Delta E_{\rm V}}{2q},$$
(6)

其中, $n_{i,SiGe}$ 为应变SiGe中本征载流子浓度, ΔE_V 为应变SiGe中价带的偏移量, $\Delta E_{\rm C}$ 为应变SiGe中 导带的偏移量. 将应变SiGe层的禁带宽度减小近 似于等于价带的偏移量, (6) 式可简化为

$$\Phi_{\rm th} = \frac{2k_0 T}{q} \ln\left(\frac{N_{\rm Si}}{n_{\rm i,SiGe}}\right) - \frac{\Delta E_{\rm V}}{q}.$$
 (7)

由于氧化层两侧单位面积的电荷相等^[5],可以 得到栅介质中反型层厚度tpd 为

$$qN_{\rm poly}t_{\rm pd} = qN_{\rm Si}(t_{\rm cap} + t_{\rm SiGe} + t_{\rm d,max}),$$

则

$$t_{\rm pd} = N_{\rm Si} / \left[N_{\rm poly} (t_{\rm cap} + t_{\rm SiGe} + t_{\rm d,max}) \right]. \tag{8}$$

利用 $\frac{\varepsilon_{\text{poly}}}{t_{\text{pd}}} = \frac{\varepsilon_{\text{ox}}}{t_{\text{PD}}} (\varepsilon_{\text{poly}} \operatorname{为 poly-Si}_{1-x} \operatorname{Ge}_x$ 棚的 介电常数, ε_{ox} 为SiO₂层的介电常数), 将(5)式代 入(8)式,可得栅极反型层等效SiO2层厚度tPD为

$$t_{\rm PD} = \frac{\varepsilon_{\rm ox}}{\varepsilon_{\rm poly}} \frac{N_{\rm Si}}{N_{\rm poly}} (t_{\rm cap} + t_{\rm SiGe} + t_{\rm d,max}).$$
(9)

则总的等效氧化层厚度 tEOT 为

1 1

$$\begin{split} t_{\rm EOT} = & t_{\rm ox} + t_{\rm PD} \\ = & t_{\rm ox} + \frac{\varepsilon_{\rm ox}}{\varepsilon_{\rm poly}} \frac{N_{\rm Si}}{N_{\rm poly}} (t_{\rm cap} + t_{\rm SiGe} + t_{\rm d,max}) \end{split}$$

237302-2

物理学报 Acta Phys. Sin. Vol. 63, No. 23 (2014) 237302

$$= t_{\rm ox} + \frac{\varepsilon_{\rm ox}}{\varepsilon_{\rm poly}} \frac{N_{\rm Si}}{N_{\rm poly}} \bigg\{ t_{\rm cap} + \bigg(1 - \frac{\varepsilon_{\rm Si}}{\varepsilon_{\rm SiGe}}\bigg) t_{\rm SiGe} + \bigg[\bigg(\frac{\varepsilon_{\rm Si}}{\varepsilon_{\rm SiGe}} t_{\rm SiGe}\bigg)^2 - 2\frac{\varepsilon_{\rm Si}}{qN_{\rm Si}} \bigg(\frac{qN_{\rm Si}}{2\varepsilon_{\rm SiGe}} t_{\rm SiGe}^2 - V_{\rm s}\bigg)\bigg]^{1/2} \bigg\}.$$
(10)

2.3 破键电流引起的界面态产生机理

在SiO₂层制备过程中,将不可避免地会有少量的水蒸气被吸附进来,并且与Si形成硅羟键 (Si—OH)和硅氢键(Si—H)^[6-8].界面处存在有 Si—H键、Si—O键,由于Si—H键的结合能比较低, 因此在沟道载流子打断界面的Si—H键和Si—O键 的过程中,打断界面的Si—H键在其中占主导地 位^[9].此过程表达为

$$\equiv Si - H \rightarrow Si \cdot + H_i. \tag{11}$$

在热载流子打破界面处的Si—H键后,所产生的悬挂键Si-与氢离子H_i若再复合,便不会形成界面态;若H_i从界面处扩散走,则产生界面态.

假设初始界面态的密度为0,则界面态密度 N_{it}为

$$N_{\rm it} = \frac{D_{\rm H}}{\beta_{\rm p} x_{\rm H}} \left(t J_{\rm BB} \frac{2K_{\rm e} \beta_{\rm p} x_{\rm H}}{D_{\rm H}} \right)^{1/2}, \qquad (12)$$

式中, J_{BB} 为Si—H键打破后产生的破键电流, K_{e} 为破键速度参数, t为破键电流时间, β_{p} 为一过程量, D_{H} 为 H_{i} 的扩散系数. 平均态密度为

$$\bar{N}_{\rm it} = \frac{1}{l} \int_0^l N_{\rm it}(y) \,\mathrm{d}y. \tag{13}$$

2.4 界面态引起poly-Si_{1-x}Ge_x栅的应变 SiGe PMOSFET电学特性退化机理

基于一维分布解析模型^[10],应变SiGe PMOS-FET工作时沿沟道的电势分布可表示为

$$\mathrm{d}V = I_{\mathrm{ds}} \,\mathrm{d}R = -\frac{I_{\mathrm{ds}} \,\mathrm{d}y}{W \mu Q_n(y)},\tag{14}$$

式中,反型层电荷

$$Q_n(y) = -C_{\rm ox}[V_{\rm g} - V_{\rm T} - V(y)] + qN_{\rm it}(y), \quad (15)$$

其中, *C*_{ox} 为氧化层电容, *V*_g 为栅极电压, *V*_T 为阈 值电压; *W* 为沟道宽度; *μ* 为沟道电子迁移率.

对沟道电流 Ids 沿沟道积分可得

$$\int_0^L \frac{\mu_0 I_{\rm ds} \,\mathrm{d}y}{\mu L_{\rm eff}}$$

$$= \frac{\mu_0 W_{\rm eff}}{L_{\rm eff}} \int_0^{V_{\rm ds}} C_{\rm ox} [V_{\rm g} - V_{\rm T} - V(y)] dV - (\mu_0 W_{\rm eff}/L_{\rm eff}) \int_0^{V_{\rm ds}} q N_{\rm it}(y) dV, \qquad (16)$$

式中,右端第一项表示器件退化之前的漏电流, Weff为等效沟道宽度,Leff为等效沟道长度.

$$I_{\rm ds} = \frac{\mu_0 W_{\rm eff}}{L_{\rm eff}} C_{\rm ox} (V_{\rm g} - V_{\rm T} - V_{\rm ds}/2) V_{\rm ds}.$$
 (17)

由于器件线性工作时漏电压 V_{ds} 很小, (17) 式中的 V_{ds}/2 可以忽略.则

$$I_{\rm ds} = \frac{\mu_0 W_{\rm eff}}{L_{\rm eff}} C_{\rm ox} (V_{\rm g} - V_{\rm T}) V_{\rm ds}.$$
 (18)

由(16)和(18)式可得

$$(1 + KN_{\rm it})I_{\rm ds} = \frac{\mu_0 W_{\rm eff}}{L_{\rm eff}} C_{\rm ox} (V_{\rm g} - V_{\rm T})V_{\rm ds} - \frac{\mu_0 W_{\rm eff} V_{\rm ds}}{L} q \bar{N}_{\rm it}.$$
(19)

$$\Delta V_{\rm T} = \left(\frac{KI_{\rm ds}L_{\rm eff}}{\mu_0 W C_{\rm ox} V_{\rm ds}} + \frac{q}{C_{\rm ox}}\right) \bar{N}_{\rm it},\tag{20}$$

从 (20) 式可得, poly-Si_{1-x}Ge_x 栅的应变 SiGe P-MOSFET 阈值电压的退化量与界面态的产生量成正比.

3 仿真结果与分析

利用 Matlab 软件对 2.2 节所建立的模型进行 仿真,得到应变 SiGe PMOSFET 等效栅氧化层厚 度,结果如图 2 所示. 仿真所用参数为^[11,12]氧化 层厚度 $t_{ox} = 12$ nm,应变硅帽层厚度 $t_{cap} = 3$ nm, 应变硅锗沟道 $t_{SiGe} = 20$ nm,氧化层的介电常数 $\varepsilon_{ox} = 3.9$,多晶栅的介电常数 $\varepsilon_{poly} = 11.9 + 4.1x$, 硅锗沟道的介电常数 $\varepsilon_{SiGe} = 11.9 + 4.1y$, $N_{poly} = 3 \times 10^{18}$ cm⁻³, $N_{SiGe} = 3 \times 10^{16}$ cm⁻³, $\Delta E_{C} = 0.63y$ eV, $\Delta E_{V} = y(0.74 - 0.53y)$ eV, x为栅中Ge 组分, y为应变沟道层中Ge组分.

由图2可以看出,等效氧化层厚度t_{EOT}(单位为nm)随着应变SiGe层中和多晶栅中Ge组分的增大而减小.其主原因是poly-SiGe栅中Ge组分的增大,会改变栅极的介电常数.SiGe沟道中Ge组分的增加不仅会改变沟道材料的介电常数,还会造成能带偏移的增大,从而改变功函数差.

模拟仿真了应变 SiGe PMOSFET 的阈值电压 漂移量. 其中选取的破键速度参数 K^[13] 随 Ge组分 变化, *K*的单位 (A·cm)⁻¹; 源电流 I_{ds} 随栅压 V_{gs} 变化, I_{ds} 的单位为A; 有效沟道长度 L_{eff} 随 V_{gs} 变化, L_{eff} 的单位为cm; 载流子迁移率 μ_0 随 V_{gs} 变化, μ_0 的单位为cm²·V⁻¹·s⁻¹; 器件宽度 $W = 1 \times 10^{-3}$, *W* 的单位为cm, 单位面积栅电容 C_{ox} 随 Ge 组分变 化, C_{ox} 的单位为C·cm⁻².



图 2 等效氧化层厚度 t_{EOT} 随多晶栅和应变 SiGe 中 Ge 组分的变化



图 3 阈值电压漂移量 $\Delta V_{\rm T}$ 与栅压 $V_{\rm gs}$ 和应力时间 t 的关系

图3为阈值电压漂移量随栅压和应力时间的 变化曲线,其中多晶栅中Ge组分为0.1,应变层 SiGe层中Ge组分为0.2.从图3中可以看出:

1) 在高栅压应力区 (|Vgs - Vth,p| ≥ |Vds|, Vth,p 为p型晶体管的阈值电压), 此时器件工作在临界饱 和点附近, 沟道横向电场强度小于最大值, 热载流 子的数量较少, 因而产生的界面态数量也比较少;

2) 在中栅压应力区 ($|V_{gs} - V_{th,p}| \approx |V_{ds}|/2$), 器 件工作在饱和状态,此时沟道横向电场达到最大 值,碰撞电离率最大,产生了大量的热载流子,使 得界面态的数量达到峰值,成为器件退化的主要 机制;

3) 在低栅压区 $(|V_{\rm gs} - V_{\rm th,p}| \approx |V_{\rm ds}|/4 \sim$

|V_{ds}|/2), 栅压接近阈值电压时, 由于器件刚进入 强反型区, 较少的热载流子只能产生少量的界 面态.

图3仿真结果与文献[14]结果一致.

图 4 为采用中栅压 ($|V_{gs} - V_{th,p}| \approx |V_{ds}|/2$)条件下的电应力时,阈值电压漂移量随应力施加时间和等效氧化层厚度的变化曲线.



图 4 阈值电压漂移量随应力施加时间和等效氧化层厚度 的变化

由图 4 可以看出: 阈值电压的漂移量随着时间 的增加而增加,并近似呈时间 t^{1/2} 的关系, 这是由 于随着电应力施加时间的增加, 产生的界面态在不 断的积累; 阈值电压的漂移量随着 t_{EOT} 的增加而 减小, 这是因为在相同的栅压条件下, t_{EOT} 越大则 反型层中沟道载流子浓度越低, 沟道中电流密度 就会减小, 碰撞产生的热载流子数目也会减小, 进 而产生的界面态也会减小. 这与文献 [15] 的结论一 致, 证明了本文所建模型的正确性.

4 实验验证

本文实验采用西安电子科技大学与中电24所 联合设计并制备的应变SiGe PMOSFET样品,器 件显微照片如图5所示,其中1,2,3和4分别连接 PMOSFET的源极、漏极、栅极和衬底.其主要结 构参数有:栅氧化层厚度为12 nm,硅帽层厚度为 3 nm,器件的宽度(长度)为4 µm (80 µm), poly-Si_{1-x}Ge_x栅中Ge组分为0.1,应变SiGe层中Ge组 分为0.2.

实验步骤为: 1) 在直流注入前, 对所选器件 的电学特性(转移曲线)进行测量, 测量的条件是 $V_{\rm ds} = -4$ V, 扫描栅极电压(-6—0 V); 2) 对器件 样品施加中栅压($|V_{\rm gs} - V_{\rm th,p}| \approx |V_{\rm ds}|/2$)条件下的 电应力,应力时间为10000 s,再按照直流注入前的 条件测量得到应变SiGe PMOSFET的转移曲线. 测试结果如图6所示,其中短划线为施加电应力前 SiGe PMOSFET的转移曲线,实线为施加电应力 后SiGe PMOSFET的转移曲线.



图 5 应变 SiGe PMOSFET 器件显微照片



图 6 应力施加前后 SiGe PMOSFET 的转移曲线

从图 6 可以看出, 施加应力前后应变 SiGe P-MOSFET 的阈值电压由应力施加前的 -0.853 V变为应力施加后的 -0.889 V, 改变量为 0.036 V, 而模 拟计算 (图 4) 得到当应力时间为 10000 s时, 阈值 电压改变量为 0.032 V (仿真中由于精度原因, 时间 未达到 10000 s, 但由变化趋势易得出 10000 s 时阈 值电压的漂移量), 两者基本一致.

5 结 论

本 文 通 过 分 析 poly-Si_{1-x}Ge_x 栅 应 变 SiGe PMOSFET的垂直电势与电场分布,建立了 poly-Si_{1-x}Ge_x 栅 应 变 SiGe PMOSFET 等效氧化层厚 度模型. 且结合衬底电流模型和热载流子产生机 理,建立了 SiGe PMOSFET 阈值电压漂移模型,并 进行了 Matlab 仿真. 仿真数据与实验结果基本相 符. 由仿真结果与实验数据可以得到阈值电压漂移 与电应力时间和 poly-Si_{1-x}Ge_x 栅 及应 变 SiGe 层 中 Ge 组分的关系: 阈值电压的漂移量随着时间的 增加而增大,并近似呈时间*t*^{1/2}的关系;阈值电压的漂移量随着 poly-Si_{1-x}Ge_x 栅及应变 SiGe 层中Ge 组分的增大而减小,且应变 SiGe 层中Ge 组分的影响更大.本文结果可对应变集成电路的热载流子可靠性研究提供理论与实践基础.

参考文献

- Wang B, Zhang H M, Hu H Y, Zhang Y M, Shu B, Zhou C Y, Li Y C, Lü Y 2013 Acta Phys. Sin. 62 057103 (in Chinese) [王斌, 张鹤鸣, 胡辉勇, 张玉明, 舒斌, 周春宇, 李 好晨, 吕懿 2013 物理学报 62 057103]
- [2] Qu J T, Zhang H M, Wang G Y, Wang X Y, Hu H Y
 2011 Acta Phys. Sin. 60 058502 (in Chinese) [屈江涛, 张 鹤鸣, 王冠字, 王晓艳, 胡辉勇 2011 物理学报 60 058502]
- [3] Yousif M Y A, Willander M, Lundgren P, Caymax M 2000 8th IEEE International Symposium on High Performance Electron Devices for Microwave and Optoelectronic Applications Glasgow, UK, November 13–14, 2000 p271
- [4] Nayfeh H M, Hoyt J L, Antoniadis D A 2004 IEEE Trans. Electron Dev. 51 2069
- [5] Josse E, Skotnicki T 2001 Solid-State Device Research Conference Crolles, France, September 11–13, 2001 p207
- [6] Hao Y, Liu H X 2008 The Feasibility and the Failure Mechanism of Micronano MOS Devices (Beijing: Science Press) pp256-257 (in Chinese) [郝跃, 刘红侠 2008 微纳米 MOS 器件可行性与失效机理 (北京: 科学出版社) 第 256—257页]
- [7] Liu Y L, Tan B H, Zhang K L 2004 Microelectronic Technology and Engineering (Beijing: Publishing House of electronics industry) pp286–287 (in Chinese) [刘玉岭, 檀 柏海, 张楷亮 2004 微电子技术工程 (北京: 电子工业出版 社) 第 286—287 页]
- [8] Pierret R F (translated by Huang R, Wang Q, Wang J Y)
 2010 Fundamentals of Semiconductor Device (Beijing: Publishing House of Electronics Industry) pp475–477 (in Chinese) [皮埃洛著 (黄如, 王漪, 王金延译)2010 半导体器 件基础 (北京: 电子工业出版社) 第 475—477 页]
- [9] Yue H, Sheng T, Wang Y 2001 IEEE Trans. Electron Dev. 48 2279
- [10] Pan Y 1994 IEEE Trans. Electron Dev. 41 1639
- [11] Liu E K, Zhu B S, Luo J S 2008 Semicondutor Physics (Beijing: Defense Industry Press) p366 (in Chinese) [刘 恩科, 朱秉升, 罗晋生 2008 半导体物理学(北京: 国防工业 出版社)第 366 页]
- [12] Lee H, Vashaee D, Wang D Z, Dresselhaus M S, Ren Z
 F, Chen G 2010 J. Appl. Phys. 107 094308
- [13] Xiao Q 2011 M. S. Thesis (Xian: Xidian University) (in Chinese) [肖庆 2011 硕士学位论文 (西安: 西安电子科 技大学)]
- [14] Cao Y R, Hao Y 2007 Chin. J. Semiconduct. 28 665
- [15] Liu Y A, Du L, Bao J L 2008 Acta Phys. Sin. 57 2468
 (in Chinese) [刘宇安, 杜磊, 包军林 2008 物理学报 57 2468]

Study on the strained SiGe p-channel metal-oxide-semiconductor field-effect transistor with polycrystalline silicon germanium gate threshold voltage^{*}

Liu Xiang-Yu[†] Hu Hui-Yong Zhang He-Ming Xuan Rong-Xi Song Jian-Jun Shu Bin Wang Bin Wang Meng

(Key Lab of Wide Band-Gap Semiconductor Materials and Devices, School of Microelectronics, Xidian University, Xi'an 710071, China)

(Received 25 June 2014; revised manuscript received 24 July 2014)

Abstract

In this work, the strained SiGe p-channel metal-oxide-semiconductor field-effect transistor (PMOSFET) with poly-Si_{1-x}Ge_x gate has been studied. Based on the analysis of vertical electric field and potential distribution, the equipment oxide thickness of strained SiGe PMOSFET with poly Si_{1-x}Ge_x gate is established. The mechanism and the influence of hot carriers induced are studied. A model of the drift of threshold voltage is established; its relationships with the duration of the applied electrical stress, the voltage of gate, the Ge content of the poly Si_{1-x}Ge_x gate and the strained SiGe are also obtained. Based on the above results, the simulation results have been compared with the experimental data. The drift of threshold voltage is 0.032 V under 10000 s electrical stress. A good agreement is observed, which indicates the validation of our proposed model.

Keywords: strained SiGe p-channel metal-oxide-semiconductor field-effect transistor, $\text{poly-Si}_{1-x}\text{Ge}_x$ gate, hot carrier, threshold voltage

PACS: 73.20.-r, 73.40.-c, 85.30.Tv

DOI: 10.7498/aps.63.237302

^{*} Project supported by the Doctoral Foundation of Ministry of Education, China (Grant No. JY0300122503) and Fundamental Research Funds for the Central Universities of China (Grant Nos. K5051225014, K5051225004).

[†] Corresponding author. E-mail: 18537831656@163.com