

具有L型源极场板的双槽绝缘体上硅高压器件新结构

石艳梅 刘继芝 姚素英 丁燕红 张卫华 代红丽

A dual-trench silicon on insulator high voltage device with an L-shaped source field plate

Shi Yan-Mei Liu Ji-Zhi Yao Su-Ying Ding Yan-Hong Zhang Wei-Hua Dai Hong-Li

引用信息 Citation: Acta Physica Sinica 63, 237305 (2014) DOI: 10.7498/aps.63.237305

在线阅读 View online: <http://dx.doi.org/10.7498/aps.63.237305>

当期内容 View Table of Contents: <http://wulixb.iphy.ac.cn/CN/volumn/home.shtml>

您可能感兴趣的其他文章

Articles you may be interested in

[具有N型缓冲层REBULF Super Junction LDMOS](#)

段宝兴, 曹震, 袁小宁, 杨银堂

2014, 63(22): 227302. 全文: [PDF](#) (988KB)

[具有纵向漏极场板的低导通电阻绝缘体上硅横向双扩散金属氧化物半导体器件新结构](#)

石艳梅, 刘继芝, 姚素英, 丁燕红

2014, 63(10): 107302. 全文: [PDF](#) (461KB)

[阶梯AlGaN外延新型Al_{0.25}Ga_{0.75}N/GaN HEMTs击穿特性分析](#)

段宝兴, 杨银堂

2014, 63(5): 057302. 全文: [PDF](#) (526KB)

[高k介质电导增强SOI LDMOS机理与优化设计](#)

王骁玮, 罗小蓉, 尹超, 范远航, 周坤, 范叶, 蔡金勇, 罗尹春, 张波, 李肇基

2013, 62(23): 237301. 全文: [PDF](#) (4500KB)

[氮氟复合注入对注氧隔离SOI材料埋氧层内固定正电荷密度的影响](#)

张百强, 郑中山, 于芳, 宁瑾, 唐海马, 杨志安

2013, 62(11): 117303. 全文: [PDF](#) (388KB)

具有L型源极场板的双槽绝缘体上硅 高压器件新结构*

石艳梅^{1)2)†} 刘继芝³⁾ 姚素英¹⁾ 丁燕红²⁾ 张卫华²⁾ 代红丽²⁾

1)(天津大学电子信息工程学院, 天津 300072)

2)(天津理工大学电子信息工程学院, 天津 300384)

3)(电子科技大学微电子与固体电子学院, 成都 610054)

(2014年6月30日收到; 2014年7月28日收到修改稿)

为了提高小尺寸绝缘体上硅(SOI)器件的击穿电压,同时降低器件比导通电阻,提出了一种具有L型源极场板的双槽SOI高压器件新结构.该结构具有如下特征:首先,采用了槽栅结构,使电流纵向传导面积加宽,降低了器件的比导通电阻;其次,在漂移区引入了SiO₂槽型介质层,该介质层的高电场使器件的击穿电压显著提高;第三,在槽型介质层中引入了L型源极场板,该场板调制了漂移区电场,使优化漂移区掺杂浓度大幅增加,降低了器件的比导通电阻.二维数值仿真结果表明:与传统SOI结构相比,在相同器件尺寸时,新结构的击穿电压提高了151%,比导通电阻降低了20%;在相同击穿电压时,比导通电阻降低了80%.与相同器件尺寸的双槽SOI结构相比,新结构保持了双槽SOI结构的高击穿电压特性,同时,比导通电阻降低了26%.

关键词: 绝缘体上硅, 槽栅, 比导通电阻, 击穿电压

PACS: 73.40.Ty, 73.40.Kp, 73.61.Ey

DOI: 10.7498/aps.63.237305

1 引言

绝缘体上硅(SOI)技术具有理想的介质隔离、低漏电流、高速、低功耗等优点.在功率集成电路中备受关注^[1-3].SOI器件的研究热点主要集中在两个方面:提高器件的击穿电压(BV)和降低器件的比导通电阻 $R_{on,sp}$.但是,BV和 $R_{on,sp}$ 是互为矛盾的两个参数,因为 $R_{on,sp}$ 与BV的2.5次方成正比^[4].为了突破两者的矛盾关系,众多器件设计者不断提出新的思路和见解^[5,6].槽技术的提出为缓解BV和 $R_{on,sp}$ 的矛盾关系开辟了一条新的思路.槽技术主要分为如下三大类:第一类,在漂移区引入槽型介质层^[7-10];第二类,栅、漏、源电极采用槽型结构^[11-15];第三类,把前两类结合起来的双槽SOI(DTSOI)结构^[16-19].在漂移区引入槽型介质

层可以利用介质层中的高电场来提高器件的BV.但是介质层的引入使电流传导路径加长,使得器件的 $R_{on,sp}$ 比较大.栅、漏、源电极采用槽型结构,可以利用槽型电极加宽电流传导面积、缩短电流传导路径,实现较低的 $R_{on,sp}$,但BV通常比较低.DTSOI结构结合了前两类的优势,槽型介质层提高了器件的BV,槽栅降低了 $R_{on,sp}$.但是,由于槽型介质层深入到漂移区内部,阻挡了由源到漏的电流传导路径,削弱了槽栅降低 $R_{on,sp}$ 的优势.

本文提出了一种具有L型源极场板的双槽SOI(LFP-DTSOI)高压器件新结构.该结构在DT-SOI结构基础上,在槽型介质层中引入L型源极场板.在L型场板的调制下,漂移区电场得到重新分配,使器件在更高的优化漂移区掺杂浓度 N_d 下,提高器件BV.与传统SOI(C-SOI)结构及DT-SOI结构进行比较,LFP-DTSOI结构具有更高的

* 国家自然科学基金(批准号: 51101113)和天津市自然科学基金(批准号: 13JQCQJNC, 14JCYBJC16200)资助的课题.

† 通讯作者. E-mail: zjh022@126.com

优值 (FOM, $F = V_B^2/R_{on,sp}$ ^[19], 其中, F 为 FOM, V_B 为击穿电压), 更好地缓解了 BV 和 $R_{on,sp}$ 的矛盾关系.

2 器件结构与机理

图 1 为 C-SOI 结构及 LFP-DTSOI 结构示意图. LFP-DTSOI 结构采用了槽栅结构, 栅电极一直延伸到埋氧层; 在漂移区引入了槽型 SiO₂ 介质层, 该介质层左侧与 p 阱相连, 右侧与漏区相连; 在该介质层内引入了 L 型源极场板. 栅极及 L 型源极场板由掺杂多晶硅形成. 这里, t_{ox} 为埋氧层厚度, t_s 为顶层硅厚度, N_{sub} 为衬底浓度, t_T 为槽型 SiO₂ 介质层的厚度, t_P 为 L 型场板的深度, w_P 为 L 型场板的宽度.

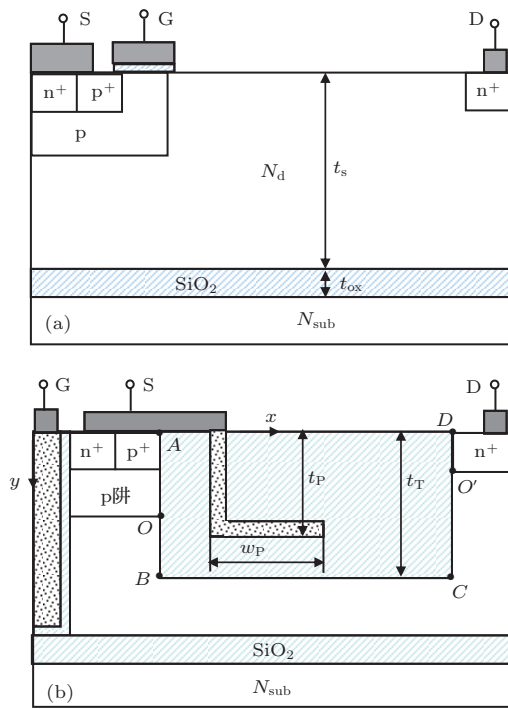


图 1 (网刊彩色) 器件结构示意图 (a) C-SOI 结构; (b) LFP-DTSOI 结构

栅电极一直延伸到埋氧层, 形成了纵向导电沟道及电子积累层, 加宽了电流纵向传导面积, 从而降低了器件 $R_{on,sp}$. 漂移区引入了槽型 SiO₂ 介质层. 由于 SiO₂ 的介电常数 (3.9) 小于硅的介电常数 (11.9), 因此, 该介质层电场非常高, 器件的 BV 也因此被显著提高^[16]. 槽型介质层中引入了 L 型源极场板, 该场板对漂移区电场进行了调制. 当介质层中的等势线到达 L 型场板时, 需绕过场板末端, 等势线在 L 型场板的作用下进行了重新分布. 因

此, L 型场板对介质层及漂移区电场起到重新分配的作用. 图 2 为 L 型场板对漂移区沿线 ABCD 电场的影响. 从图 2 可以看出, L 型场板的引入使沿线 ABCD 电场变得非常不均匀, 漏端电场显著增大, 源端电场变得很低. 为了使器件满足降低表面电场 RESURF 条件, 提高 BV, 需要增大 N_d , 提高源端电场. 因此, 在 L 型源极场板的调制下, 优化 N_d 得到提高, 显著降低了器件 $R_{on,sp}$. 仿真过程中三种结构采用相同的器件结构参数: $t_{ox} = 0.5 \mu\text{m}$, $t_s = 7.5 \mu\text{m}$, 器件长度为 $5.6 \mu\text{m}$. 其他参数根据器件优值进行优化设计.

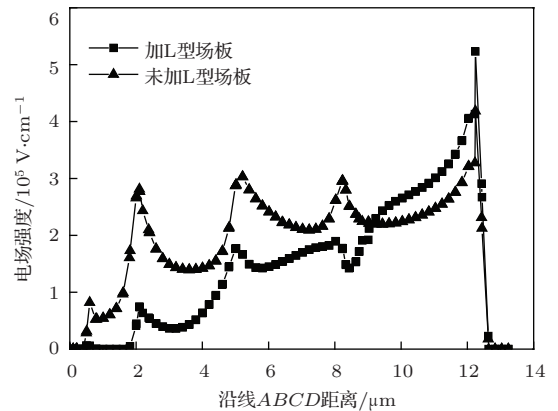


图 2 L 型场板对沿线 ABCD 电场的影响

3 仿真结果与分析

3.1 器件反向击穿特性分析

为了分析器件反向击穿特性, 对 C-SOI 结构、DTSOI 结构以及 LFP-DTSOI 结构在击穿时的特性进行了仿真、分析、比较.

图 3 为三种结构在击穿时的等势线分布. 由图 3(a) 可以看出, C-SOI 结构的等势线分布非常不均匀, 漂移区下方电场非常小, 几乎没有承担漏极电压. 该结构的电场主要聚集在源区表面, 使器件在此提前击穿, 器件 BV 非常低. DTSOI 和 LFP-DTSOI 结构都采用了槽型介质层 (图 3(b), (c)), 槽型介质层内部等势线非常密集, 聚集了高电场. 同时, 槽型介质层对整个漂移区电场进行了调制, 使漂移区电场得到了优化分配, 电场分布变得非常均匀, 与 C-SOI 结构相比, 器件 BV 显著提高.

图 4 为 DTSOI 结构和 LFP-DTSOI 结构器件表面电场及沿线 ABCD 电场分布. 从图 4 可以看出, 在这两种结构中, AD 之间的槽型介质层承担

了全部漏极电压, 这部分电压通过 OB , BC , CO' 三部分转移到漂移区. AD 之间的高电场比较均匀地分配到这三部分. 因此, 槽型介质层的引入拉长了漂移区的有效长度, 并把集中的高电场分成多块分布比较均匀的低电场传递到漂移区, 使器件能够承受更高的 BV.

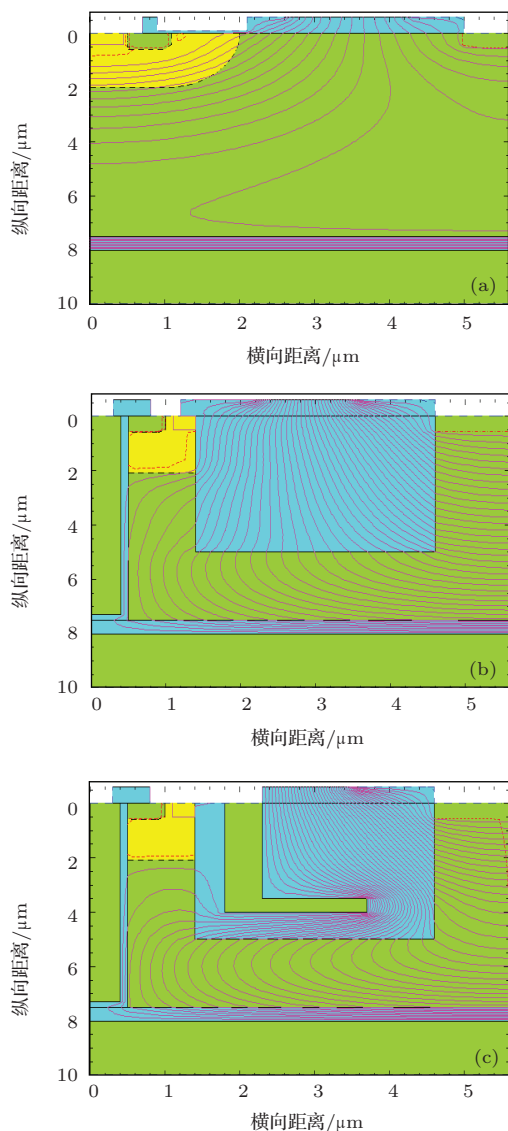


图3 (网刊彩色) 不同器件在击穿时的电势分布 (a) C-SOI (83 V); (b) DTSOI (207 V); (c) LFP-DTSOI (208 V)

图5为三种结构器件在漏端 ($x = 4.6 \mu\text{m}$) 和源端 ($x = 0.55 \mu\text{m}$) 的纵向电场分布. 对于C-SOI结构, 虽然埋氧层电场比较高, 但是过低的漂移区电场使其BV非常低(图5(a)), 仅为83 V. DTSOI结构在源端和漏端漂移区纵向电场远远高于C-SOI结构, 且分布都比较均匀, 决定了其BV非常高, 达到207 V. LFP-DTSOI结构在漏端的纵向电场分布与DTSOI结构相近(图5(a)), 使其在漏端能够

承受非常高的漏极电压. LFP-DTSOI结构在源端的纵向电场分布不是很均匀(图5(b)), 在 $y = 6 \mu\text{m}$ 处出现一个大的电场峰值. 由LFP-DTSOI结构的耐压机理可知, 由于L型源极场板调制了漂移区电场, 漏端 CO' 段电场增大. 为了使器件满足RESURF条件, 需要增大 N_d , 使源区 OB 段电场增强. 增加的 N_d 使得源端体内电场同时增大, 因此, 击穿点由 B 点转移到了源端体内 ($x = 0.55 \mu\text{m}$, $y = 6 \mu\text{m}$), 保持了与DTSOI结构基本相同的高BV, 为208 V. 与C-SOI结构相比, LFP-DTSOI结构的BV提高了151%.

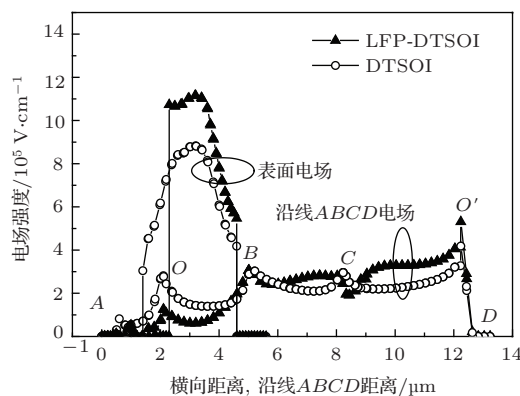


图4 器件表面电场及沿线 $ABCD$ 电场

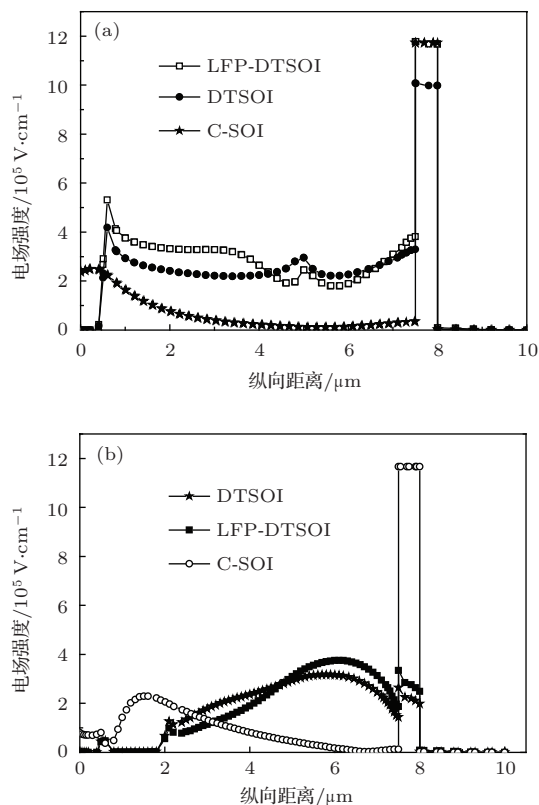


图5 器件纵向电场分布 (a) 漏端 ($x = 4.6 \mu\text{m}$); (b) 源端 ($x = 0.55 \mu\text{m}$)

3.2 器件正向导通特性分析

图6为C-SOI结构、DTSOI结构、LFP-DTSOI结构的电流线分布(栅漏电压 $V_{GS} = 15\text{ V}$). C-SOI结构虽然传导路径较短(图6(a)),但由于该结构的优化漂移区浓度非常低(表1),使其 $R_{on,sp}$ 比较大,为 $2.5\text{ m}\Omega\cdot\text{cm}^2$. DTSOI结构和LFP-DTSOI结构都采用了槽栅(图6(b), (c)),进而扩展了电流在纵向的传导面积,在一定程度上降低了器件的 $R_{on,sp}$. 由于在漂移区 DTSOI 结构采用了槽型介质层,使

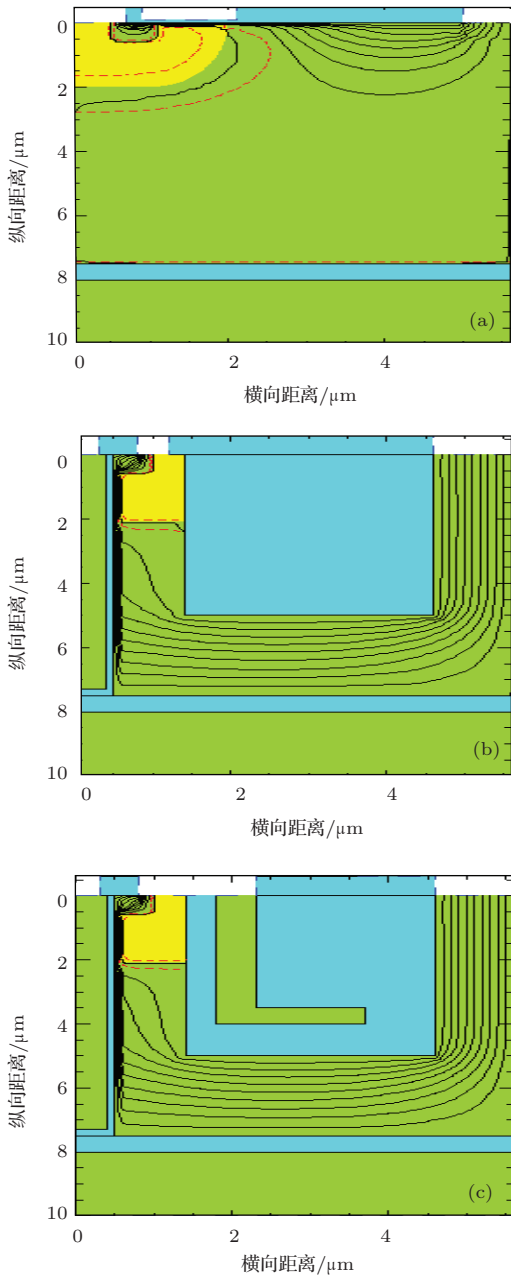


图6 (网刊彩色) 不同器件的电流线分布 (a) C-SOI; (b) DTSOI; (c) LFP-DTSOI

得器件导通电流传导路径显著增加,比导通电阻高于C-SOI结构,为 $2.7\text{ m}\Omega\cdot\text{cm}^2$. 虽然LFP-DTSOI结构介质层的阻挡电流传导路径也增加,但是该结构在槽型介质层中引入了L型源极场板. 在该场板的调制下,漂移区源、漏电场分布变得非常不均匀(图2). 通过增大 N_d 可以抑制电场的均匀化趋势,提高器件BV. 因此,LFP-DTSOI结构在保持高BV的同时,器件 $R_{on,sp}$ 显著降低,为 $2.0\text{ m}\Omega\cdot\text{cm}^2$. 图7为三种结构导通时的电流 I_{DS} 与源漏电压 V_{DS} 的关系曲线. 由图7可以看出,对于相同器件尺寸的三种结构,当 V_{DS} 相同时,LFP-DTSOI结构的导通电流最大,即 $R_{on,sp}$ 最小; DTSOI结构的导通电流最小, $R_{on,sp}$ 最大. 这与图6的分析结果一致.

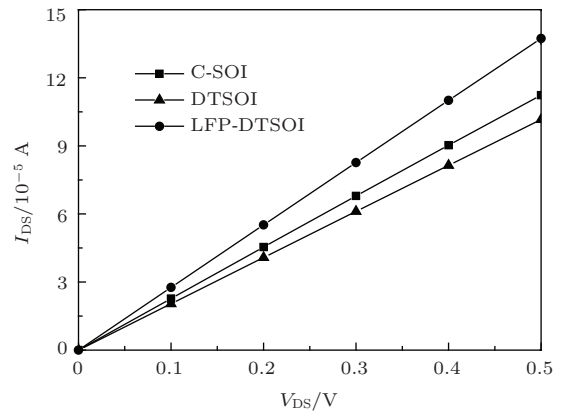


图7 三种器件结构的 $I_{DS} - V_{DS}$ 特性曲线

表1列出了三种结构优化的 N_d , BV, $R_{on,sp}$ 及 FOM. LFP-DTSOI结构的优化 N_d 由DTSOI结构的 $9 \times 10^{15}\text{ cm}^{-3}$ 提高到 $1.42 \times 10^{16}\text{ cm}^{-3}$, $R_{on,sp}$ 为 $2.0\text{ m}\Omega\cdot\text{cm}^2$. 与相同器件尺寸的C-SOI结构及DTSOI结构相比,LFP-DTSOI结构的 $R_{on,sp}$ 分别降低了20%和26%. 为了与具有相同BV的C-SOI结构的 $R_{on,sp}$ 进行比较,把C-SOI结构的尺寸由 $5.6\text{ }\mu\text{m}$ 增大到 $13\text{ }\mu\text{m}$. 仿真结果表明,与具有相同BV的C-SOI结构相比,LFP-DTSOI结构的 $R_{on,sp}$ 下降了80%. 当器件尺寸相同时,LFP-DTSOI结构的BV与DTSOI结构的BV基本相同,为208 V,保持了槽型结构的高BV特性. 与C-SOI结构相比,BV提高了151%. 比较相同器件尺寸的三种结构的FOM,LFP-DTSOI结构达到 $21.6\text{ MW}\cdot\text{cm}^{-2}$,远远高于C-SOI结构的 $2.8\text{ MW}\cdot\text{cm}^{-2}$ 以及DTSOI结构的 $15.9\text{ MW}\cdot\text{cm}^{-2}$.

表1 不同器件优化后的 N_d , BV, $R_{on,sp}$, FOM

器件类型	$N_d/10^{15} \text{ cm}^{-3}$	BV/V	$R_{on,sp}/\text{m}\Omega\cdot\text{cm}^2$	$F/\text{MW}\cdot\text{cm}^{-2}$
C-SOI (5.6 μm)	1.50	83	2.5	2.8
C-SOI (13 μm)	1.65	207	10.1	4.2
DTSOI (5.6 μm)	9.00	207	2.7	15.9
LFP-DTSOI (5.6 μm)	14.20	208	2.0	21.6

3.3 器件结构参数对BV, $R_{on,sp}$ 的影响

图8为取不同 t_P 值时 N_d 对BV的影响. 从图8可以看出, 对于不同的 t_P , 都存在最优的 $N_d(N_{d0})$ 使BV达到最大. 随着 t_P 的增加, N_{d0} 先增大后减小. 这是因为当 t_P 较小时, L型源极场板对漂移区的调制作用较弱, 源区的高电场没有转移到漏区, 所以 N_{d0} 较低. 随着 t_P 的增大, L型源极场板对漂移区的调制作用增强, 源区电场被减弱, 器件能够在更高的 N_d 下工作, N_{d0} 增大. 当 t_P 很大时, L型场板与槽型介质层的下边界距离非常短, 使得L型场板末端聚集了很高的电场, 器件在场板末端的硅层提前击穿. 随着 N_d 的增加, 该处电场不断增大, 因此, 当 t_P 非常大时, N_{d0} 降低.

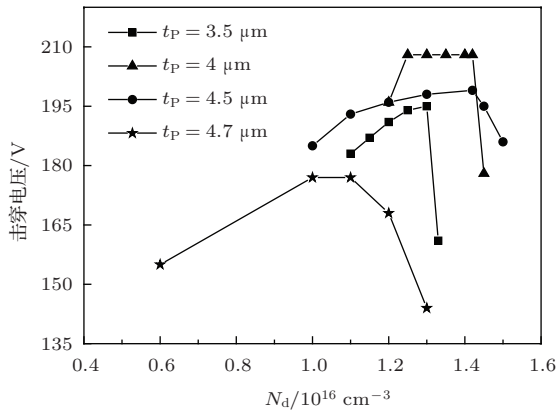


图8 N_d 对BV的影响

图9为 t_P, w_P 对BV, $R_{on,sp}$ 的影响. 由图9(a)可以看出, 当 $t_P \leq 4 \mu\text{m}$ 时, 随着 t_P 的增加, BV不断增大. 这是因为随着 t_P 的增大, L型源极场板对漂移区的调制作用越来越强, 高电场由源区转移到漏区, 在 N_d 提高的同时, 器件可以承受更高的BV. 当 $t_P > 4 \mu\text{m}$ 时, 根据对图8的解释可知, 器件在场板末端聚集高电场, 使器件在此处的硅层提前击穿, 器件BV降低. 在 $t_P = 4 \mu\text{m}$ 时, BV达到最大,

为208 V. 最优漂移区浓度 N_{d0} 随着 t_P 的增加先增大后减少(图8), 决定了器件的 $R_{on,sp}$ 随着 t_P 的增加先减小后增大. 折中考虑BV和 $R_{on,sp}$, t_P 的优化区域为 $3.5 \mu\text{m} \leq t_P \leq 4.5 \mu\text{m}$. 在图9(b)中, $R_{on,sp}$ 随着 w_P 的增加不断减小. 这是因为 w_P 较小时, L型场板对漂移区电场的调制作用较小, N_d 非常低, $R_{on,sp}$ 较大. 随着 w_P 的增大, 场板对漂移区的调制作用越来越强, 更多的电场转移到漏端, 使器件优化 N_d 增大, $R_{on,sp}$ 不断减小. BV随着 w_P 的增加先增大后减小. 这是因为 w_P 较小时, 场板对漂移区电场的调制作用很小, 器件易在漂移区的B点击穿, BV较低. 随着 w_P 的增加, 场板对漂移区电场的调制作用增强, B点电场被减弱, 击穿点转移到体内栅氧层右侧 ($y = 6 \mu\text{m}$ 处, 见图5(b)), 器

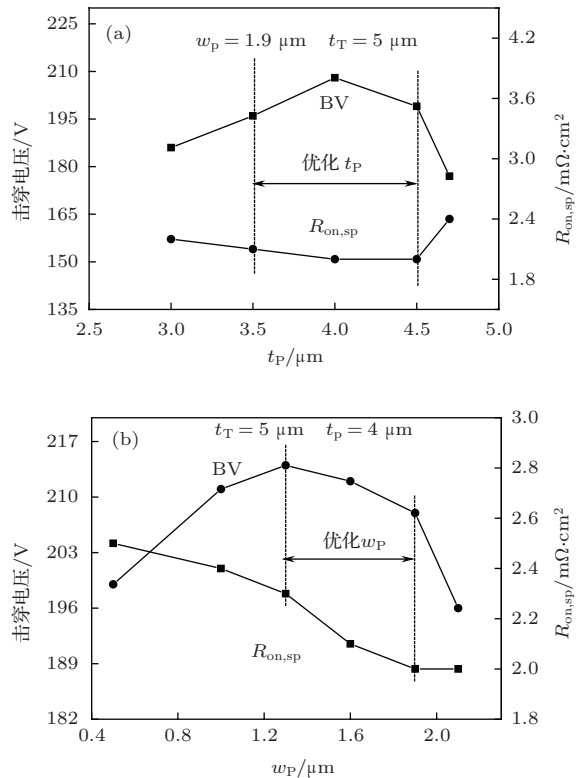


图9 t_P, w_P 对BV, $R_{on,sp}$ 的影响 (a) t_P ; (b) w_P

件BV提高并达到最优值. 随着 w_p 继续增大, 优化 N_d 也随之增大, 使源端电场不断增强, 使器件在源端提前击穿, BV逐渐下降. 当 w_p 很大($w_p \geq 1.9$)时, 场板的调制作用非常强, 使得漏端聚集高电场, 远远高于源端电场, 击穿点转移到漏端, 器件在漏端提前击穿, BV急剧下降. 由图9(b)可知, w_p 的优化区域为 $1.3 \mu\text{m} \leq w_p \leq 1.9 \mu\text{m}$.

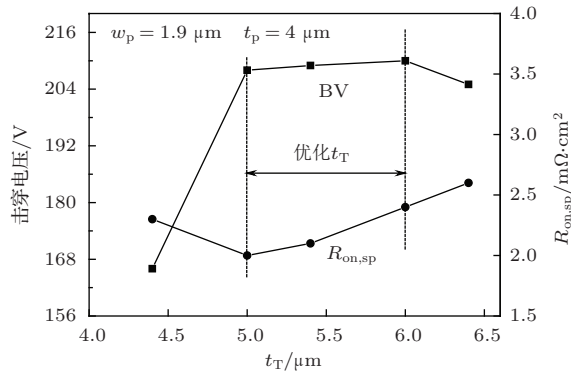


图10 t_T 对 BV, $R_{\text{on,sp}}$ 的影响

图10为 t_T 对BV, $R_{\text{on,sp}}$ 的影响. 当 $t_T < 5 \mu\text{m}$ 时, BV非常低, 这是因为 t_T 比较小时, L型场板与槽型介质层下边界很近, 场板末端聚集的高电场使器件在此处的硅层提前击穿, 使得器件BV非常低. 此时, N_d 也比较低, $R_{\text{on,sp}}$ 较高. 这与图8所示的在 $t_p > 4 \mu\text{m}$ 时的机理相同. 随着 t_T 的增加, 场板末端的高电场开始向源端和漏端转移, 更多地转移到漏端, 使器件BV急剧增大, N_d 也显著增大, $R_{\text{on,sp}}$ 减小. 当 $5 \mu\text{m} \leq t_T \leq 6 \mu\text{m}$ 时, 场板的调制作用逐渐减弱, BV增长缓慢, N_d 开始下降, $R_{\text{on,sp}}$ 逐渐增大. 当 $t_T > 6 \mu\text{m}$ 时, BV开始下降. t_T 的优化区域为 $5 \mu\text{m} \leq t_T \leq 6 \mu\text{m}$.

图11为L型源极场板关键工艺步骤. 其中槽栅的工艺步骤可参见文献[17]. L型源极场板关键工艺步骤如下: (a) 刻蚀硅, 淀积 SiO_2 并平坦化形成槽型 SiO_2 介质层; (b) 刻蚀槽型 SiO_2 介质层, 填充多晶硅并平坦化; (c) 刻蚀槽型 SiO_2 介质层中的多晶硅, 形成L型源极场板; (d) 淀积 SiO_2 并平坦化.

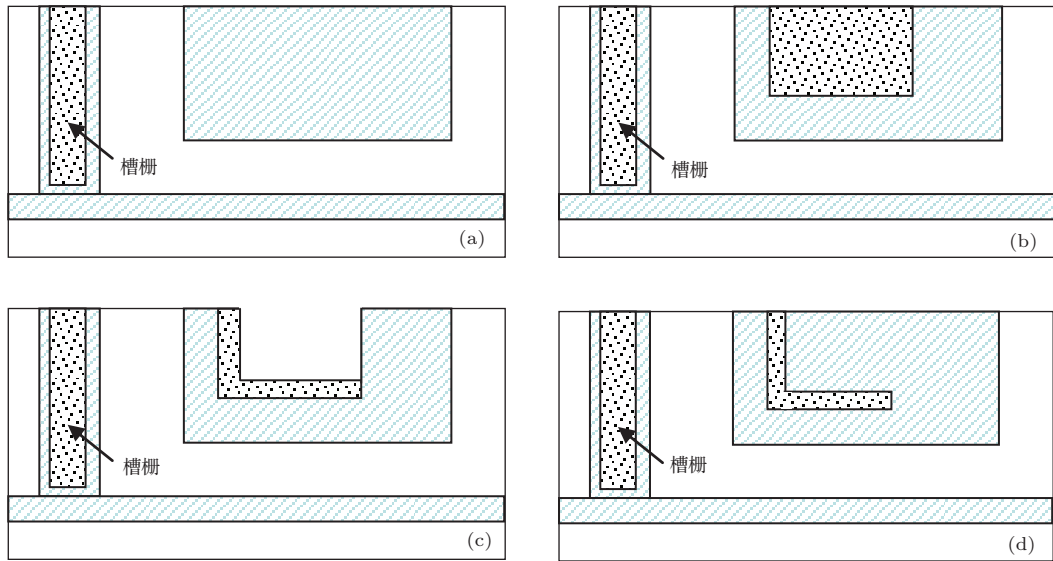


图11 L型源极场板关键工艺步骤 (a) 刻蚀硅, 淀积 SiO_2 并平坦化形成槽型 SiO_2 介质层; (b) 刻蚀槽型 SiO_2 介质层, 填充多晶硅并平坦化; (c) 刻蚀槽型 SiO_2 介质层中的多晶硅, 形成L型源极场板; (d) 淀积 SiO_2 并平坦化

4 结 论

本文提出了一种具有L型源极场板的双槽SOI高压器件新结构. 利用数值仿真软件分析了该器件的反向击穿特性及正向导通特性, 并与C-SOI结构、DTSOI结构进行了比较. 仿真及分析结果表明: 槽型介质层使小尺寸器件具有高的BV; 槽栅

及L型场板使器件 $R_{\text{on,sp}}$ 显著降低. 与相同器件尺寸的C-SOI及DTSOI结构相比, $R_{\text{on,sp}}$ 分别降低了20%和26%, BV与DTSOI结构相同, 比C-SOI结构提高了151%. 与相同BV的C-SOI结构相比, 新结构的 $R_{\text{on,sp}}$ 降低了80%. 在三种结构中, LFP-DTSOI结构的FOM为 $21.6 \text{ MW} \cdot \text{cm}^{-2}$, 达到最大, 更好地缓解了BV和 $R_{\text{on,sp}}$ 的矛盾关系. 由于LFP-DTSOI结构中的槽栅一直延伸到埋氧层, 栅的长

度变大, 对器件的开关特性、频率特性等都会产生一定的影响, 下一步将对此进行详细研究, 以提高器件性能.

参考文献

- [1] Luo X R, Zhang B, Li Z J 2008 *IEEE Trans. Electron Dev.* **55** 1756
- [2] Wu L J, Hu S D, Zhang B, Li Z J 2011 *Chin. Phys. B* **20** 027101
- [3] Zhou K, Luo X R, Fan Y H, Luo Y C, Hu X R, Zhang B 2013 *Chin. Phys. B* **22** 067306
- [4] Hu C 1979 *IEEE Trans. Electron Dev.* **26** 243
- [5] Zhang B, Wang W L, Chen W J, Li Z H, Li Z J 2009 *IEEE Electron Dev. Lett.* **30** 849
- [6] Yang F J, Gong J, Su R Y, Huo K H, Tsai C L, Cheng C C, Liou R H, Tuan H C, Huang C F 2013 *IEEE Trans. Electron Dev.* **60** 2847
- [7] Son W S, Sohn Y H, Choi S Y 2003 *Electron. Lett.* **39** 1760
- [8] Zhang W T, Qiao M, Wu L J, Ye K, Wang Z, Wang Z G, Luo X R, Zhang S, Su W, Zhang B, Li Z J 2013 *Proceedings of the 25th International Symposium on Power Semiconductor Devices & ICs Kanazawa, Japan, May 26–30 2013* p329
- [9] Fan J, Zhang B, Luo X R, Li Z J 2013 *Chin. Phys. B* **22** 118502
- [10] Wang Z G, Zhang B, Fu Q, Xie G, Li Z J 2012 *IEEE Electron Dev. Lett.* **33** 703
- [11] Kim S L, Yang H Y, Choi Y I 2000 *Proceedings of the 22nd International Conference on Microelectronics Nis, Serbia, May 14–17, 2000* p641
- [12] Luo X R, Luo Y C, Fan Y, Hu G Y, Wang X W, Zhang Z Y, Fan Y H, Cai J Y, Wang P, Zhou K 2013 *Chin. Phys. B* **22** 027304
- [13] Shi Y M, Liu J Z, Yao S Y, Ding Y H 2014 *Acta Phys. Sin.* **63** 107302 (in Chinese) [石艳梅, 刘继芝, 姚素英, 丁燕红 2014 物理学报 **63** 107302]
- [14] Ge R, Luo X R, Jiang Y H, Zhou K, Wang P, Wang Q, Wang Y G, Zhang B, Li Z J 2012 *J. Semicond.* **33** 074005
- [15] Fujishima N, Sugi A, Kajiwara S, Matsubara K, Nagayasu Y, Salama C A T 2002 *IEEE Trans. Electron Dev.* **49** 1462
- [16] Luo X R, Fan J, Wang Y G, Lei T F, Qiao M, Zhang B, Udrea F 2011 *IEEE Electron Dev. Lett.* **32** 185
- [17] Luo X R, Lei T F, Wang Y G, Yao G L, Jiang Y H, Zhou K, Wang P, Zhang Z Y 2012 *IEEE Trans. Electron Dev.* **59** 504
- [18] Hu X R, Zhang B, Luo X R, Jiang Y H, Li Z J 2012 *Electron. Lett.* **48** 1235
- [19] Luo X R, Yao G L, Zhang Z Y, Jiang Y H, Zhou K, Wang P, Wang Y G 2012 *Chin. Phys. B* **21** 068501

A dual-trench silicon on insulator high voltage device with an L-shaped source field plate*

Shi Yan-Mei^{1)2)†} Liu Ji-Zhi³⁾ Yao Su-Ying¹⁾ Ding Yan-Hong²⁾
Zhang Wei-Hua²⁾ Dai Hong-Li²⁾

1) (School of Electronics Information Engineering, Tianjin University, Tianjin 300072, China)

2) (School of Electronics Information Engineering, Tianjin University of Technology, Tianjin 300384, China)

3) (School of Microelectronics and Solid-State Electronics, University of Electronic Science and Technology of China, Chengdu 610054, China)

(Received 30 June 2014; revised manuscript received 28 July 2014)

Abstract

To improve the breakdown voltage and reduce the specific on-resistance of a small size silicon on insulator (SOI) device, a dual-trench SOI high voltage device with an L-shaped source field plate is proposed. The device has the features as follows: first, a trench gate is adopted. The trench gate widens the current conduction area and makes the current conduction path shorter, thus lowering the specific on-resistance. Second, a SiO₂ dielectric layer is introduced into the drift region. This dielectric layer can hold a high electric field, which makes the breakdown voltage greatly increased. Third, an L-shaped source field plate is introduced. This field plate modulates the electric field in the drift region, so increases the optimized doping concentration of the drift region significantly and reduces the specific on-resistance. The results from the two-dimensional semiconductor simulator show that as compared with a conventional SOI device at the same cell pitch, the breakdown voltage is increased by 151%, and the specific on-resistance is reduced by 20%. The specific on-resistance is reduced by 80% at the same breakdown voltage. Compared with a dual-trench SOI device with the same cell pitch, the proposed device maintains the same high breakdown voltage as the dual-trench SOI device, and at the same time, the specific on-resistance is decreased by 26%.

Keywords: silicon on insulator, trench gate, specific on-resistance, breakdown voltage

PACS: 73.40.Ty, 73.40.Kp, 73.61.Ey

DOI: [10.7498/aps.63.237305](https://doi.org/10.7498/aps.63.237305)

* Project supported by the National Natural Science Foundation of China (Grant No. 51101113) and the Natural Science Foundation of Tianjin, China (Grant Nos. 13JCQNJC, 14JCYBJC16200).

† Corresponding author. E-mail: zjh022@126.com