

新型缓冲层分区电场调制横向双扩散超结功率器件

段宝兴 曹震 袁嵩 袁小宁 杨银堂

New super junction lateral double-diffused MOSFET with electric field modulation by differently doping the buffered layer

Duan Bao-Xing Cao Zhen Yuan Song Yuan Xiao-Ning Yang Yin-Tang

引用信息 Citation: *Acta Physica Sinica*, **63**, 247301 (2014) DOI: 10.7498/aps.63.247301

在线阅读 View online: <http://dx.doi.org/10.7498/aps.63.247301>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn/CN/Y2014/V63/I24>

您可能感兴趣的其他文章

Articles you may be interested in

具有 N 型缓冲层 REBULF Super Junction LDMOS

New REBULF super junction LDMOS with the N type buffered layer

物理学报.2014, 63(22): 227302 <http://dx.doi.org/10.7498/aps.63.227302>

SnO₂/p⁺-Si 异质结器件的电致发光: 利用 TiO₂ 盖层提高发光强度

Electroluminescence from SnO₂/p⁺-Si heterostructured light-emitting device: enhancing its intensity via capping a TiO₂ film

物理学报.2014, 63(17): 177302 <http://dx.doi.org/10.7498/aps.63.177302>

GaN HEMT 欧姆接触模式对电学特性的影响

Effect of different ohmic contact pattern on GaN HEMT electrical properties

物理学报.2014, 63(11): 117302 <http://dx.doi.org/10.7498/aps.63.117302>

阶梯 AlGa_N 外延新型 Al_{0.25}Ga_{0.75}N/GaN HEMTs 击穿特性分析

Breakdown voltage analysis for the new Al_{0.25}Ga_{0.75}N/GaN HEMTs with the step AlGa_N layers

物理学报.2014, 63(5): 057302 <http://dx.doi.org/10.7498/aps.63.057302>

内嵌 InAs 量子点的 δ 掺杂 GaAs/Al_xGa_{1-x}As 二维电子气特性分析

Properties of δ doped GaAs/Al_xGa_{1-x}As 2DEG with embedded InAs quantum dots

物理学报.2013, 62(20): 207303 <http://dx.doi.org/10.7498/aps.62.207303>

新型缓冲层分区电场调制横向双扩散 超结功率器件*

段宝兴[†] 曹震 袁嵩 袁小宁 杨银堂

(西安电子科技大学微电子学院, 宽禁带半导体材料与器件教育部重点实验室, 西安 710071)

(2014年8月4日收到; 2014年8月15日收到修改稿)

为了突破传统横向双扩散金属-氧化物-半导体器件 (lateral double-diffused MOSFET) 击穿电压与比导通电阻的极限关系, 本文在缓冲层横向双扩散超结功率器件 (super junction LDMOS-SJ LDMOS) 结构基础上, 提出了具有缓冲层分区新型 SJ-LDMOS 结构. 新结构利用电场调制效应将分区缓冲层产生的电场峰引入超结 (super junction) 表面而优化了 SJ-LDMOS 的表面电场分布, 缓解了横向 LDMOS 器件由于受纵向电场影响使横向电场分布不均匀、横向单位耐压量低的问题. 利用仿真分析软件 ISE 分析表明, 优化条件下, 当缓冲层分区为 3 时, 提出的缓冲层分区 SJ-LDMOS 表面电场最优, 击穿电压达到饱和时较一般 LDMOS 结构提高了 50% 左右, 较缓冲层 SJ-LDMOS 结构提高了 32% 左右, 横向单位耐压量达到 $18.48 \text{ V}/\mu\text{m}$. 击穿电压为 382 V 的缓冲层分区 SJ-LDMOS, 比导通电阻为 $25.6 \text{ m}\Omega\cdot\text{cm}^2$, 突破了一般 LDMOS 击穿电压为 254 V 时比导通电阻为 $71.8 \text{ m}\Omega\cdot\text{cm}^2$ 的极限关系.

关键词: 横向双扩散金属氧化物半导体器件, 超结, 击穿电压, 比导通电阻

PACS: 73.40.Kp, 73.40.Vz, 73.61.Ey

DOI: 10.7498/aps.63.247301

1 引言

功率集成电路 (power integrated circuit, PIC) 和高压集成电路 (high voltage integrated circuit, HVIC) 是将高压功率器件与信号处理系统及外围接口电路、保护电路等集成在同一芯片的集成电路, 是引发第二次电子革命的关键技术^[1,2]. 横向功率半导体器件 LDMOS (lateral double-diffused MOSFET) 由于漏极、源极和栅极都在芯片表面, 易于通过内部连接与低压信号电路集成等优点, 成为实现 PIC 和 HVIC 技术的关键. 而金属氧化物半导体 (MOS) 类器件关态击穿电压 (V_B) 与开态导通电阻 (R_{on}) 之间的 2.5 次方矛盾关系^[3] 限制了 MOS 类器件的应用范围. 陈星弼等^[4] 发明的超结 (super junction, SJ) 结构将这种矛盾关系缓解

为 1.33 次方. 所以将 SJ 技术应用于 LDMOS 实现 SJ-LDMOS 是实现超低功率损耗 PIC 的有效途径. 而 N 沟道 LDMOS 具有的 P 型衬底对要求电荷完全补偿的 SJ 的 N 区辅助耗尽, 造成 N 区耗尽时 P 区还没有耗尽, 形成 SJ 的电荷不能完全补偿. 所以解决衬底辅助耗尽, 现实 SJ-LDMOS 在较高击穿电压时获得突破硅极限的超低比导通电阻就成为研究的热点. 国际上虽然提出了一些解决的方法, 使 SJ-LDMOS 的电荷完全补偿^[5-8], 但由于横向 LDMOS 受纵向电场的影响而使横向电场分布不均匀, 满足 RESURF (reduced surface field)^[9] 条件时表面电场分布中出现分别位于栅边缘和漏电极末端两个明显的电场峰. 如何进一步降低这两个电场峰并同时提高中间分布较低的电场值, 以提高横向 LDMOS 的单位耐压量就成为优化 LDMOS 击穿电压与比导通电阻矛盾的有效途径. 常用的传

* 国家重点基础研究发展计划 (批准号: 2014CB339900, 2015CB351906) 和国家自然科学基金重点项目 (批准号: 61234006, 61334002) 资助的课题.

[†] 通讯作者. E-mail: bxduan@163.com

统方法包括: 场板^[10]、降低体电场技术^[11]等. 作者提出并实现了具有电场调制效应的新型功率器件设计方法^[12-14], 这种方法利用器件非有源区的衬底电场, 通过电场调制效应使器件有源区表面电场分布出现新的电场峰而趋于均匀, 新电场峰可以使栅、源两端的高电场有效降低, 同时使中间分布较低的电场值提高, 利用电场调制技术设计的新型器件^[15-27]已被国内外同行认可.

本文利用SJ-LDMOS非有源区的N型缓冲层分区电场调制效应, 使SJ-LDMOS在消除衬底辅助耗尽基础上, 表面电场分布趋于均匀, 提高了SJ-LDMOS横向单位耐压量. 分区N型缓冲层同时具有补偿SJ电荷和调制表面电场的作用, 通过器件仿真软件ISE^[28]分析表明, 本文提出的N型缓冲层分区SJ-LDMOS击穿电压较一般LDMOS提高了50%左右, 较缓冲层SJ-LDMOS提高了32%左右, 而且由于表面电场的优化, 缓冲层分区结构的横向长度单位耐压量已经达到了18.48 V/ μm .

2 器件结构

虽然LDMOS是智能功率集成电路最常用的功率器件, 但其比导通电阻相较于纵向双扩散VDMOS的大, 较大的比导通电阻导致了器件尺寸增大, 制造成本增加, 而且较大尺寸不利于与低压电路集成封装. LDMOS中击穿电压与比导通电阻的矛盾关系为 $R_{\text{on}} = (0.8-1.2) \times 10^{-7} V_{\text{B}}^2 \Omega \cdot \text{cm}^2$ ^[29], 这种关系限制了PIC向低损耗方向发展. 将SJ直接应用于LDMOS可以使常规结构的漂移区浓度增加而比导通电阻突破硅极限的平方

关系. 图1(a)所示为具有SJ的一般结构, 这种结构是将周期分布的SJ层的N区和P区直接形成于N沟道LDMOS的P型衬底上, 沿OX方向的P型沟道与SJ的N型区形成的PN结在反向电压作用下在耗尽区扩展, 使SJ的N区耗尽; 沿OZ方向SJ的N区和P区相互耗尽, 这即为超结的作用; 由于LDMOS纵向电压的影响, P型衬底也可以辅助耗尽super junction的N区, 这即为衬底辅助耗尽效应. P型衬底的辅助耗尽, 使一般SJ-LDMOS的N区与P区电荷不能完全补偿, 击穿电压与比导通电阻的关系不能优化. 图1(b)为本文提出的具有N型缓冲层浓度分区电场调制新型SJ-LDMOS结构. 与一般SJ-LDMOS不同在于, SJ层形成于N型缓冲层上, N型缓冲层的电荷补偿了P型衬底的作用, 消除了衬底辅助耗尽问题, 使SJ的N区与P区电荷完全补偿, 这即为Salama课题组提出的结构^[5]. 然而, 由于LDMOS受纵向电场的影响, 使横向电场分布不均匀. 为了优化横向电场分布, 提高击穿电压, 进一步突破传统结构击穿电压与比导通电阻的矛盾关系, 本文将N型缓冲层浓度设计为分区结构, 即从栅到漏电极浓度递增, 分区的数量与具体浓度根据不同的器件结构尺寸优化. N型缓冲层不同分区浓度的界面产生新的电场峰, 新产生的电场峰通过电场调制作用使SJ的表面也产生了新的电场峰, 新电场峰使原有的栅、漏边缘电场峰降低, 器件击穿电压提高. 本文分析中利用 N_{N} 和 N_{P} 表示SJ中N型柱和P型柱的浓度; N_{B} 表示N型缓冲层沟道的浓度; N_{S} 表示P型衬底的浓度, L_{d} 表示器件漂移区的长度.

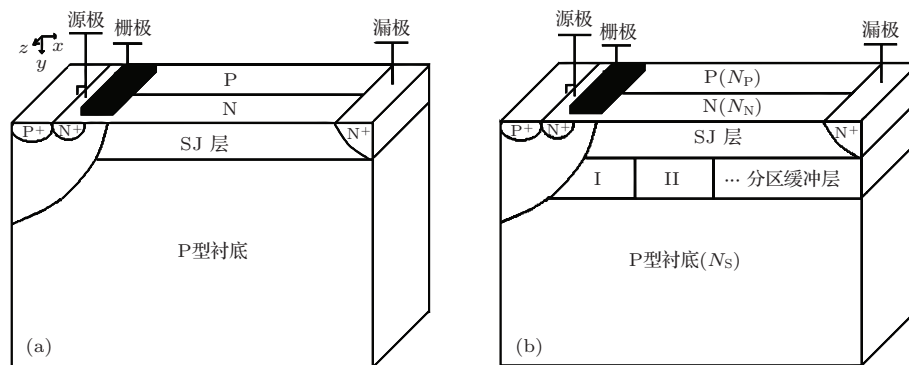


图1 器件结构示意图 (a)一般SJ-LDMOS; (b)缓冲层分区SJ-LDMOS

由于SJ-LDMOS的N型与P型电荷补偿层为横向分布, 所以较SJ-VDMOS工艺上容易实现. 本文提出的缓冲层分区SJ-LDMOS可以通过0.8 μm

标准CMOS工艺实现, 与一般SJ-LDMOS主要不同在于将SJ的N型与P型电荷补偿层形成于浓度分区的缓冲层上. 工艺上, 首先由P⁺型衬底外延

具有一定浓度的P型层,以承担SJ-LDMOS的纵向耐压;然后形成分区缓冲层,分区缓冲层的形成可以通过在P型衬底上外延单一浓度N型缓冲层后按照优化的条件分区离子注入,或者直接在P型衬底上进行缓冲层分区离子注入; SJ层的形成与一般SJ-LDMOS的过程相同,可以根据工艺条件和优化结果,通过离子注入形成不同宽度周期分布的N型与P型电荷补偿层. 本文提出的缓冲层分区SJ-LDMOS,可以根据工艺条件灵活选择N型缓冲层的外延厚度、浓度、分区情况,以达到对SJ的电荷完全补偿. 源极、栅极和漏极的工艺流程与一般LDMOS结构相同. 本文的仿真分析完全按照以上的工艺过程定义,分区缓冲层的厚度为 $2\ \mu\text{m}$, SJ层的宽度与厚度均为 $1\ \mu\text{m}$,即进行电场调制的分区缓冲层厚度为 $1\ \mu\text{m}$,浓度根据优化条件确定

3 仿真结果与分析

图2所示为漂移区只具有SJ层的SJ-LDMOS结构击穿电压为 $180\ \text{V}$ 时的等势线分布. 由于P型衬底对SJ层中N区的辅助耗尽,使器件达到击穿时N区与P区没有完全被耗尽. 从图2(a)可以看出,一般SJ-LDMOS的漂移区没有被完全耗尽,等势线分布不均匀,使电场在栅边缘聚集,击穿电压仅为 $180\ \text{V}$;图2(b)为本文提出的缓冲层分区SJ-LDMOS结构当击穿电压为 $382\ \text{V}$ 时的等势线分布. 图2(a)和(b)比较的基础为具有相同的漂移区长度、相同的SJ层厚度和相同的衬底浓度. 由于N型缓冲层补偿了P型衬底对SJ层N区的辅助耗尽,使SJ的N区和P区电荷完全补偿,器件达到击穿时漂移区完全耗尽,而且由于浓度分区的缓冲层在不同浓度区的界面产生了新的电场峰,通过电场调制作用使SJ的表面产生类似的电场峰,新产生

的电场峰使等势线分布均匀,击穿电压提高.

图3所示为器件的横向电场分布. 由于受纵向电压的影响,LDMOS横向电场的分布为“U”形,即在器件的栅边缘和漏极末端出现两个电场峰,中间电场分布较小,这与纵向VDMOS只由一个方向电场决定的“三角形”或“梯形”分布不同. 如图3(a)所示,一般LDMOS在优化条件下,器件击穿时的表面电场分布决定了击穿电压仅为 $254\ \text{V}$;对于一般SJ-LDMOS,由于受P型衬底辅助耗尽效应的影响,P区不能完全耗尽,表面电场只出现一个电场峰,击穿时的电压为 $180\ \text{V}$;当通过N型缓冲层使SJ的N区与P区电荷完全补偿后,漂移区完全耗尽,表面电场分布为类似于一般LDMOS的形状,受 $0Z$ 方向超结的影响,电场分布的中间值有所提高,击穿电压为 $289\ \text{V}$. 对于本文提出的缓冲层分区结构,通过电场调制效应使表面电场分布中出现新的电场峰而使横向单位耐压量提高,击穿电压增大到 $382\ \text{V}$,这正是通过缓解横向器件中纵向电压对表面横向电场的影响,优化器件横向电场分布,提高击穿电压的目的. 图3(b)为缓冲层分区结构随分区数变化时的表面电场分布,不同分区使表面电场分布中出现不同的电场峰,进一步使表面电场分布均匀,击穿电压从分区数为2时的 $382\ \text{V}$,提高到分区数为3时的 $391\ \text{V}$,当分区数为4时击穿电压基本饱和,这是由于表面电场已经达到最优. 为了体现电场调制效应,图3(c)比较了缓冲层分区结构中SJ层与缓冲层界面处的电场分布. 可以看出,由于不同掺杂浓度的缓冲层耗尽扩展作用,在浓度分区的界面出现电场峰,这样电场峰通过电场调制作用,使SJ层的表面电场分布在同样的位置也出现电场峰,正是由于这些新引入的电场峰才使得表面电场分布趋于均匀. 所以,图3(c)的电场分布比较说明了电场调制的作用

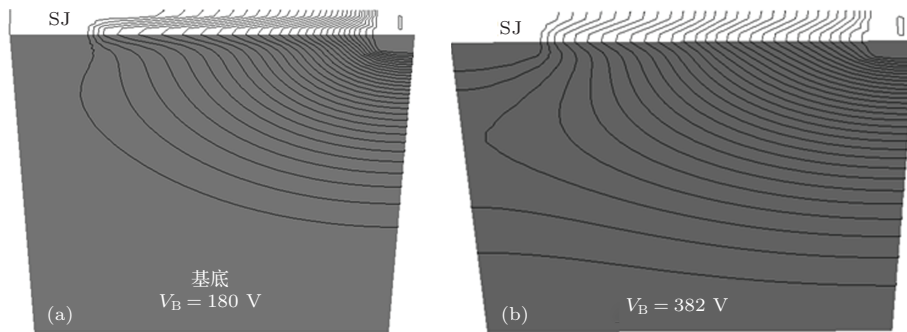


图2 器件击穿时的等势线分布 (a) 一般SJ-LDMOS; (b) 缓冲层分区SJ-LDMOS ($L_d = 20\ \mu\text{m}$; $N_N = N_P = 5.0 \times 10^{16}\ \text{cm}^{-3}$; $N_S = 1.0 \times 10^{14}\ \text{cm}^{-3}$; $N_B = 5.0 \times 10^{14}\ \text{cm}^{-3}$)

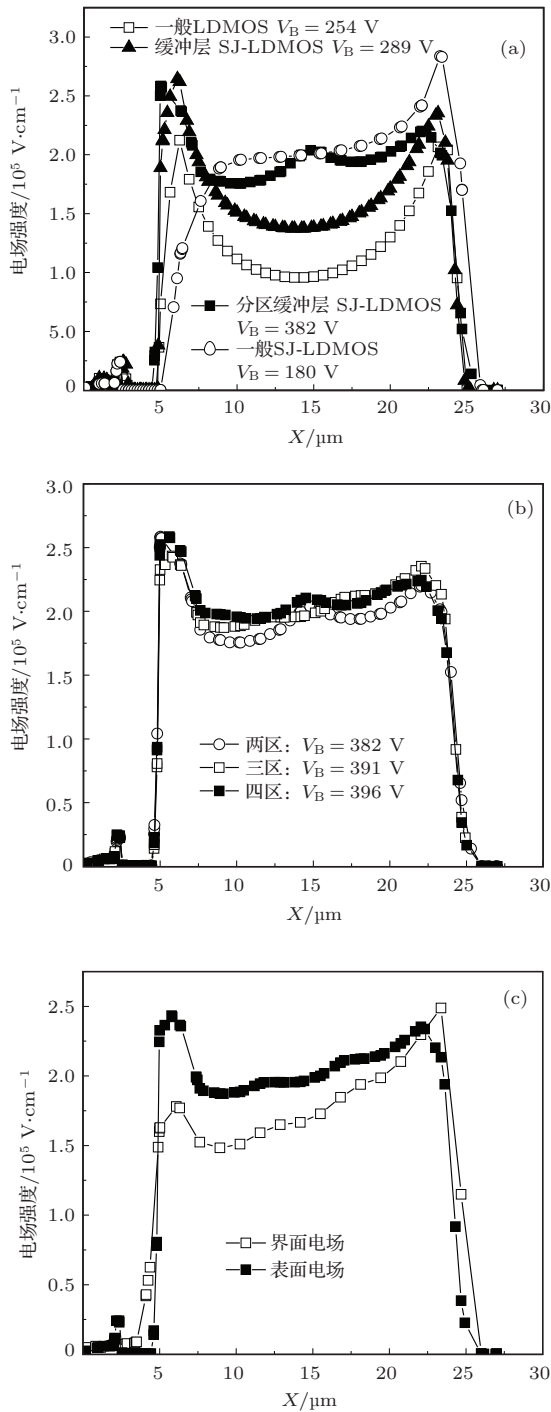


图3 横向表面电场分布 (a) 三种结构横向电场分布比较; (b) 缓冲层分区 SJ-LDMOS 不同分区时的电场分布; (c) 缓冲层分区 SJ-LDMOS 缓冲层与 SJ 界面电场分布与表面电场比较 (三区情况) ($L_d = 20 \mu\text{m}$; $N_N = N_P = 5.0 \times 10^{16} \text{cm}^{-3}$; $N_S = 1.0 \times 10^{14} \text{cm}^{-3}$)

图 4(a) 为缓冲层分区 SJ-LDMOS 结构中缓冲层分区数与击穿电压的关系. 缓冲层不同浓度的分区在界面处产生新的电场峰, 这个电场峰利用电场调制作用使 SJ 的表面电场分布中产生同样位置的电场峰, 新产生的电场峰使表面电场分布均匀, 随着缓冲层分区数的增加, 表面电场

均匀性提高, 横向单位长度的耐压量增大, 击穿电压增加. 由图 4(a) 可以看出, 当分区数为 3 时, 击穿电压基本饱和, 这是因为表面电场达到了最优.

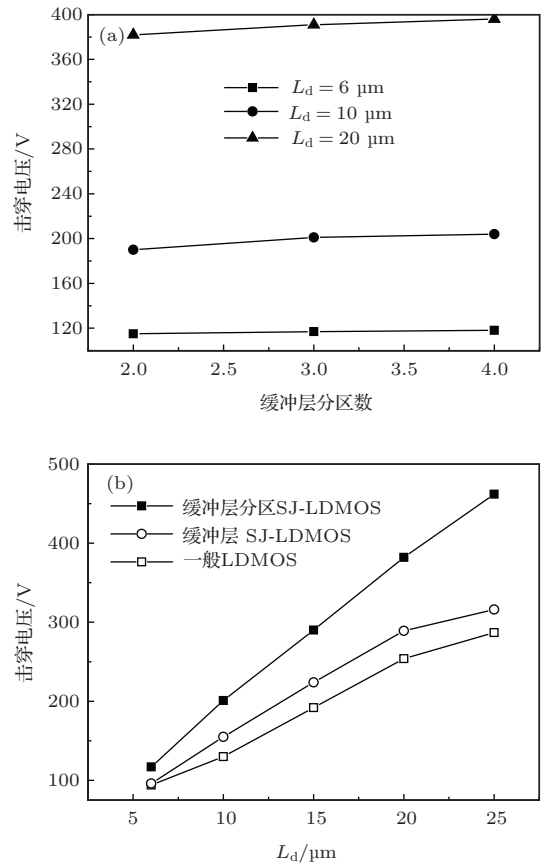


图 4 击穿电压与器件参数关系 (a) 缓冲层分区 SJ-LDMOS 结构分区数与击穿电压的关系; (b) 漂移区长度与击穿电压的关系

LDMOS 结构的击穿电压由横向击穿电压与纵向击穿电压共同决定. 表面电场优化条件下器件的击穿发生在漏电极的体内, 当 N 沟道 LDMOS 的 P 型衬底浓度一定时, 纵向击穿电压主要由 N 型漂移区与 P 型衬底形成的 PN 结扩展的耗尽区承担. 随着器件漂移区长度的增加, 横向击穿电压逐渐增大, 当增大到纵向击穿电压值时不再随漂移区长度增加而饱和. 由于缓冲层分区结构优化了表面电场分布, 提高了横向长度的耐压量, 在相同漂移区长度条件下, 击穿电压较 LDMOS 和缓冲层 SJ-LDMOS 的提高. 如图 4(b) 所示, 本文提出的缓冲层分区 SJ-LDMOS 的饱和击穿电压比一般 LDMOS 结构提高了 50% 左右, 较缓冲层 SJ-LDMOS 结构提高了 32% 左右, 缓冲层分区结构的横向长度耐压量已经达到了 $18.48 \text{V}/\mu\text{m}$.

图 5 所示为具有缓冲层两区 SJ-LDMOS 和传

统LDMOS结构开态工作时的电压-电流关系曲线,器件的阈值电压为3 V左右.从图5可以明显看出,缓冲层分区SJ-LDMOS高掺杂浓度的SJ层大大降低了LDMOS的漂移区电阻,器件正向工作时电流较一般LDMOS结构的增加.优化条件下,缓冲层不但使具有 $5.0 \times 10^{16} \text{ cm}^{-3}$ 高掺杂的漂移区完全耗尽,而且当漂移区长度为20 μm 时,缓冲层分区产生的新电场峰使表面电场优化,击穿电压高达382 V,比导通电阻为 $25.6 \text{ m}\Omega\cdot\text{cm}^2$;一般LDMOS由于不具有电荷补偿和电场调制效应,优化条件下漂移区浓度为 $2.0 \times 10^{15} \text{ cm}^{-3}$ 时,击穿电压为最大值254 V,而比导通电阻为 $71.8 \text{ m}\Omega\cdot\text{cm}^2$ 较具有382 V击穿电压的缓冲层分区SJ-LDMOS的大.这些结果说明,利用超结电荷补偿,通过电场调制打破了传统LDMOS击穿电压与比导通电阻的极限关系.

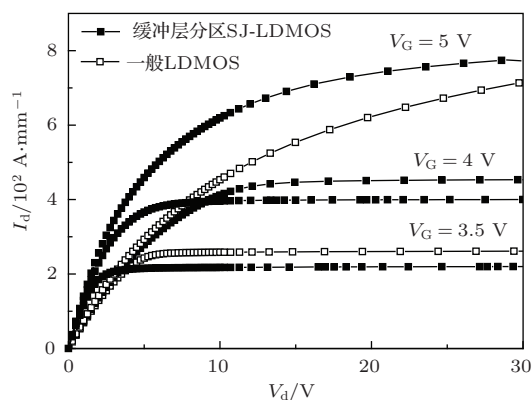


图5 缓冲层分区SJ-LDMOS与传统LDMOS I_d - V_d 曲线

4 结 论

为了突破传统LDMOS器件击穿电压与比导通电阻的极限关系,降低LDMOS器件的功率损耗,提高PIC集成电路的功率驱动能力,本文提出了具有缓冲层分区新型SJ-LDMOS结构.与缓冲层SJ-LDMOS结构的不同在于:将浓度均匀分布的缓冲层浓度分区,利用电场调制效应将分区缓冲层产生的电场峰引入SJ表面,新电场峰的引入优化了SJ-LDMOS的表面电场分布,缓解了横向LDMOS器件由于受纵向电场影响使横向电场分布不均匀、横向单位耐压量低的问题.利用仿真分析软件ISE分析表明,优化条件下当缓冲层分区为3时,提出的缓冲层分区SJ-LDMOS表面电场最优,击穿电压达到饱和时较一般LDMOS结构提高50%左右,较

缓冲层SJ-LDMOS结构提高32%左右,横向单位耐压量达到 $18.48 \text{ V}/\mu\text{m}$.击穿电压为382 V的缓冲层分区SJ-LDMOS,比导通电阻为 $25.6 \text{ m}\Omega\cdot\text{cm}^2$,突破了一般LDMOS击穿电压为254 V时比导通电阻为 $71.8 \text{ m}\Omega\cdot\text{cm}^2$ 的极限关系.

参考文献

- [1] Wei J, Luo X R, Shi X L, Tian R C, Zhang B, Li Z J 2014 *Proceedings of the 17th International Power Semiconductor Devices and ICs* Waikoloa, USA, June 15–19, 2014 p127
- [2] He Y D, Zhang G G, Zhang X 2014 *Proceedings of the 17th International Power Semiconductor Devices and ICs* Waikoloa, USA, June 15–19, 2014 p171
- [3] Chen X B, Wang X, Johnny K O S 2000 *IEEE Trans. Electron Dev.* **47** 1280
- [4] Chen X B, Johnny K O S 2001 *IEEE Trans. Electron Dev.* **48** 344
- [5] Park Y, Salama C T 2005 *Proceedings of the 17th International Power Semiconductor Devices and ICs* Santa Barbara, USA, May 26–30, 2005 p163
- [6] Zhang B, Chen L, Wu J, Li Z J 2005 *International Conference on Communications, Circuits and System* Hong Kong, May 27–30, 2005 p1399
- [7] Duan B X, Yang Y T, Zhang B 2009 *IEEE Electron Dev. Lett.* **30** 305
- [8] Duan B X, Yang Y T 2011 *Micro Nano Lett.* **6** 881
- [9] Appels J A, Collet M G, Hart P A H, Vaes H M J 1980 *Philips J. Res.* **35** 1
- [10] Luo Y C, Luo X R, Hu G Y, Fan Y H, Li P C, Wei J, Tan Q, Zhang B 2014 *Chin. Phys. B* **23** 077306
- [11] Hu S D, Wu X H, Zhu Z, Jin J J, Chen Y H 2014 *Chin. Phys. B* **23** 067101
- [12] Duan B X, Yang Y T 2011 *IET Tech. Rev.* **28** 503
- [13] Duan B X, Yang Y T 2012 *IET Tech. Rev.* **29** 36
- [14] Duan B X, Yang Y T 2012 *IET Tech. Rev.* **29** 276
- [15] Duan B X, Zhang B, Li Z J 2006 *J. Semicond.* **27** 886
- [16] Duan B X, Zhang B, Li Z J 2005 *Solid State Electron.* **49** 1965
- [17] Duan B X, Zhang B, Li Z J 2006 *IEEE Electron Dev. Lett.* **27** 377
- [18] Duan B X, Zhang B, Li Z J 2007 *Chin. Phys. Lett.* **24** 1342
- [19] Duan B X, Yang Y T, Zhang B, Li Z J 2008 *Chin. J. Semicond.* **29** 677
- [20] Duan B X, Yang Y T, Zhang B, Hong X F 2009 *IEEE Electron Dev. Lett.* **30** 1329
- [21] Duan B X, Yang Y T 2011 *IEEE Trans. Electron Dev.* **58** 2057
- [22] Duan B X, Yang Y T, Zhang B 2010 *Solid State Electron.* **54** 685
- [23] Duan B X, Yang Y T 2012 *Sci. China: Inf. Sci.* **55** 473
- [24] Duan B X, Yang Y T 2012 *Micro Nano Lett.* **7** 9

- [25] Duan B X, Yang Y T, Chen K J 2012 *Acta Phys. Sin.* **61** 247302 (in Chinese) [段宝兴, 杨银堂, 陈敬 2012 物理学报 **61** 247302]
- [26] Duan B X, Yang Y T, Chen J 2012 *Acta Phys. Sin.* **61** 227302 (in Chinese) [段宝兴, 杨银堂, 陈敬 2012 物理学报 **61** 227302]
- [27] Duan B X, Yang Y T 2014 *Acta Phys. Sin.* **63** 057302 (in Chinese) [段宝兴, 杨银堂 2014 物理学报 **63** 057302]
- [28] SE TCAD Manuals, release 10.0, Synopsys Coporation, Switzerland.
- [29] Michael A, Vladimir R 1985 *International Electron Devices Meeting* Washington, USA, Dec. 1–4, 1985 p736

New super junction lateral double-diffused MOSFET with electric field modulation by differently doping the buffered layer*

Duan Bao-Xing[†] Cao Zhen Yuan Song Yuan Xiao-Ning Yang Yin-Tang

(Key Laboratory of the Ministry of Education for Wide Band-Gap Semiconductor Materials and Devices, School of Microelectronics, Xidian University, Xi'an 710071, China)

(Received 4 August 2014; revised manuscript received 15 August 2014)

Abstract

In order to break through the limit relationship between the breakdown voltage and specific on-resistance for LDMOS (lateral double-diffused MOSFET), a new super junction LDMOS is proposed with the electric field modulation by differently doping the buffered layer in this paper for the first time based on the buffered SJ-LDMOS. The new electric field introduced by the differently doping buffered layer, owing to the electric field modulation, is brought to the surface electric field of SJ-LDMOS, which alleviates a low lateral breakdown voltage due to the uneven electric field distribution for the LDMOS affected by the vertical electric field. Through the ISE simulation, the results are obtained that the surface electric field is optimized for the proposed SJ-LDMOS when the number of differently doping buffered layers is three. The saturated breakdown voltage for the new SJ-LDMOS is increased by about 50% compared with that for conventional LDMOS, and improved by about 32% compared with that for buffered SJ-LDMOS. The lateral breakdown voltage for unit length is increased to 18.48 V/ μm . For the proposed SJ-LDMOS, the specific on-resistance is 25.6 $\text{m}\Omega\cdot\text{cm}^2$ with a breakdown voltage of 382 V, which already breaks the limit relationship of 71.8 $\text{m}\Omega\cdot\text{cm}^2$ with a breakdown voltage of 254 V in the conventional LDMOS.

Keywords: lateral double-diffused MOSFET, super junction, breakdown voltage, specific on resistance

PACS: 73.40.Kp, 73.40.Vz, 73.61.Ey

DOI: 10.7498/aps.63.247301

* Project supported by the National Basic Research Program of China (Grant Nos. 2014CB339900, 2015CB351906) and the Key Program of the National Natural Science Foundation of China (Grant Nos. 61234006, 61334002).

[†] Corresponding author. E-mail: bxduan@163.com