

堆叠栅介质对称双栅单 Halo 应变 Si 金属氧化物半导体场效应管二维模型

辛艳辉 刘红侠 王树龙 范小娇

Two-dimensional model of symmetrical double-gate strained Si single Halo metal-oxide semiconductor field effect transistor with gate stack dielectric

Xin Yan-Hui Liu Hong-Xia Wang Shu-Long Fan Xiao-Jiao

引用信息 Citation: *Acta Physica Sinica*, **63**, 248502 (2014) DOI: 10.7498/aps.63.248502

在线阅读 View online: <http://dx.doi.org/10.7498/aps.63.248502>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn/CN/Y2014/V63/I24>

您可能感兴趣的其他文章

Articles you may be interested in

应变(001)p型金属氧化物半导体反型层空穴量子化与电导率有效质量

Hole quantization and conductivity effective mass of the inversion layer in (001) strained p-channel metal-oxid-semiconductor

物理学报.2014, 63(23): 238501 <http://dx.doi.org/10.7498/aps.63.238501>

直接带隙 $\text{Ge}_{1-x}\text{Sn}_x$ 本征载流子浓度研究

Study on intrinsic carrier concentration of direct bandgap $\text{Ge}_{1-x}\text{Sn}_x$

物理学报.2014, 63(23): 238502 <http://dx.doi.org/10.7498/aps.63.238502>

对称三材料双栅应变硅金属氧化物半导体场效应晶体管二维解析模型

Two-dimensional analytical models for the symmetrical triple-material double-gate strained Si MOSFETs

物理学报.2014, 63(14): 148502 <http://dx.doi.org/10.7498/aps.63.148502>

90 nm 互补金属氧化物半导体静态随机存储器局部单粒子门锁传播效应诱发多位翻转的机理

Mechanism of multiple bit upsets induced by localized latch-up effect in 90 nm complementary metal semiconductor static random-access memory

物理学报.2014, 63(12): 128501 <http://dx.doi.org/10.7498/aps.63.128501>

SOI SiGe HBT 结构设计及频率特性研究

Structure design and frequency characteristics of SOI SiGe HBT

物理学报.2014, 63(11): 118501 <http://dx.doi.org/10.7498/aps.63.118501>

堆叠栅介质对称双栅单 Halo 应变 Si 金属氧化物 半导体场效应管二维模型*

辛艳辉¹⁾²⁾ 刘红侠^{1)†} 王树龙¹⁾ 范小娇¹⁾

1) (西安电子科技大学微电子学院, 宽禁带半导体材料与器件教育部重点实验室, 西安 710071)

2) (华北水利水电大学信息工程学院, 郑州 450045)

(2014年6月20日收到; 2014年8月14日收到修改稿)

提出了一种堆叠栅介质对称双栅单 Halo 应变 Si 金属氧化物半导体场效应管 (metal-oxide semiconductor field effect transistor, MOSFET) 新器件结构. 采用分区的抛物线电势近似法和通用边界条件求解二维泊松方程, 建立了全耗尽条件下的表面势和阈值电压的解析模型. 该结构的应变硅沟道有两个掺杂区域, 和常规双栅器件 (均匀掺杂沟道) 比较, 沟道表面势呈阶梯电势分布, 能进一步提高载流子迁移率; 探讨了漏源电压对短沟道效应的影响; 分析得到阈值电压随缓冲层 Ge 组分的提高而降低, 随堆叠栅介质高 k 层介电常数的增大而增大, 随源端应变硅沟道掺杂浓度的升高而增大, 并解释了其物理机理. 分析结果表明: 该新结构器件能够更好地减小阈值电压漂移, 抑制短沟道效应, 为纳米领域 MOSFET 器件设计提供了指导.

关键词: 应变 Si, 单 Halo, 对称双栅, 金属氧化物半导体场效应管**PACS:** 85.30.De, 85.30.Hi, 85.35.-p**DOI:** 10.7498/aps.63.248502

1 引言

当金属氧化物半导体场效应晶体管 (metal-oxide semiconductor field effect transistor, MOSFET) 的特征尺寸进入纳米领域时, 短沟道效应 (short channel effect, SCE)、漏致势垒降低效应 (drain induced barrier lowering, DIBL) 等成为超大规模集成电路 (ultra large scale integrate circuit, ULSI) 的严重限制性因素^[1,2]. 因此, 探索新型器件材料、研究新型器件结构、开发新型器件工艺, 以不断提高器件与集成电路的性能成为一项必须的选择. 双栅 MOSFET 是一种极具应用前景的器件^[3,4]. Chiage 和 Chen^[3] 研究表明: 双栅器件大大加强了栅压对沟道电场的控制能力, 表现出更为理想的亚阈值斜率, 减小漏致势垒的降低效应, 提高载流子的迁移率, 使其具有比单栅器件更优异的

性质. 为了进一步提高载流子输运效率, Reddy 和 Kumar^[5] 通过在沟道引入 Halo 掺杂降低关态截止电流, 并对 DIBL 有一定的抑制效果; Djeflal 等^[6] 提出了渐变沟道双栅器件, 在很大程度上抑制了短沟道效应, 减小了阈值电压降低幅度, 提高了亚阈特性. 而应变硅渐变沟道双栅器件尚未见报道. 近年来, 应变硅技术得到了越来越广泛的研究. 应变硅技术利用 Si 和 SiGe 材料的晶格失配产生张应变或压应变效应, 使应变 Si 中的电子和空穴的迁移率得到显著增强, 且工艺与常规的硅工艺有良好的兼容性^[7,8]. 已有研究表明, 沟道中引入应变, 载流子迁移率能够提高 35% 以上^[9]. 为了获得良好的器件性能, 文献^[10, 11] 选取高 k 材料代替传统的 SiO₂ 层作为栅介质层, 既能提高栅氧化层的物理厚度, 又能大大减小直接隧穿问题. 然而, 大多数高 k 材料的界面态密度较大, 与硅界面之间的界面态不

* 国家自然科学基金 (批准号: 61376099, 11235008) 和高等学校博士学科点专项科研基金 (批准号: 20130203130002, 20110203110012) 资助的课题.

† 通讯作者. E-mail: hxliu@mail.xidian.edu.cn

仅会使平带电压偏移、 C - V 特性畸变, 还会使载流子迁移率退化. 因此, 采用堆叠栅介质结构是一个很好的选择^[6].

综合上述优点, 首次提出了堆叠栅介质对称双栅单 Halo 应变 Si 金属氧化物半导体场效应管器件结构, 采用通用边界条件和分区的抛物线电势近似法求解二维泊松方程, 建立了全耗尽条件下的表面势和阈值电压二维模型. 假设应变沟道厚度 $t_{s-Si} \geq 10$ nm, 可以忽略器件的量子效应^[12]. 模型分析了弛豫 SiGe 层的 Ge 组分对阈值电压的影响; 堆叠栅介质高 k 层介电常数、源端应变硅沟道掺杂浓度等参数对阈值电压的影响; 阈值电压随弛豫 SiGe 层的 Ge 组分 X 的变化曲线; 在其他条件相同时, 将堆叠栅结构器件与常规 SiO₂ 栅介质结构器件的阈值电压以及阈值电压漂移进行了对比研究.

2 表面势模型

堆叠栅介质对称双栅单 Halo 应变 Si MOSFET 结构如图 1 所示, 沟道分为两个掺杂区域 I 和 II, 区域 I 为低掺杂区域, 掺杂浓度用 N_{AL} 表示, 区域 II 为高掺杂区域, 掺杂浓度用 N_{AH} 表示, 其中, 区域 I 的长度 L_1 , 沟道长度为 L , 应变硅沟道的厚度为 t_{s-Si} . 栅介质为 SiO₂ 氧化层和高 k 介质层的双层堆叠栅介质. 其中, t_1 是 SiO₂ 氧化层的厚度, t_2 是高 k 介质层的厚度.

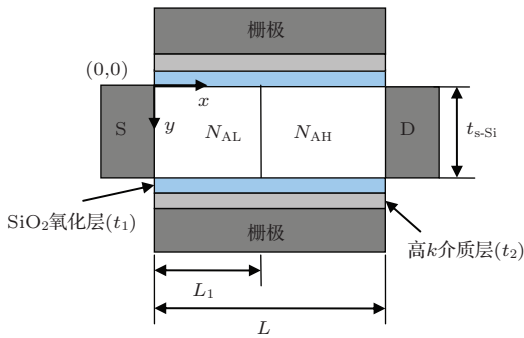


图 1 堆叠栅介质对称双栅单 Halo 应变 Si MOSFET

在应变硅膜为全耗尽的条件下, 沟道中电势分布满足二维泊松方程:

$$\frac{\partial^2 \phi_1(x, y)}{\partial x^2} + \frac{\partial^2 \phi_1(x, y)}{\partial y^2} = \frac{qN_{AL}}{\epsilon_{Si}} \quad (0 \leq x \leq L_1, 0 \leq y \leq t_{s-Si}), \quad (1)$$

$$\frac{\partial^2 \phi_2(x, y)}{\partial x^2} + \frac{\partial^2 \phi_2(x, y)}{\partial y^2}$$

$$= \frac{qN_{AH}}{\epsilon_{Si}} \quad (L_1 \leq x \leq L_2, 0 \leq y \leq t_{s-Si}). \quad (2)$$

根据 Young 模型^[13], 漏压比较小时, $\phi_1(x)$ 和 $\phi_2(x)$ 的纵向电势采用抛物线近似,

$$\phi_j(x, y) = \phi_{Sj}(x) + C_{j1}(x)y + C_{j2}(x)y^2 \quad (j = 1, 2). \quad (3)$$

$\phi_{Sj}(x)$ 为应变 Si 沟道两个不同掺杂区域的正面表面电势; $C_{j1}(x)$, $C_{j2}(x)$ 是仅与 x 有关的函数. 由于结构对称, 在两个区域里分别求解泊松方程, 边界条件如下:

1) 硅层正面与前栅栅介质层的电通量连续, 得

$$\left. \frac{d\phi_j(x, y)}{dy} \right|_{y=0} = \frac{\epsilon_{ox} \phi_j(x, 0) - V'_{GSj}}{\epsilon_{Si} t_f} \quad (j = 1, 2), \quad (4)$$

这里, $V'_{GSj} = V_{GS} - (V_{FB,fj})_{s-Si}$. 式中 V'_{GSj} 为两个掺杂区域前栅的有效栅压, V_{GS} 为栅源电压, $(V_{FB,fj})_{s-Si}$ 为金属栅和两个不同掺杂区域之间的平带电压, ϵ_{ox} 是栅氧化层 SiO₂ 的介电常数, t_f 是 SiO₂ 氧化层和高 k 介质层的有效栅介质厚度, $t_f = t_1 + \frac{\epsilon_{ox}}{\epsilon_f} t_2$, ϵ_f 为高 k 介质层的介电常数. 在双轴张应变作用下, 应变硅的导带分裂, 使 Si 的电子亲和能增加, 使禁带宽度和载流子的有效质量减小. 考虑到应变^[14,15], 结合 Halo 掺杂沟道结构的特点, 对应变 Si 沟道两个掺杂区域和金属栅之间的平带电压进行修正:

$$(V_{FB,fj})_{s-Si} = (V_{FB,fj})_{Si} + \Delta V_{FB,fj} \quad (j = 1, 2),$$

$$(V_{FB,fj})_{Si} = \phi_M - \phi_{Si j}$$

$$= \phi_M - \left(\frac{\chi_{Si}}{q} + \frac{E_{g,Si}}{2q} + V_T \ln \left(\frac{N_j}{n_{i,Si}} \right) \right)$$

$$(j = 1, 2, N_1 = N_{AL}, N_2 = N_{AH}),$$

$$\Delta V_{FB,fj} = \Delta V_{FB,f}$$

$$= \frac{-(\Delta E_C)_{s-Si}}{q} + \frac{(\Delta E_g)_{s-Si}}{q}$$

$$- V_T \ln \left(\frac{N_{V,Si}}{N_{V,s-Si}} \right) \quad (j = 1, 2),$$

$$(\Delta E_C)_{s-Si} = 0.57X,$$

$$(\Delta E_g)_{s-Si} = 0.4X,$$

$$V_T \ln \left(\frac{N_{V,Si}}{N_{V,s-Si}} \right) = V_T \ln \left(\frac{m_{h,Si}^*}{m_{h,s-Si}^*} \right)^{3/2}$$

$$\approx 0.075X,$$

其中 X 是弛豫 SiGe 层中 Ge 组分; $N_{V,Si}$, $N_{V,s-Si}$ 分别为体硅和应变硅的价带态密度 (DOS); V_T 为热电压; $E_{g,Si}$ 为体硅材料的禁带宽度; $m_{h,Si}^*$, $m_{h,s-Si}^*$ 分别为体硅和应变硅的空穴有效质量.

2) 表面势和电场在两个区的交界处连续, 得

$$\phi_1(L_1, 0) = \phi_2(L_1, 0), \quad (5)$$

$$\left. \frac{d\phi_1(x, y)}{dx} \right|_{x=L_1} = \left. \frac{d\phi_2(x, y)}{dx} \right|_{x=L_1}. \quad (6)$$

3) 源端、漏端的表面势分别为

$$\phi_1(0, 0) = \phi_{S1}(0) = V_{bi,s-Si}, \quad (7)$$

$$\phi_2(L_2, 0) = \phi_{S2}(L_2) = V_{bi,s-Si} + V_{DS}. \quad (8)$$

应变使 Si 的能带发生了变化, 将应变 Si 的内建电势 $V_{bi,s-Si}$ 进行修正 [14,15]:

$$\begin{aligned} V_{bi,s-Si} &= V_{bi,Si} + (\Delta V_{bi})_{s-Si}, \\ V_{bi,Si} &= \frac{E_{g,Si}}{2q} + \phi_{F,Si} \\ &= \frac{E_{g,Si}}{2q} + V_T \ln \left(\frac{N_{AL}}{n_{i,Si}} \right), \\ (\Delta V_{bi})_{s-Si} &= \frac{-(\Delta E_g)_{s-Si}}{q} \\ &\quad - V_T \ln \left(\frac{N_{V,Si}}{N_{V,s-Si}} \right), \end{aligned}$$

其中, $\phi_{F,Si}$ 为体硅材料的费米电势; $n_{i,Si}$ 为体硅的本征掺杂浓度.

通过边界条件 (4) 及对称特点

$$\left. \frac{d\phi_j(x, y)}{dy} \right|_{y=\frac{1}{2}t_{s-Si}} = 0,$$

可得二维沟道电势的表达式:

$$\begin{aligned} \phi_j(x) &= \phi_{sj}(x) + \frac{\varepsilon_f}{\varepsilon_{Si}} \cdot \frac{\phi_{sj}(x) - V'_{GSj}}{t_f} \cdot y \\ &\quad + \frac{\varepsilon_f}{\varepsilon_{Si}} \cdot \frac{V'_{GSj} - \phi_{sj}(x)}{t_f \cdot t_{s-Si}} \cdot y^2. \end{aligned} \quad (9)$$

将其分别代入 (1) 和 (2) 式可得

$$\frac{d^2\phi_{Sj}(x)}{dx^2} - \frac{1}{\lambda^2}\phi_{Sj}(x) = D_j \quad (j = 1, 2), \quad (10)$$

其中,

$$\begin{aligned} \lambda^2 &= \frac{\varepsilon_{Si}t_f t_{s-Si}}{2\varepsilon_{ox}}, \\ D_j &= \frac{qN_j}{\varepsilon_{Si}} - \frac{1}{\lambda^2}V'_{GSj} \quad (j = 1, 2). \end{aligned}$$

方程 (10) 为二阶常微分方程, 其解的形式如下:

$$\phi_{Sj}(x) = A_j \exp(x/\lambda) + B_j \exp(-x/\lambda)$$

$$- \lambda^2 D_j \quad (j = 1, 2). \quad (11)$$

由边界条件 (5), (6), (7), (8) 式可得二阶常微分方程解的系数 A_j , B_j 的表达式, 从而得到表面势模型:

$$A_1 = \frac{V_2 - V_1 e^{-L/\lambda} + V_3 \cosh((L - L_1)/\lambda)}{2 \sinh(L/\lambda)},$$

$$B_1 = \frac{-V_2 + V_1 e^{L/\lambda} - V_3 \cosh((L - L_1)/\lambda)}{2 \sinh(L/\lambda)},$$

$$A_2 = A_1 - \frac{V_3}{2} \cdot e^{-L_1/\lambda},$$

$$B_2 = B_1 - \frac{V_3}{2} \cdot e^{L_1/\lambda},$$

其中,

$$V_1 = \lambda^2 D_1 + V_{bi,s-Si},$$

$$V_2 = \lambda^2 D_2 + V_{bi,s-Si} + V_{DS},$$

$$V_3 = \lambda^2 (D_1 - D_2).$$

由于

$$N_{AL} < N_{AH},$$

$$\phi_{S \min} = \min(\phi_{S1 \min}, \phi_{S2 \min}) = \phi_{S1 \min},$$

由 (11) 式,

$$\left. \frac{d\phi_{S1}(x)}{dx} \right|_{x=x_{1 \min}} = 0,$$

可得前沟道最小表面势及其位置:

$$\phi_{S1 \min} = -\lambda^2 D_1 + 2\sqrt{A_1 B_1}, \quad (12)$$

$$x_{1 \min} = \lambda \ln(B_1/A_1)/2. \quad (13)$$

3 阈值电压模型

在全耗尽 SOI MOSFET 中, 阈值电压定义为 $\phi_{S \min} = 2\phi_{F,Si}$ 时的栅源电压. 考虑到应变 [14,15], 前栅表面势的最小值修正为

$$\phi_{S \min} = 2\phi_{F,Si} + \Delta\phi_{s-Si} = \phi_{th}, \quad (14)$$

其中,

$$\phi_{F,Si} = V_T \ln \left(\frac{N_{AL}}{n_{i,Si}} \right),$$

$$\Delta\phi_{s-Si} = \frac{-(\Delta E_g)_{s-Si}}{q} + V_T \ln \left(\frac{N_{V,Si}}{N_{V,s-Si}} \right).$$

把 (14) 式代入 (12) 式得到阈值电压解析式:

$$V_{th} = \frac{-b + \sqrt{b^2 - 4ac}}{2a}, \quad (15)$$

$$a = 2 \cosh(L/\lambda) - \sinh^2(L/\lambda) - 2,$$

$$\begin{aligned}
 b &= (e^{-L/\lambda} - 1) \cdot V_4 + (1 - e^{L/\lambda}) \cdot V_5 \\
 &\quad + 2(\lambda^2 U_1 + \phi_{th}) \cdot \sinh^2(L/\lambda), \\
 c &= V_4 \cdot V_5 - (\lambda^2 U_1 + \phi_{th})^2 \cdot \sinh^2(L/\lambda), \\
 V_4 &= -(V_{bi,s-Si} + V_{DS} + \lambda^2 U_2) \\
 &\quad + (V_{bi,s-Si} + \lambda^2 U_1) \cdot e^{L/\lambda} \\
 &\quad - \lambda^2 (U_1 - U_2) \cdot \cosh((L - L_1)/\lambda), \\
 V_5 &= (V_{bi,s-Si} + V_{DS} + \lambda^2 U_2) \\
 &\quad - (V_{bi,s-Si} + \lambda^2 U_1) \cdot e^{-L/\lambda} \\
 &\quad + \lambda^2 (U_1 - U_2) \cdot \cosh((L - L_1)/\lambda), \\
 U_j &= \frac{qN_j}{\epsilon_{Si}} + \frac{1}{\lambda^2} \cdot V_{FB,fj} \quad (j = 1, 2).
 \end{aligned}$$

4 模型分析与讨论

对文中提出的表面势和阈值电压模型进行了分析和讨论. 栅极采用金属材料TiN, 高k介质层选取高k材料HfO₂, 模型及参数选择如表1所示.

表1 所用模型及参数

参数	值
栅极金属功函数 (ϕ_M/eV)	4.77
栅源电压 (V_{GS}/V)	0.3
漏源电压 (V_{DS}/V)	0.2
区域I的掺杂浓度 (N_{AL}/cm^{-3})	10^{15}
区域II的掺杂浓度 (N_{AH}/cm^{-3})	5×10^{16}
源漏掺杂浓度 (N_D/cm^{-3})	10^{20}
二氧化硅的介电常数 (ϵ_{ox})	3.9
应变硅的介电常数 (ϵ_{Si})	11.9
高k介质的介电常数 (ϵ_f)	20
SiO ₂ 氧化层的厚度 (t_1/nm)	0.5
高k介质层的厚度 (t_2/nm)	1, 2, 3
应变硅沟道的厚度 (t_{s-Si}/nm)	10
区域I的长度 (L_1/nm)	20
沟道长度 (L/nm)	50
弛豫SiGe层的Ge组分X	0, 0.2, 0.4

图2给出了 $L = 50$ nm, $L_1 = 20$ nm, Ge组分 $X = 0.2$ 时, 对称双栅 Halo 器件 (DGH: $N_{AL} = 10^{15} \text{ cm}^{-3}$, $N_{AH} = 5 \times 10^{16} \text{ cm}^{-3}$) 的表面势变化曲线, 作为比较同时给出了相同条件下常规双栅器件 (DG: $N_{AL} = N_{AH} = 10^{15} \text{ cm}^{-3}$) 表面势的变化曲线. 和 DG 器件相比, DGH 器件在沟道掺杂区域

交界处, 有明显的电势阶梯分布, 使载流子的输运速度大为提高, 表面势最低点位于 N_{AL} 区.

图3描述了不同的漏源电压偏置下, 阈值电压随栅长 L 的变化. 可以看出, 沟长小于 40 nm 以下时, 随着漏源电压的增大, 阈值电压明显下降, 因此短沟道效应变得更加明显. 可见, 漏源电压 V_{DS} 较小时, 能较好地抑制短沟道效应.

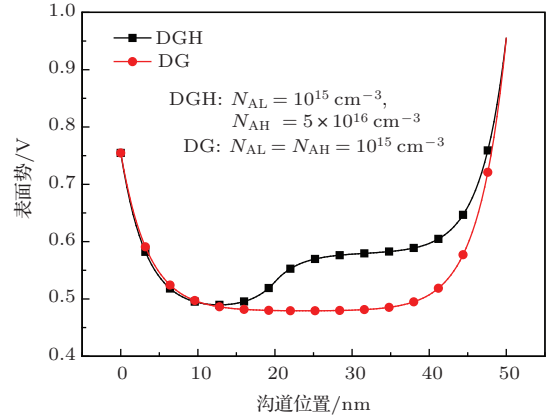


图2 对称双栅 Halo(DGH) 和常规双栅 (DG) 器件表面势沿沟道的曲线

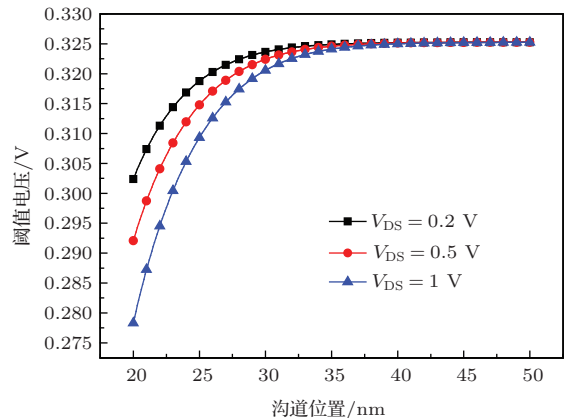


图3 漏源电压 V_{DS} 不同, 阈值电压 V_{th} 随栅长 L 的变化 ($X = 0.2$)

图4描述了 Ge 组分 X 不同, 堆叠栅介质器件 ($\epsilon_f = 20$) 和 SiO₂ 栅介质器件 (当 $\epsilon_f = 3.9$ 时, 堆叠栅介质就蜕化为普通的 SiO₂ 栅介质) 的阈值电压随栅长的变化曲线. 可以看出, 在特定沟道长度下, 应变量越大, 阈值电压越低. 随应变的增加, 阈值电压有明显的线性的降落. 这是由于弛豫层中 Ge 组分增加, 应变 Si 应变加强, 禁带宽度进一步减小, ΔE_C 增大, 本征载流子浓度和沟道电子面密度均提高, 从而导致阈值电压减小. 当沟道长度小于 30 nm 时, 阈值电压随沟道长度的减小有明显的降落, 表现出比较严重的短沟道效应. 这主要是由于

栅源/漏电荷共享, 源端和漏端的耗尽区占沟道的比重越来越大.

图5给出了掺杂浓度 N_{AL} 不同时, 堆叠栅介质器件 ($\epsilon_f = 20$) 和 SiO_2 栅介质器件 ($\epsilon_f = 3.9$) 的阈值电压随 Ge 组分的变化曲线 ($0 < X < 0.5$). 从图5可以看出, 在 Ge 组分和栅介电常数一定时, 阈值电压随沟道掺杂浓度 N_{AL} 的升高而增大. 这是由于 N_{AL} 区沟道掺杂浓度较大, 电离受主的影响使得沟道内反型载流子面密度减小, 导致阈值电压变大. 从图4和图5都能看出, 在其他条件相同的条件下, 堆叠栅介质器件的阈值电压比 SiO_2 栅介质器件的阈值电压大. 这是由于栅绝缘介质介电常数的增加使栅介质层的物理厚度增加, 所以随着高 k 介质层介电常数的增大, 阈值电压增大. 堆叠栅介质器件比 SiO_2 栅介质器件表现出较好的 SCE 的抑制能力.

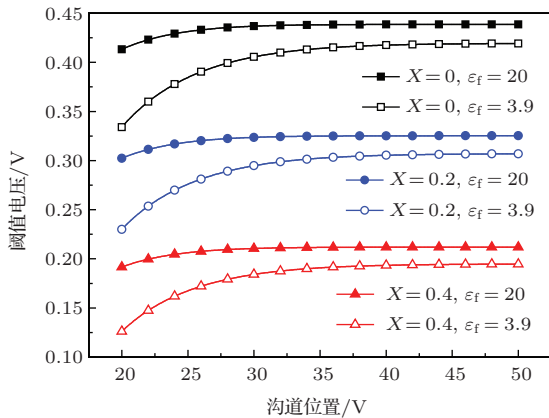


图4 Ge组分 X 和高 k 介质层介电常数不同时, 阈值电压 V_{th} 随栅长 L 的变化

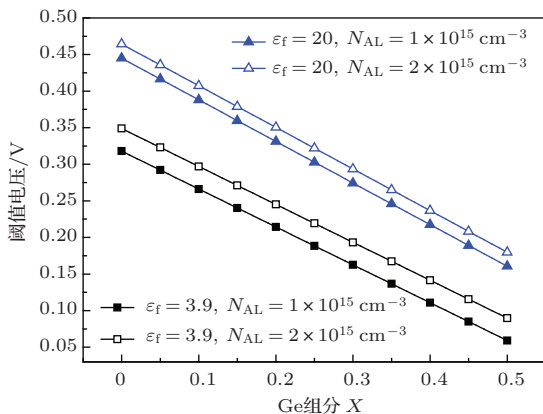


图5 N_{AL} 和高 k 介质层介电常数不同时, 阈值电压 V_{th} 随 Ge 组分 X 的变化

图6给出了阈值电压的漂移曲线. 这里的阈值电压漂移定义为该新器件结构的短沟道阈值电压

与沟长 100 nm 的阈值电压的偏离. 可以看出, 阈值电压漂移随栅介电常数的增加而减小, 在栅长大于 40 nm 时两者的漂移量几乎趋近于零. 由于栅控能力的增强, 堆叠栅介质器件结构比常规栅介质器件结构有减小的阈值电压漂移. 因此, 堆叠栅介质器件结构能更好地抑制短沟道效应.

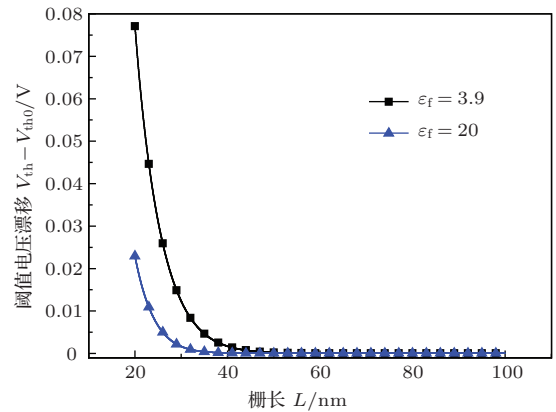


图6 高 k 介质层介电常数不同时, 阈值电压漂移随栅长 L 的变化

5 结 论

基于精确的二维泊松方程, 求解了堆叠栅介质对称双栅单 Halo 应变 Si 金属氧化物半导体场效应管器件结构的二维模型. 研究结果表明, 由于 Halo 沟道掺杂的特点, 沟道存在明显的电势阶梯分布; 阈值电压随沟道掺杂浓度 N_{AL} 和栅介质介电常数的增加而增加, 随弛豫 Ge 组分的增加而下降; 堆叠栅介质比常规栅介质能更好地抑制阈值电压漂移和短沟道效应. 随着集成电路集成度的不断提高, MOS 器件的特征尺寸进入到纳米领域, 堆叠栅介质对称双栅单 Halo 应变 Si 金属氧化物半导体场效应管新器件结构有很好的应用前景.

参考文献

- [1] Li Y, Chou H M 2005 *IEEE Trans. Nanotechnol.* **4** 645
- [2] Saxena M, Haldar S, Gupta M, Gupta R S 2004 *Solid State Electron.* **48** 1167
- [3] Chiage T K, Chen M L 2007 *Solid State Electron* **51** 387
- [4] Lin G J, Lai H K, Li C, Chen S Y, Yu J Z 2008 *Chin. Phys. B* **17** 3479
- [5] Reddy G V, Kumar M J 2004 *Microelectr. J.* **35** 761
- [6] Djeflal F, Meguellati M, Benhaya A 2009 *Physica E* **41** 1872
- [7] Wang X Y, Zhang H M, Song J J, Ma J L, Wang G Y, An J H 2011 *Acta Phys. Sin.* **60** 077205 (in Chinese) [王

- 晓艳, 张鹤鸣, 宋建军, 马建立, 王冠宇, 安久华 2011 物理学报 **60** 077205]
- [8] Li J, Liu H X, Li B, Cao L, Yuan B 2010 *Acta Phys. Sin.* **59** 8131 (in Chinese) [李劲, 刘红侠, 李斌, 曹磊, 袁博 2010 物理学报 **59** 8131]
- [9] Kumar M, Dubey S, Tiwri P K, Jit S 2013 *J.Compt.Electron.* **12** 20
- [10] Tezuka T, Sugiyama N 2003 *IEEE Trans. Electron Dev.* **50** 1328
- [11] Liu X Y, Kang J F, Sun L 2002 *IEEE Electron Lett.* **23** 270
- [12] Hamid H A E, Guitart J R, Iniguez B 2007 *IEEE Trans. Electron Dev.* **54** 1402
- [13] Young K K 1989 *IEEE Trans. Electron Dev.* **36** 399
- [14] Kummer M J, Venkataraman V, Nawal S 2006 *IEEE Trans. Electron Dev.* **53** 364
- [15] Venkataraman V, Nawal S, Kummer M J 2007 *IEEE Trans. Electron Dev.* **54** 554

Two-dimensional model of symmetrical double-gate strained Si single Halo metal-oxide semiconductor field effect transistor with gate stack dielectric*

Xin Yan-Hui¹⁾²⁾ Liu Hong-Xia^{1)†} Wang Shu-Long¹⁾ Fan Xiao-Jiao¹⁾

1) (Key Laboratory for Wide Band Gap Semiconductor Materials and Devices of Ministry of Education, School of Microelectronics, Xidian University, Xi'an 710071, China)

2) (Department of Information and Engineering, North China University of Water Resources and Electric Power, Zhengzhou 450045, China)

(Received 20 June 2014; revised manuscript received 14 August 2014)

Abstract

In this paper, a novel symmetrical double-gate strained Si single Halo metal-oxide semiconductor field effect transistor with gate stack dielectric is proposed. The two-dimensional Poisson's equation is solved under suitable boundary condition by applying the parabolic potential approximation. This analytical model for the surface potential and the threshold voltage is derived. The strained Si channel is divided into two different doping regions, and the surface potential along the channel, compared with the normal double-gate device (uniform doping channel), exhibits a stepped potential variation, which can increase carrier transport speed. The influence of drain-source voltage on short channel effects (SCEs) is discussed. It is shown that threshold voltage decreases with Ge mole fraction increasing in buffer layer, increases with the increase of the high-k layer dielectric permittivity of gate stack, and increases with the increase of doping concentration in the channel near the source, of which the physical mechanisms are analyzed and explained. Results show that the novel device can suppress threshold voltage drift and SCEs, which provides the basic guidance for designing the CMOS-based devices in nanometer scale.

Keywords: strained Si, single Halo, symmetrical double-gate, metal-oxide semiconductor field effect transistor

PACS: 85.30.De, 85.30.Hi, 85.35.-p

DOI: 10.7498/aps.63.248502

* Project supported by the National Natural Science Foundation of China (Grant Nos. 61376099, 11235008) and the Specialized Research Fund for the Doctoral Program of Higher Education, China (Grant Nos. 20130203130002, 20110203110012).

† Corresponding author. E-mail: hxliu@mail.xidian.edu.cn