

温度改变对钛氧化物忆阻器导电特性的影响*

徐晖 田晓波[†] 步凯 李清江

(国防科学技术大学电子科学与工程学院, 长沙 410073)

(2013年12月13日收到; 2014年1月13日收到修改稿)

相同测试条件下, 纳米钛氧化物忆阻器的导电过程存在不稳定性, 制约了对器件瞬态阻抗的精确读取与控制, 并影响了器件应用于电路设计的可靠性与稳定性. 杂质漂移与隧道势垒的共存是导致上述不稳定性的可能因素, 且杂质漂移特性与环境温度密切相关. 然而, 目前尚无通过控制温度提高忆阻器导电稳定性的具体研究. 基于杂质漂移与隧道势垒共存, 本文分析了温度与忆阻器导电特性的关联, 研究了器件活跃区域厚度及初始掺杂层厚度的改变对临界温度的影响, 利用 SPICE 软件进行了仿真验证并给出结果, 得出提高忆阻器导电稳定性的方法有: 增大活跃区域厚度、降低初始杂质浓度及保持环境温度稳定且低于临界温度, 从而为制备性能稳定的忆阻器及推动器件在实际电路中的应用提供依据.

关键词: 忆阻器, 温度, 杂质漂移, 隧道势垒

PACS: 84.32.-y, 89.20.Ff, 84.37.+q, 85.35.-p

DOI: 10.7498/aps.63.098402

1 引言

1971年, Chua 研究了四种基本电路变量之间的关系, 预测了电荷与磁通量之间的关系对应一种尚未发现的基本电路元件——忆阻器^[1]. 2008年, Strukov 等成功制成了世界首个钛氧化物忆阻器^[2], 该器件是理论忆阻器的一种具体实现形式, 是具有电荷记忆性的纳米器件. 钛氧化物忆阻器的出现标志着相关研究从理论阶段进入物理实验阶段. 忆阻器在人工神经网络^[3], 模拟电路与数字电路^[4-6], 混沌电路^[7-9]等领域的应用价值已得到证实. 当前, 研究的热点主要集中在导电机理, 建模仿真及电路特性等. 最近, Fang 等^[10]基于忆阻值与状态变量之间的关系提出了一种磁控单极性忆阻器件的 SPICE 模型. Tian 等^[11]构建了一种忆阻器瞬态阻抗精确读取控制电路, 并利用该电路构建了通频带参数可调的模拟滤波器. 李智炜等^[12]研究了不同初态对单极性忆阻开关元件中逾渗导电通道形成的影响.

已报道实验数据^[13-15]表明钛氧化物忆阻器

具有不稳定的导电特性, 具体表现为相同测试条件下多组 $V-I$ 曲线间存在的互不重合现象. 该特性制约了对器件瞬态阻抗的精确读取与控制, 并影响了忆阻器应用于电路设计的可靠性与稳定性, 制约了该类器件的实际应用. 因此, 从导电机理的角度解释并力图避免上述不稳定性是当前研究的热点问题之一. Strukov 等^[2]利用杂质漂移理论描述了钛氧化物忆阻器中掺杂层与非掺杂层瞬态阻抗的变化过程及电荷记忆性原理. Pickett 等^[16]通过电成型生成了忆阻器, 并发现器件中钛氧化物与金属铂电极接触面具有非对称性, 据此通过隧道势垒机理描述了忆阻器的导电过程. Tian 等^[17]利用一种非线性杂质漂移与隧道势垒并联共存的导电模型验证了两种机理在忆阻器中共存的可能性, 并基于此初步解释了实测数据中出现的器件导电不稳定性. 依据对杂质漂移与隧道势垒共存情况的讨论, 当器件的导电过程是杂质发生漂移与隧道势垒导电的叠加时, 由于在相同偏置电压下上述两种导电过程呈现不同的稳定性, 因此叠加后器件整体表现为不稳定. 隧道势垒导电相对稳定, 因此杂质漂移可视

* 国家自然科学基金(批准号: 61171017, F010505)资助的课题.

[†] 通讯作者. E-mail: txiaobo1985@gmail.com

为干扰因素, 减弱或消除杂质漂移的影响则成为提高器件稳定性的关键.

Mladenov 等^[18]的研究表明环境温度的改变导致钛氧化物中杂质移动性等参数发生变化, 并定量描述了温度与杂质移动性等参数的关联. 由此推断, 温度的改变对杂质漂移过程构成影响, 从而可能改变杂质漂移与隧道势垒共存下忆阻器的导电特性. 然而, 尚无相关具体研究从控制温度对器件特性影响的角度避免或降低器件导电的不稳定性, 制约了忆阻器制备及在实际电路设计中的应用. 据此, 本文分析了温度与导电机理间的关联, 研究了上述机理共存情况下温度改变对忆阻器导电特性的影响, 并在 SPICE 软件中进行了仿真验证, 给出了结果. 研究了忆阻器活跃区域厚度及初始掺杂层厚度的改变对临界温度的影响, 并基于此, 提出了提高器件导电稳定性的方法. 为制备具有优良性能的忆阻器及提升器件在实际应用中的性能提供依据.

2 钛氧化物忆阻器导电机理

2.1 杂质漂移理论

Strukov 等^[2]实现的首个钛氧化物忆阻器本质上是一种瞬态阻抗受电荷控制的器件, 基本结构如图 1 所示. 活跃区域由包含掺杂层及非掺杂层的钛氧化物层组成, 厚度分别为 $w(t)$ 与 $D - w(t)$. D 表示活跃区域厚度. 活跃区域两端与金属铂电极相邻. 掺杂层由含氧空缺或氧离子的钛氧化物 $TiO_{2\pm x}$ 组成. 当氧元素过剩时, 钛元素与氧元素的比例为 $1 : 2 + x$; 当氧元素不足时, 钛元素与氧元素的比例为 $1 : 2 - x$. x 的取值取决于参加化学反应的钛元素与氧元素的比例. 由于氧离子与氧空缺均为带电荷的杂质, 因此掺杂层导电性较强. 非掺杂层由不含氧空缺或氧离子的钛氧化物 TiO_2 组成, 钛元素与氧元素的比例为 $1 : 2$, 每个钛离子均与两个氧离子形成离子键, 因此不存在游离的杂质, 该层导电性较弱.

依据电阻的定义, 某材料的阻抗 R 取决于其长度 L 、电阻率 ρ 及横截面积 S , 即

$$R = \rho \frac{L}{S}. \quad (1)$$

由于掺杂层与非掺杂层具有相同的横截面积, 因此每层的瞬态阻抗与其厚度成正比, 分别为

$$R_{\text{doped}} = R_{\text{ON}} \frac{w(t)}{D}, \quad (2)$$

$$R_{\text{undoped}} = R_{\text{OFF}} \left(1 - \frac{w(t)}{D}\right), \quad (3)$$

其中, R_{doped} 与 R_{undoped} 分别表示掺杂层与非掺杂层的瞬态阻抗. R_{ON} 与 R_{OFF} 分别表示当 $w(t) = D$ 及 $w(t) = 0$ 时活跃区域的瞬态阻抗. 因此, 依据欧姆定律, 活跃区域的瞬态阻抗 R_M 为

$$R_M = \frac{w(t)}{D} R_{\text{ON}} + \left(1 - \frac{w(t)}{D}\right) R_{\text{OFF}}. \quad (4)$$

当对忆阻器两端电极施加偏置电压 $v(t)$ 时, 掺杂层内部游离的杂质在外加电场的作用下发生定向漂移, 使得部分杂质进入非掺杂层, 从而改变了掺杂层与非掺杂层的厚度. 当断开 $v(t)$ 时, 外加电场消失, 杂质的定向漂移随之停止, R_M 保持不变并记录移去外加电场时的取值.

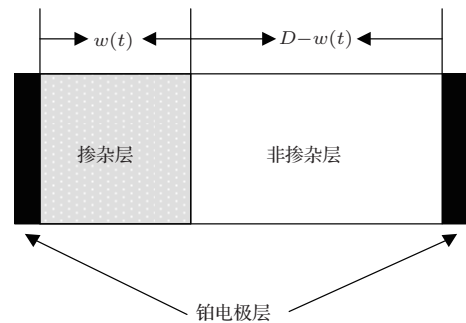


图 1 钛氧化物忆阻器结构示意图

依据文献^[18], 温度与 R_{ON} 及 R_{OFF} 的关系为

$$R_{\text{OFF}} = \alpha T^{-5.72}, \quad (5)$$

$$R_{\text{ON}} = \beta T^{-6}, \quad (6)$$

其中, $\alpha = 2.06 \times 10^{18}$, $\beta = 6.33 \times 10^{16}$, T 为热力学温度, 与摄氏温度 T_C 的关系为 $T = T_C + 273.15$. 依据 (4), (5), (6) 式, 忆阻器活跃区域的瞬态阻抗与温度的关系为

$$R_M = \frac{\beta w(t)}{D} T^{-6} + \alpha \left(1 - \frac{w(t)}{D}\right) T^{-5.72}. \quad (7)$$

$v(t)$, R_M 及流经忆阻器的电流 $i(t)$ 之间满足欧姆定律

$$v(t) = R_M i(t). \quad (8)$$

线性杂质漂移情况下, 掺杂层厚度随时间的变化率与平均杂质移动性 μ_v , $i(t)$ 及 R_{ON} 成正比, 与 D 成反比^[2]:

$$\frac{dw(t)}{dt} = \mu_v \frac{R_{\text{ON}}}{D} i(t). \quad (9)$$

当掺杂层与非掺杂层间的分界面移至金属电极附近 ($w = 0$ 或 $w = D$) 时, 外加电场的作用导致

分界面的移动受到抑制, 掺杂层厚度随时间的变化率降低. 文献[2]通过对(9)施加窗函数

$$F(w) = \frac{w(D-w)}{D^2}, \quad (10)$$

给出了非线性杂质漂移情况下掺杂层厚度随时间的变化率:

$$\frac{dw(t)}{dt} = F(w)\mu_v \frac{R_{ON}}{D} i(t). \quad (11)$$

依据文献[18], 温度与 μ_v 的关系为

$$\mu_v = \gamma T^{17}(aT + b), \quad (12)$$

其中, $\gamma = 1 \times 10^{-54}$, $a = -5 \times 10^{-4}$, $b = 0.2394$, 则温度与掺杂层厚度随时间的变化率之间的关系为

$$\frac{dw(t)}{dt} = F(w)\beta\gamma T^{11} \frac{(aT + b)}{D} i(t). \quad (13)$$

依据(7), (13)式, 忆阻器瞬态阻抗随温度的升高而降低, 掺杂层与非掺杂层之间分界面的移动速度随温度的升高而升高. 以上分析表明, 温度与忆阻器瞬态阻抗及分界面移动速度相关, 温度改变将影响器件的导电特性.

2.2 隧道势垒理论

在逐层制备法的基础上, Pickett等[16]利用电成型方法生成钛氧化物忆阻器, 在实验研究中发现钛氧化物与铂电极接触面的导电具有非对称性, 并利用隧道势垒与导电通道的串联电路模拟了忆阻器的导电过程.

图2所示为经过电成型后生成的忆阻器结构, 该结构由导电通道、隧道势垒及含微量杂质的二氧化钛组成[16]. 电成型的过程如下: 通过电极对器件施加电压 $v_s(t)$, 该电压在5 ms内由0 V升至6 V, 使得部分含微量杂质的二氧化钛形成氧空缺, 并在顶端电极与二氧化钛的接触面形成厚度为 δ 的隧道势垒. 含有氧空缺的部分称为导电通道, 与隧道势垒串联且具有较好导电性, 因此可等效为定值电阻 R_S . 未形成氧空缺的部分仍含有微量杂质.

电成型后, 隧道势垒的厚度受偏置电压的控制, 并影响器件的瞬态阻抗. 基于矩形势垒的Simmons伏安关系, 文献[16]的补充材料进一步描述了忆阻器导电过程中施加在隧道势垒与导电通道的偏置电压、电流及隧道势垒厚度等参数之间的数学关系. 目前, 尚未发现关于温度对隧道势垒导电特性影响的具体报道.

在相同测试条件下, 忆阻器实测 $V-I$ 曲线[13,19]普遍存在不稳定性, 且多组曲线间互不重合. 基于上述实验现象, 文献[17]从杂质漂移与隧道势垒共存的角度研究了忆阻器的不稳定性, 构建了两种机理并联共存的混合导电模型, 并将仿真结果与实测数据对比, 从而验证了两种机理共存的可能性. 研究表明, 相对于杂质漂移或隧道势垒单独存在的情况, 共存能够更准确的解释实测数据中存在的稳定性. 然而, 文献[17]并未从温度改变的角度研究两种机理的共存及提高器件导电稳定性的方法.

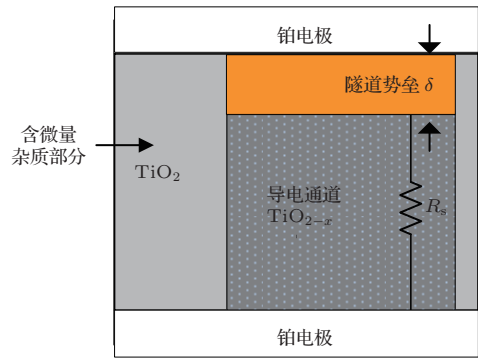


图2 利用电成型生成的钛氧化物忆阻器结构示意图

3 温度改变对忆阻器导电特性的影响

依据(7), (12)式, 杂质漂移与隧道势垒共存的情况下, 温度升高导致忆阻器中含微量杂质部分的瞬态阻抗减小, 杂质的漂移能力提高. 因此可推断, 温度的升高将加剧杂质的漂移, 并降低器件导电的稳定性. 此外, 含微量杂质部分的瞬态阻抗与活跃区域厚度及初始掺杂层厚度相关, 因此可推断, 温度、活跃区域厚度及初始掺杂层厚度之间存在一定的关联. 本文采用仿真的方式对上述推测进行了验证.

仿真采用的软件为PSPICE 10.5, 模型为并联混合导电模型[17]. 仿真电路[20]如图3所示, 其中, 忆阻器等效于电极部分与活跃区域的串联. $v(t)$ 为外加偏置电压源, $i_{mem}(t)$ 为流经忆阻器活跃区域的电流, i_{dd} 为流经含微量杂质部分的电流, i_{tb} 为流经隧道势垒的电流. R_{top} 与 R_{bottom} 分别表示顶端电极与底端电极, R_{doped} 与 $R_{undoped}$ 分别表示掺杂层与非掺杂层, G_{tb} 为电流控制的电流源, 用于模拟隧道势垒, R_S 表示导电通道.

依据文献[20]设置隧道势垒与导电通道的仿

真参数, 依据 (5), (6), (10), (13) 式设置含微量杂质的二氧化钛部分的仿真参数. 采用正负交替的三角波作为偏置电压^[21], 正半周期峰值为 6.0 V, 负半周期峰值为 3.0 V, 偏置电压的周期为 $T_{\text{period}} = 6$ s. 依据文献^[17], 仿真时间设置为 $T_{\text{span}} = 3T_{\text{period}}$,

最大仿真时间步长设置为 $\Delta T = 1$ ms. 电压绝对精度设置为 $v_{\text{ntol}} = 10^{-7}$ V, 电流绝对精度设置为 $i_{\text{abstol}} = 1$ A. 根据控制变量的原则, 分别对活跃区域厚度及初始掺杂层厚度改变的情况进行仿真验证.

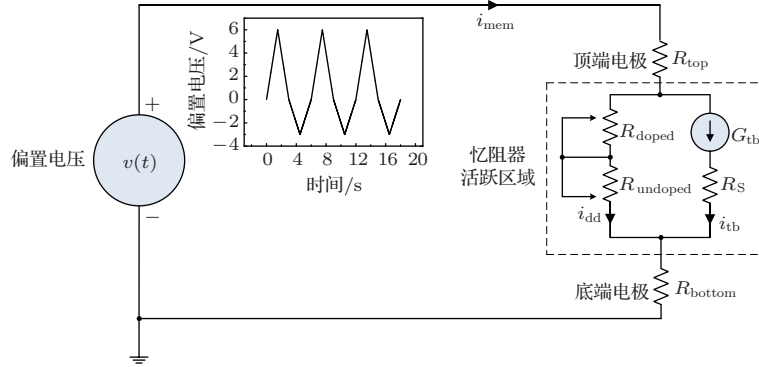


图3 用于验证温度对忆阻器导电特性影响的仿真电路图及偏置电压

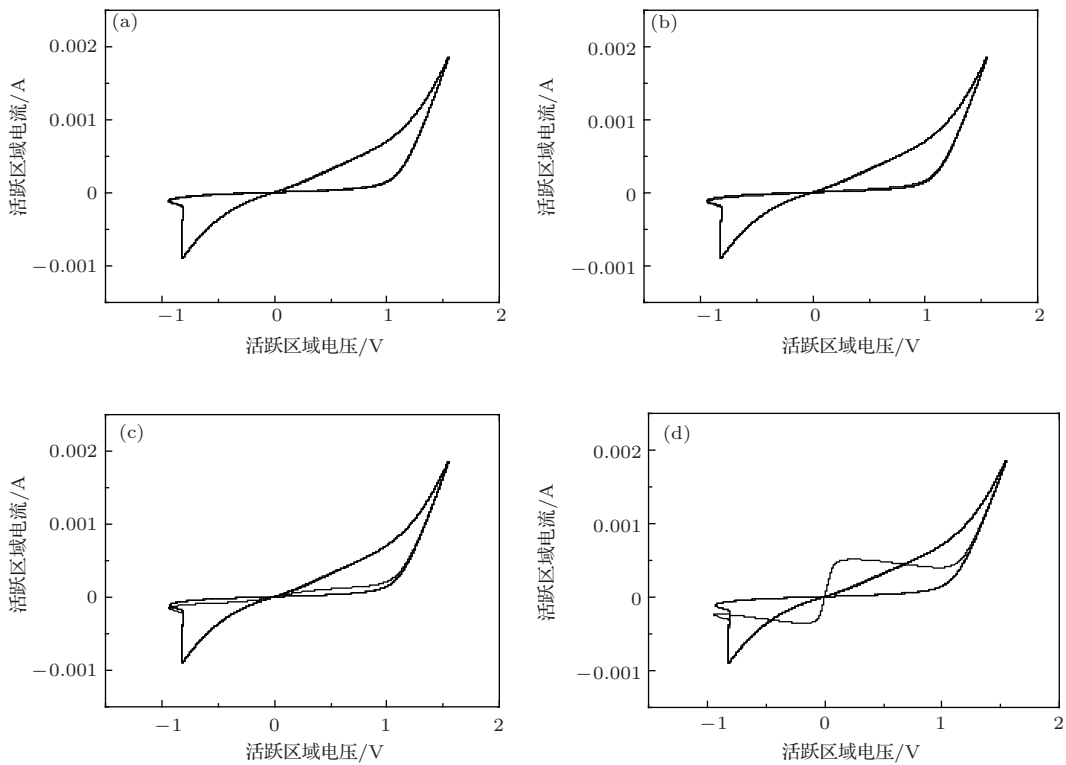


图4 忆阻器活跃区域厚度为 10 nm, 初始掺杂层厚度为 10^{-4} nm 的 V - I 曲线 (a) $T_C = 0^\circ\text{C}$; (b) $T_C = 1^\circ\text{C}$; (c) $T_C = 2^\circ\text{C}$; (d) $T_C = 3^\circ\text{C}$

依据图 4 至图 9, 当活跃区域厚度及初始掺杂层厚度保持不变时, 随着温度的升高, 忆阻器导电特性趋于不稳定并出现 V - I 曲线不重合的现象. 因此, 温度的升高是导致忆阻器导电特性不稳定的因素之一. 然而, 当活跃区域厚度或初始掺杂层厚度

发生改变时, 器件导电稳定性与温度之间的关系也发生了变化. 定义某忆阻器 V - I 曲线开始出现不稳定现象的温度值为该器件的临界温度, 依据图 4 至图 6, 忆阻器活跃区域厚度由 10 nm 增大至 20 nm, 由于含微量杂质部分的瞬态阻抗增大, 平均杂质移

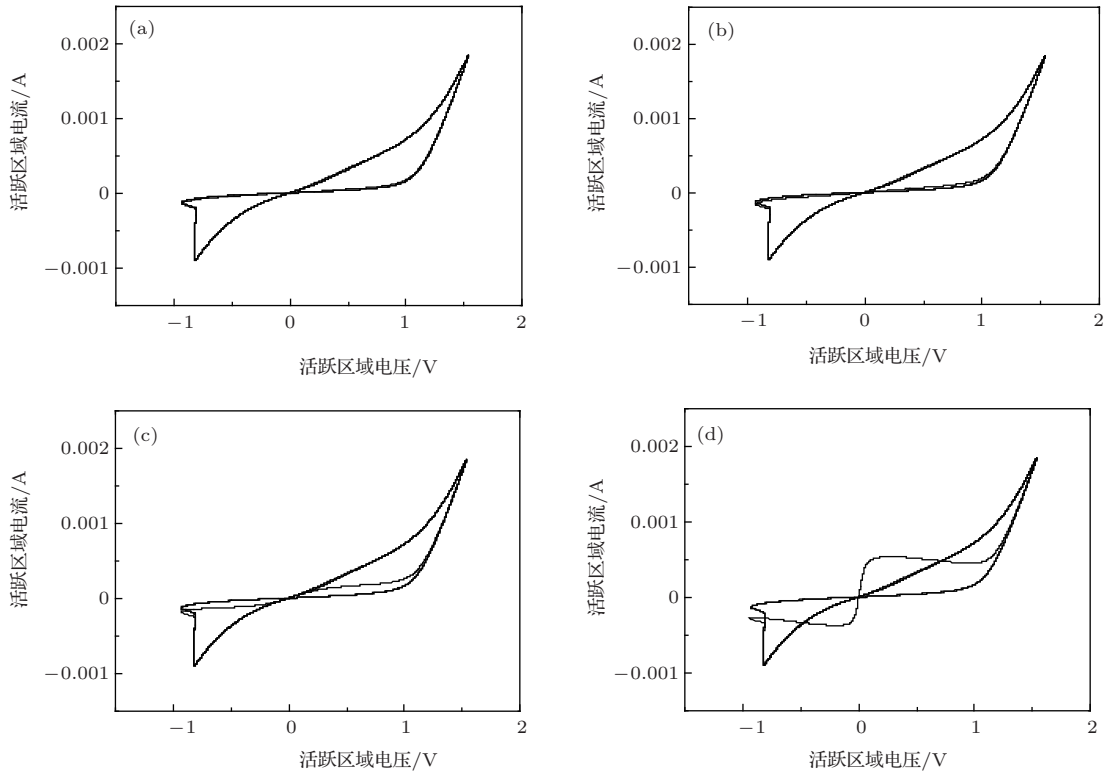


图5 忆阻器活跃区域厚度为15 nm, 初始掺杂层厚度为 10^{-4} nm的V-I曲线 (a) $T_C = 16\text{ }^\circ\text{C}$; (b) $T_C = 17\text{ }^\circ\text{C}$; (c) $T_C = 18\text{ }^\circ\text{C}$; (d) $T_C = 19\text{ }^\circ\text{C}$

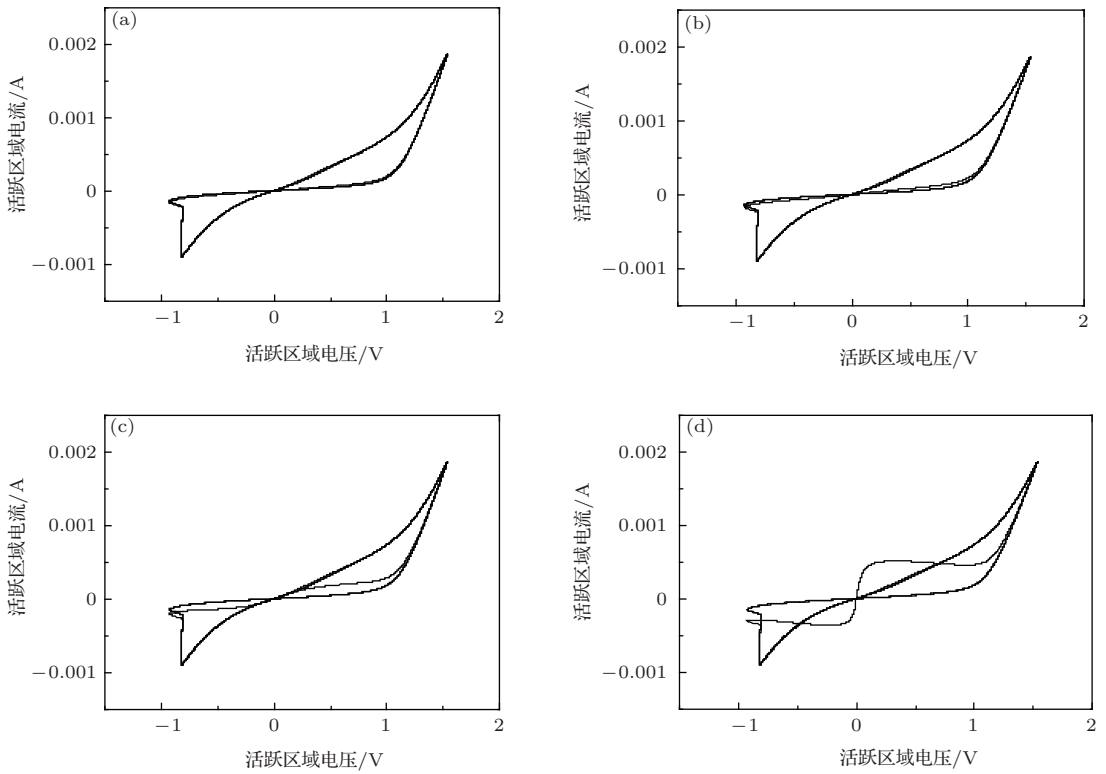


图6 忆阻器活跃区域厚度为20 nm, 初始掺杂层厚度为 10^{-4} nm的V-I曲线 (a) $T_C = 28\text{ }^\circ\text{C}$; (b) $T_C = 29\text{ }^\circ\text{C}$; (c) $T_C = 30\text{ }^\circ\text{C}$; (d) $T_C = 31\text{ }^\circ\text{C}$

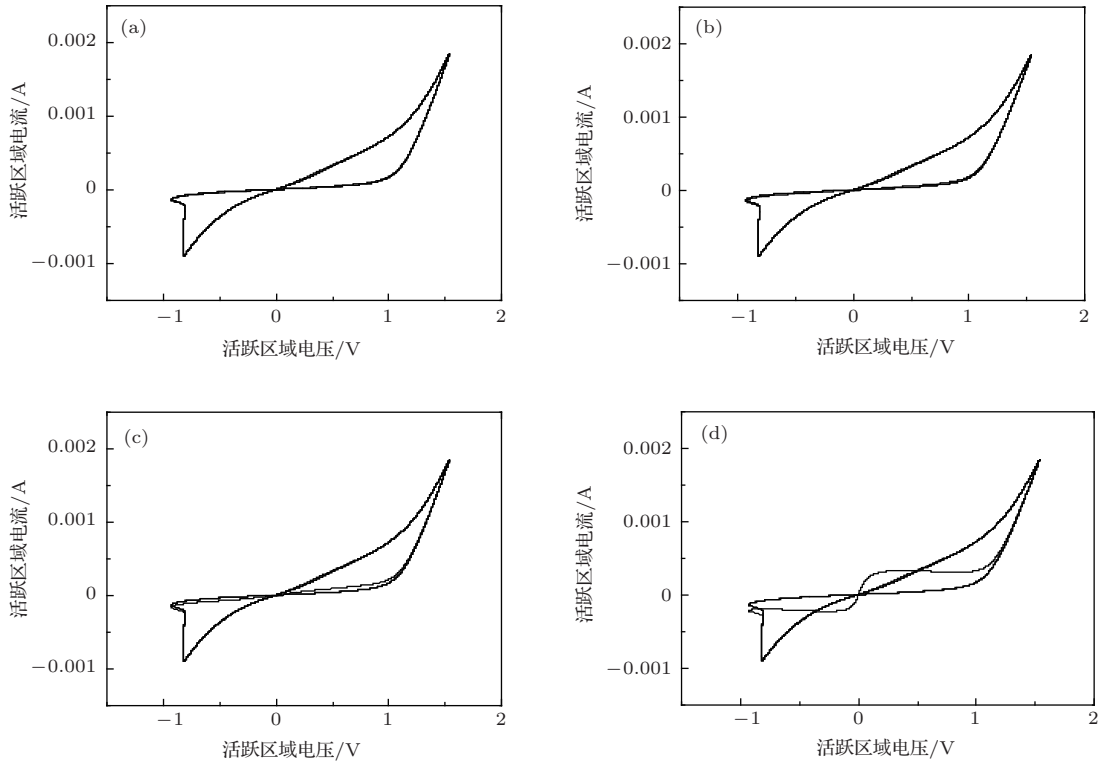


图7 忆阻器活跃区域厚度为15 nm, 初始掺杂层厚度为 10^{-5} nm的V-I曲线 (a) $T_C = 19\text{ }^\circ\text{C}$; (b) $T_C = 20\text{ }^\circ\text{C}$; (c) $T_C = 21\text{ }^\circ\text{C}$; (d) $T_C = 22\text{ }^\circ\text{C}$

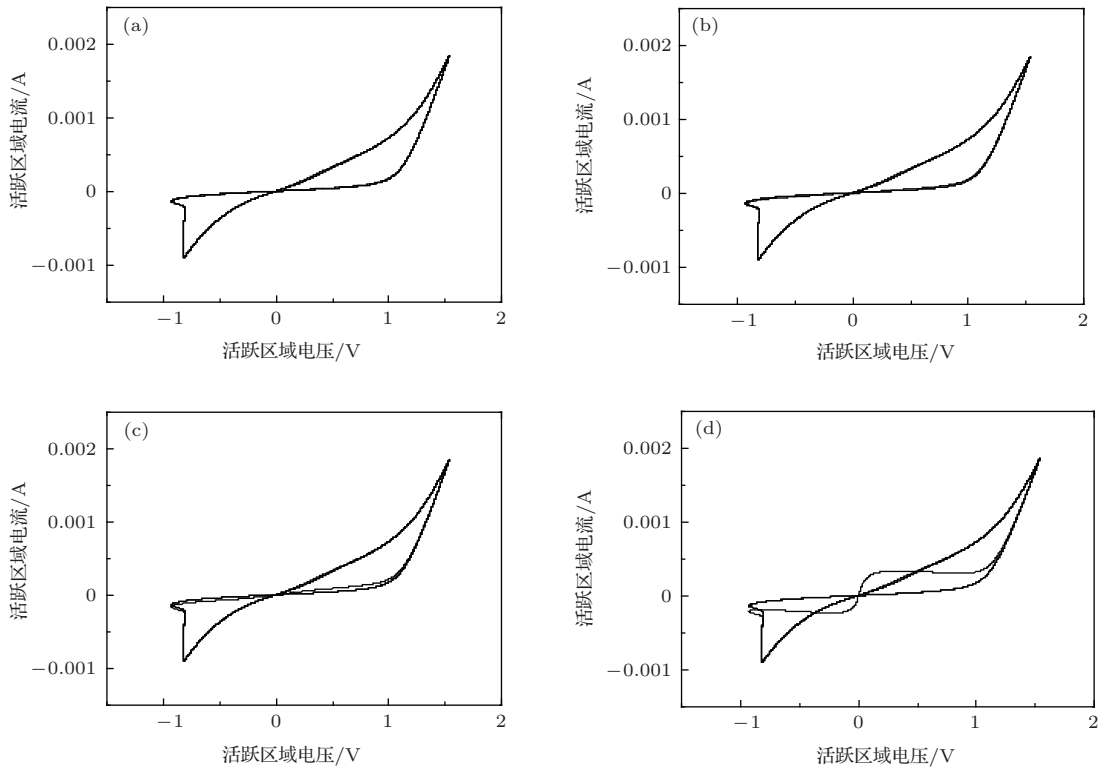


图8 忆阻器活跃区域厚度为15 nm, 初始掺杂层厚度为 10^{-6} nm的V-I曲线 (a) $T_C = 22\text{ }^\circ\text{C}$; (b) $T_C = 23\text{ }^\circ\text{C}$; (c) $T_C = 24\text{ }^\circ\text{C}$; (d) $T_C = 25\text{ }^\circ\text{C}$

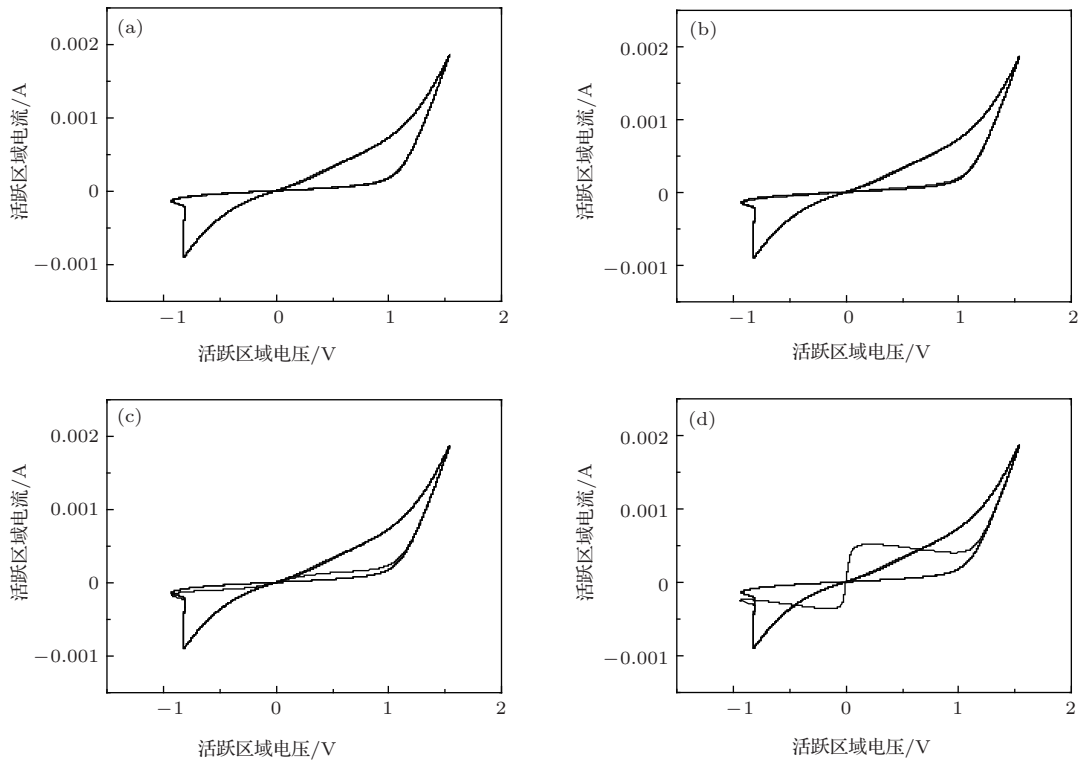


图9 忆阻器活跃区域厚度为15 nm, 初始掺杂层厚度为 10^{-7} nm的V-I曲线 (a) $T_C = 25$ °C; (b) $T_C = 26$ °C; (c) $T_C = 27$ °C; (d) $T_C = 28$ °C

动性降低, 因此该部分对忆阻器导电的干扰减弱, 临界温度升高. 依据图7至图9, 忆阻器初始掺杂层厚度由 10^{-5} nm减小至 10^{-7} nm, 由于初始杂质浓度的降低导致杂质漂移对忆阻器导电的干扰减弱, 因此临界温度升高.

综上所述, 在杂质漂移与隧道势垒共存的情况下, 应适当增大忆阻器活跃区域厚度或降低初始杂质浓度, 以此降低杂质漂移对器件导电稳定性的干扰. 此外, 保持忆阻器工作的环境温度稳定且低于临界温度是提高器件导电稳定性的关键因素.

4 结 论

在杂质漂移与隧道势垒共存的情况下, 依据变量控制的原则讨论了环境温度对钛氧化物忆阻器导电稳定性的影响, 研究了器件活跃区域厚度及初始掺杂层厚度发生改变对临界温度的影响及其物理意义. 利用SPICE软件进行了仿真验证, 并基于此提出了提高忆阻器导电稳定性的方法: 保持温度稳定且低于临界温度、适当增大活跃区域厚度及降低初始杂质浓度. 上述结论为制备具有稳定导电特性的忆阻器及推动该类器件投入实际电路应用提供了依据.

参考文献

- [1] Chua L O 1971 *IEEE Trans. Circ. Th.* **18** 507
- [2] Strukov D B, Snider G S, Stewart D R, Williams R S 2008 *Nature* **453** 80
- [3] Kim H, Sah M P, Yang C, Roska T, Chua L O 2011 *IEEE Trans. Circuits Syst. I, Reg. Papers* **59** 148
- [4] Rumberg B, Graham D W 2012 *IEEE Trans. Circuits Syst. II, Exp. Briefs* **59** 4
- [5] Berdan R, Prodromakis T, Toumazou C 2012 *Electron. Lett.* **48** 18
- [6] Raja T, Mourad S 2009 *International Conference on Communications, Circuits and Systems*, California US-A, July 23–25, p939
- [7] Bao B C, Liu Z, Xu J P 2010 *Acta Phys. Sin.* **59** 3785 (in Chinese)[包伯成, 刘中, 许建平 2010 物理学报 **59** 3785]
- [8] Bao B C, Liu Z, Xu J P 2010 *Chin. Phys. B* **19** 030510
- [9] Xu B R 2013 *Acta Phys. Sin.* **62** 190506 (in Chinese)[许碧容 2013 物理学报 **62** 190506]
- [10] Fang X D, Tang Y H, Wu J J, Zhu X, Zhou J, Huang D 2013 *Chin. Phys. B* **22** 078901
- [11] Tian X B, Xu H 2013 *Chin. Phys. B* **22** 088501
- [12] Li Z W, Liu H J, Xu X 2013 *Acta Phys. Sin.* **62** 096401 (in Chinese)[李智炜, 刘海军, 徐欣 2013 物理学报 **62** 096401]
- [13] Yang J J, Pickett M D, Li X M, Ohlberg D A A, Stewart D R, Williams R S 2008 *Nature Nanotech.* **3** 429
- [14] Yoon K J, Lee M H, Kim G H, Song S J, Seok J Y, Han S, Yoon J H, Kim K M, Hwang C S 2012 *Nanotechnology* **23** 185202

- [15] Yang J J, Strachan J P, Miao F, Zhang M X, Pickett M D, Yi W, Ohlberg D A A, Ribeiro G M, Williams R S 2011 *Appl. Phys. A* **102** 785
- [16] Pickett M D, Strukov D B, Borghetti J L, Yang J J, Snider G S, Stewart D R, Williams R S 2009 *J. Appl. Phys.* **106** 074508
- [17] Tian X B, Xu H, Li Q J 2013 *Chin. Phys. B* **22** 088502
- [18] Mladenov M V, Kirilov S M 2013 *International Symposium on Theoretical Electrical Engineering*, Czech Republic, Jun 24–26, p6
- [19] Yang J J, Miao F, Pickett M D, Ohlberg D A A, Stewart D R, Lau C N, Williams R S 2009 *Nanotechnology* **20** 215201
- [20] Tian X B, Xu H, Li Q J 2014 *Acta Phys. Sin.* **63** 048401 (in Chinese) [田晓波, 徐晖, 李清江 2014 物理学报 **63** 048401]
- [21] Abdalla H, Pickett M D 2011 *International Symposium on Circuits and Systems*, Brazil, May 15–18, p1832

Influence of temperature change on conductive characteristics of titanium oxide memristor*

Xu Hui Tian Xiao-Bo[†] Bu kai Li Qing-Jiang

(School of Electronic Science and Engineering, National University of Defense Technology, Changsha 410073, China)

(Received 13 December 2013; revised manuscript received 13 January 2014)

Abstract

Nano-scaled titanium oxide memristors exhibit unstable conductive characteristics under the same test condition: restricting the possibility to have accurate reading and control of the transient resistance of the device. Moreover, the reliability and stability of memristor-based circuits cannot be guaranteed. Coexistence of dopant drift and tunnel barrier is one of possible origins which causes undesirable instability, and the ambient temperature has a close relationship with dopant drift. However, there have been no detailed researches which may improve the stability of memristors by controlling temperatures. Based on the coexistence of dopant drift and tunnel barrier, the connections between temperature and memristor conductive characteristics are analyzed, and the influences of changes of active area width and initially doped layer width on the critical temperature are studied. Simulations are performed in SPICE and the results are given in this paper. In conclusion, methods are proposed for enhancing the conductive stability of memristors, which include increasing the active area width, decreasing the initially doped layer width, keeping the temperature to be under the critical value, and stability. Our work may provide a basis for manufacturing memristors with stable performance and promoting the practical circuit in applications.

Keywords: memristor, temperature, dopant drift, tunnel barrier

PACS: 84.32.-y, 89.20.Ff, 84.37.+q, 85.35.-p

DOI: 10.7498/aps.63.098402

* Project supported by the National Natural Science Foundation of China (Grant Nos. 61171017, F010505).

† Corresponding author. E-mail: txiaobo1985@gmail.com