

具有P型覆盖层新型超级结横向双扩散功率器件

李春来 段宝兴 马剑冲 袁嵩 杨银堂

New super junction lateral double-diffused metal-oxide-semiconductor field-effect transistor with the P covered layer

Li Chun-Lai Duan Bao-Xing Ma Jian-Chong Yuan Song Yang Yin-Tang

引用信息 Citation: [Acta Physica Sinica](#), 64, 167304 (2015) DOI: 10.7498/aps.64.167304

在线阅读 View online: <http://dx.doi.org/10.7498/aps.64.167304>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn/CN/Y2015/V64/I16>

您可能感兴趣的其他文章

Articles you may be interested in

基于遗传算法的Au-Cu-Pt三元合金纳米粒子的稳定结构研究

[Stable structure optimization of Au-Cu-Pt trimetallic nanoparticles based on genetic algorithm](#)

物理学报.2015, 64(15): 153601 <http://dx.doi.org/10.7498/aps.64.153601>

高指数晶面Au-Pd纳米合金粒子的稳定结构研究

[Investigation on stable structures of Au-Pd alloy nanoparticles with high-index facets](#)

物理学报.2015, 64(1): 013602 <http://dx.doi.org/10.7498/aps.64.013602>

高背压超声气体团簇喷流中团簇平均尺寸沿喷流方向演化研究

[Evolution of average cluster size in supersonic cluster jet under high gas backing pressure](#)

物理学报.2015, 64(1): 013601 <http://dx.doi.org/10.7498/aps.64.013601>

静态真空对超声喷流气体团簇制备的实验研究

[Influence of static vacuum on the preparation of cluster of supersonic gas jet](#)

物理学报.2014, 63(20): 203601 <http://dx.doi.org/10.7498/aps.63.203601>

$Al_2S_n^\pm$ ($n=2-10$)团簇结构特征和稳定性的密度泛函理论研究

[Density functional theory study of structure characteristics and stabilities of \$Al_2S_n^\pm\$ \(\$n = 2-10\$ \) clusters](#)

物理学报.2014, 63(16): 163601 <http://dx.doi.org/10.7498/aps.63.163601>

具有P型覆盖层新型超级结横向双扩散功率器件*

李春来[†] 段宝兴 马剑冲 袁嵩 杨银堂

(西安电子科技大学微电子学院, 宽禁带半导体材料与器件教育部重点实验室, 西安 710071)

(2015年3月31日收到; 2015年4月16日收到修改稿)

为了设计功率集成电路所需要的低功耗横向双扩散金属氧化物半导体器件 (lateral double-diffused MOSFET), 在已有的N型缓冲层超级结 LDMOS(N-buffered-SJ-LDMOS) 结构基础上, 提出了一种具有P型覆盖层新型超级结 LDMOS 结构 (P-covered-SJ-LDMOS). 这种结构不但能够消除传统的N沟道 SJ-LDMOS 由于P型衬底产生的衬底辅助耗尽问题, 使得超级结层的N区和P区的电荷完全补偿, 而且还能利用覆盖层的电荷补偿作用, 提高N型缓冲层浓度, 从而降低了器件的比导通电阻. 利用三维仿真软件 ISE 分析表明, 在漂移区长度均为 $10\ \mu\text{m}$ 的情况下, P-covered-SJ-LDMOS 的比导通电阻较一般 SJ-LDMOS 结构降低了 59% 左右, 较文献提出的 N 型缓冲层 SJ-LDMOS(N-buffered-SJ-LDMOS) 结构降低了 43% 左右.

关键词: 横向双扩散金属氧化物半导体器件, 超级结, 比导通电阻, P 型覆盖层

PACS: 73.40.Kp, 73.40.Vz, 73.61.Ey

DOI: 10.7498/aps.64.167304

1 引言

横向功率半导体器件 LDMOS (lateral double-diffused MOSFET) 的特点在于具有横向沟道, 栅极、源极和漏极都在芯片的同一侧表面, 易于通过内部连接实现与低压信号的集成, 另外在频率特性、增益、线性度、开关性能等方面的优点, 从而成为实现 PIC (power integrated circuit) 技术的关键^[1,2]. 然而在关态时, MOS 类器件击穿电压 (V_B) 和比导通电阻 (R_{on}) 之间 2.5 次方的矛盾关系^[3] 限制了器件的应用范围. 超级结结构的引入可以将这种矛盾关系缓解为 1.33 次方^[4]. 应用了超级结思想^[5-15] 的 LDMOS 获得了低的比导通电阻, 但是存在着衬底辅助耗尽的问题^[5,6]. 为了解决衬底辅助耗尽效应, 国内外研究者提出了许多新方案^[7-15], 其中文献^[9] 提出的具有 N 型缓冲层 SJ-LDMOS 结构利用 N 型缓冲层解决了衬底辅助耗

尽问题, 但 N 型缓冲层的作用没有充分利用.

为了进一步优化 SJ-LDMOS 的漂移区浓度降低器件的比导通电阻, 本文提出了一种具有 P 型覆盖层 SJ-LDMOS (P-covered-SJ-LDMOS). P-covered-SJ-LDMOS 结构具有如下优点: 1) 利用了超级结的高掺杂结构减少了器件的导通损耗; 2) N 型缓冲层不但能够增加导电路径, 还能消除衬底辅助耗尽; 3) P 型覆盖层能够通过电中性的作用提高 N 型缓冲层的浓度, 从而进一步降低比导通电阻. 所以, 本文提出的 P-covered-SJ-LDMOS 结构在消除衬底辅助耗尽效应的基础上, 使 N 型缓冲层浓度提高, 在打破硅极限关系的基础上, 进一步降低了器件的比导通电阻. 利用仿真软件 ISE^[16] 分析表明, 在漂移区长度均为 $10\ \mu\text{m}$ 的情况下 P-covered-SJ-LDMOS 比导通电阻较一般 SJ-LDMOS 结构降低了 59% 左右较文献^[9] 报道的 N-buffered-SJ-LDMOS 结构降低了 43% 左右.

* 陕西省科技统筹创新工程计划 (批准号: DF0105142502)、国家重点基础研究发展计划 (批准号: 2014CB339900, 2015CB351906) 和国家自然科学基金重点项目 (批准号: 61234006, 61334002) 资助的课题.

[†] 通信作者. E-mail: lichunlai117@163.com

2 器件结构

图 1 所示为三种 N 沟道 SJ-LDMOS 结构示意图. 图 1(a) 为传统的 SJ-LDMOS 结构, 这种结构将超级结层周期性分布的 N 区和 P 区直接形成于 P 型衬底上, 在反向电压下, 沿 OZ 方向超级结层的 N 区和 P 区相互耗尽; 然而由于 LDMOS 同时受纵向电压的影响, P 型衬底也可以辅助耗尽超级结层的 N 区, 使一般 SJ-LDMOS 的超级结层中 N 区与 P 区电荷不能完全补偿, 导致击穿电压与比导通电阻的关系无法达到最优. 图 1(b) 为文献 [9] 提出的具有 N 型缓冲层 SJ-LDMOS (N-buffered-SJ-LDMOS), 其中的 N 型沟道即为 N 型缓冲层, N 型缓冲层正好消除了 SJ-LDMOS 衬底辅助耗尽问题, 同时增加了一条导电路径降低了功耗. 但这种结构的缺点在于 N 型缓冲层没有充分利用. N 型缓冲层增加了导电通道, 然而在 N-buffered-SJ-LDMOS 结构中, N 型缓冲层的浓度可以进一步优化. 所以为了进一步优化器件的比导通电阻, 本文提出了图 1(c) 所示的具有 P 型覆盖层 SJ-LDMOS (P-covered-SJ-LDMOS) P-covered-

SJ-LDMOS 是在 N-buffered-SJ-LDMOS 结构超级结层的 N 区表面部分覆盖一层 P 型覆盖层, 利用 N 区表面的 P 型覆盖层和 N 型缓冲层的共同作用, 不但可以消除衬底辅助耗尽效应, 而且 P 型覆盖层的电中性作用可以提高 N 型缓冲层的浓度, 从而进一步降低 SJ-LDMOS 的比导通电阻. 图 1(d) 所示为 P-covered-SJ-LDMOS 漂移区沿 OZ 方向的剖面图. 图 1(c) 和图 1(d) 中 T_N 表示 N 型缓冲层到超级结层的距离, 即 N 型缓冲层的厚度; N_B 表示 N 型缓冲层沟道的浓度; N_N 和 N_P 表示超级结中 N 型柱和 P 型柱的浓度; T_S 表示超级结层的厚度; L_d 漂移区的长度; T_P 表示 P 型覆盖层的厚度, L_P 为 P 型覆盖层到 P_{well} 区的长度; N_A 为 P 型覆盖层的浓度; N_S 表示 P 型衬底的浓度

该器件可以通过 $0.18 \mu\text{m}$ 的标准 CMOS 工艺实现. 在 P 型 Si 衬底上外延 N 型 Si 材料形成 N 型 buffered 层. 不同于传统的 N-buffered-SJ-LDMOS 的工艺, 当 N 柱和 P 柱形成了超级结层之后, 在超级结层的 N 型柱表面用一张额外的掩模版局部离子注入一层薄的 P 型杂质并且快速退火, 从而形成 P 型覆盖层.

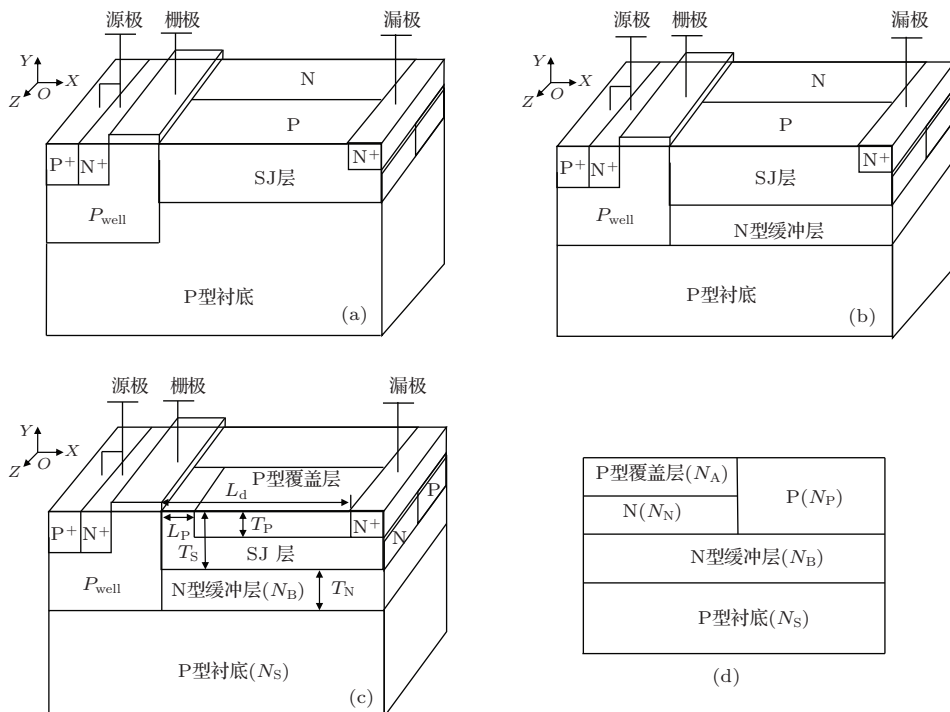


图 1 器件结构示意图 (a) 一般 SJ-LDMOS 示意图; (b) N-buffered-SJ-LDMOS 示意图; (c) P-covered-SJ-LDMOS 示意图; (d) P-covered-SJ-LDMOS 漂移区沿 OZ 方向的剖面图

Fig. 1. The structures of device: (a) 3-D structure of the conventional SJ-LDMOS; (b) 3-D structure of the N-buffered-SJ-LDMOS; (c) 3-D structure of the P-covered-SJ-LDMOS; (d) cross-section of line OZ in the P-covered-SJ-LDMOS.

3 仿真结果与分析

图2所示为三种SJ-LDMOS结构漂移区为10 μm时的等势线分布. 图2(a)为传统SJ-LDMOS结构的等势线分布, 其击穿电压为120 V. 超级结层中的N区和P区可以相互耗尽, 但是由于LDMOS受纵向电压的影响, P型衬底也可以辅助耗尽超级结层中的N区, 这即为衬底辅助耗尽效应. P型衬底的辅助耗尽, 使传统SJ-LDMOS的N区与P区电荷不能完全补偿, P区不能完全耗尽, 由此击穿电压与比导通电阻的关系不能达到理想值. 图2(b)

为文献[9]报道的N-buffered-SJ-LDMOS结构的等势线分布, 当N型缓冲层浓度为 $8 \times 10^{14} \text{ cm}^{-3}$ 时, 其击穿电压可以提高到184 V, 可以看出, 通过优化表面超级结区与N型缓冲层浓度, 可以实现超级结区的电荷完全补偿, 即超级结层中N区和P区完全耗尽. 图2(c)为P-covered-SJ-LDMOS结构等势线分布, 当N型缓冲层浓度为 $1 \times 10^{16} \text{ cm}^{-3}$, P型覆盖层浓度为 $2 \times 10^{16} \text{ cm}^{-3}$ 时, 其击穿电压可以进一步增加到203 V. 可以看出通过同时优化N型缓冲层和P型覆盖层的浓度, 同样能够实现超级结区的电荷完全补偿.

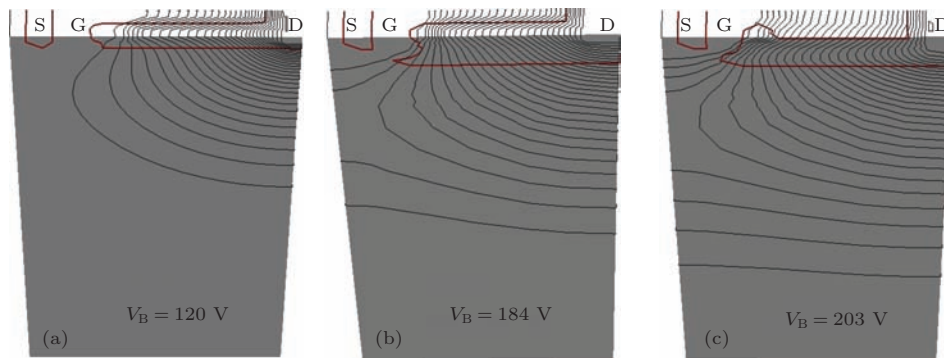


图2 三种SJ-LDMOS结构的等势线分布 (a)一般SJ-LDMOS; (b) N-buffered-SJ-LDMOS; (c) P-covered-SJ-LDMOS ($L_d = 10 \mu\text{m}$; $N_N = N_P = 5.0 \times 10^{16} \text{ cm}^{-3}$; $N_S = 1.0 \times 10^{14} \text{ cm}^{-3}$; $T_S = T_N = 1.5 \mu\text{m}$; $T_P = 0.5 \mu\text{m}$; $L_P = 1 \mu\text{m}$; $N_A = 2.0 \times 10^{16} \text{ cm}^{-3}$)

Fig. 2. Equipotential contours plotted at the breakdown voltage: (a) conventional SJ-LDMOS; (b) N-buffered-SJ-LDMOS; (c) P-covered-SJ-LDMOS.

图3所示为N-buffered-SJ-LDMOS结构和P-covered-SJ-LDMOS比导通电阻与漂移区长度的对比曲线, 可以看出, 随着漂移区长度的增大, 两种结构的比导通电阻都逐渐增加; 同时也可以得出P-covered-SJ-LDMOS的比导通电阻低于N-buffered-SJ-LDMOS的比导通电阻, 这是由于P-covered-SJ-LDMOS中的N缓冲层比N-buffered-SJ-LDMOS中的N型缓冲层浓度高一个数量级, 因此P-covered-SJ-LDMOS在突破硅极限关系的基础上, 进一步降低了器件的比导通电阻.

传统N沟道SJ-LDMOS由于P型衬底的作用使超级结的N区完全耗尽时P区不能完全耗尽. 然而在P-covered-SJ-LDMOS结构中, 可以通过优化N型缓冲层浓度和厚度达到消除衬底辅助耗尽问题, 提高击穿电压. 图4所示为N型缓冲层的浓度和厚度对击穿电压和比导通电阻的影响, 可以看出, 当N型缓冲层补偿的浓度为 $1.0 \times 10^{16} \text{ cm}^{-3}$, 厚度为1.5 μm时, 击穿电压增到203 V, 说明此时超级结的N区与P区电荷完全补

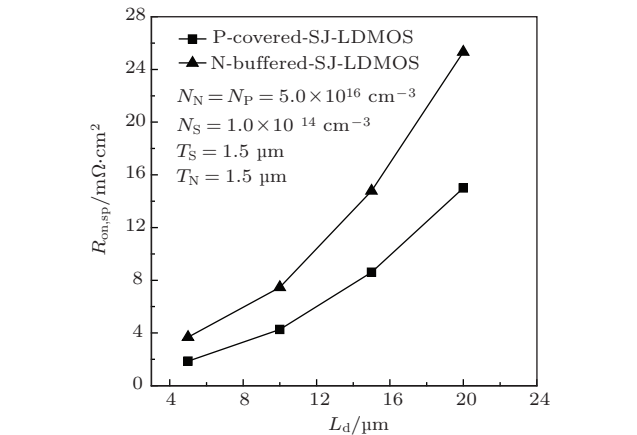


图3 N-buffered-SJ-LDMOS和P-covered-SJ-LDMOS的比导通电阻与漂移区长度的对比曲线

Fig. 3. $R_{on,sp}$ versus L_d for the P-covered-SJ-LDMOS and the N-buffered-SJ-LDMOS.

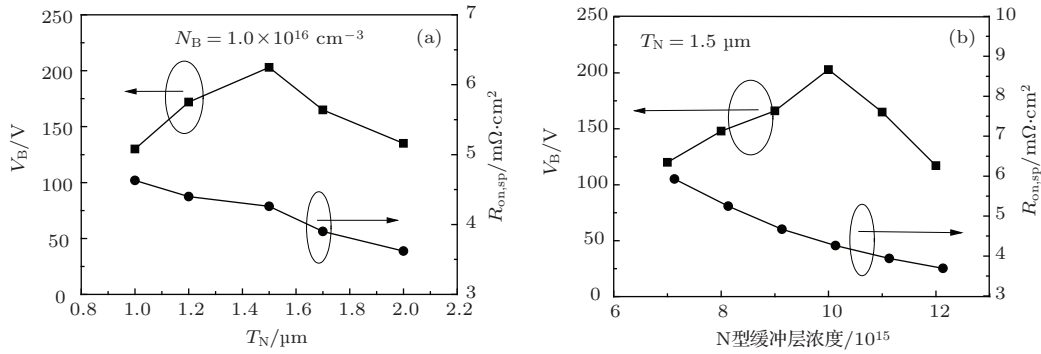


图4 N型缓冲层对击穿电压和比导通电阻的影响 (a) N型缓冲层的厚度对击穿电压和比导通电阻的影响; (b) N型缓冲层的浓度对击穿电压和比导通电阻的影响 ($N_N = N_P = 5.0 \times 10^{16} \text{ cm}^{-3}$; $N_S = 1.0 \times 10^{14} \text{ cm}^{-3}$; $T_S = 1.5 \text{ }\mu\text{m}$; $L_d = 10 \text{ }\mu\text{m}$; $T_P = 0.5 \text{ }\mu\text{m}$; $L_P = 1 \text{ }\mu\text{m}$; $N_A = 2.0 \times 10^{16} \text{ cm}^{-3}$)

Fig. 4. The effect of N-type buffered layer on V_B and $R_{on,sp}$: (a) the effect of thickness of the N-type buffered layer on V_B and $R_{on,sp}$; (b) the effect of concentration of the N-type buffered layer on V_B and $R_{on,sp}$.

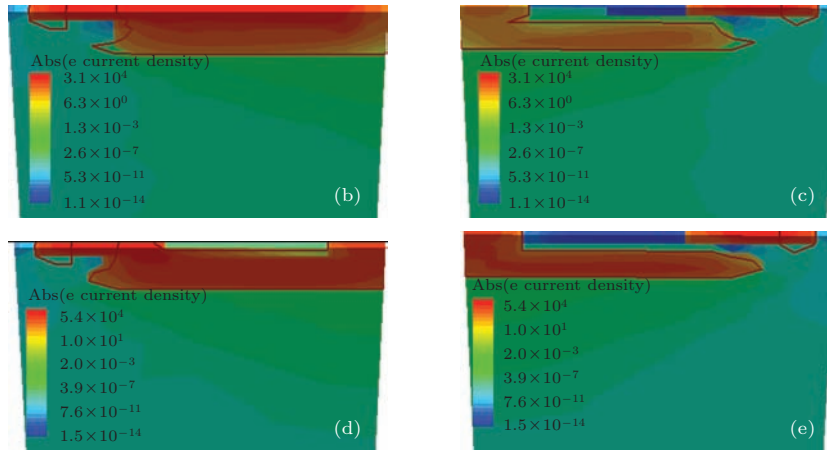
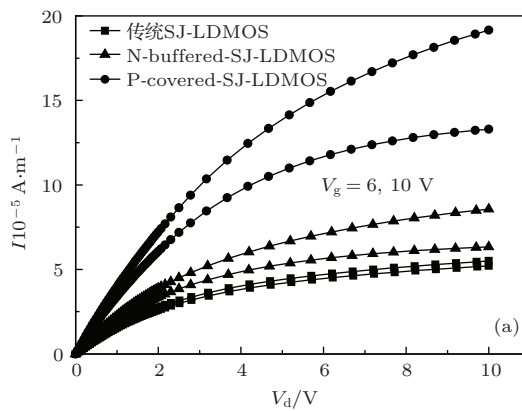


图5 (网刊彩色) 一般SJ-LDMOS、N-buffered-SJ-LDMOS与P-covered-SJ-LDMOS结构的输出曲线比较和N-buffered-SJ-LDMOS与P-covered-SJ-LDMOS结构电流密度的比较 (a) 三种结构 I_d - V_d 输出曲线; (b) N-buffered-SJ-LDMOS 电流密度正面; (c) N-buffered-SJ-LDMOS 电流密度反面; (d) P-covered-SJ-LDMOS 电流密度正面; (e) P-covered-SJ-LDMOS 电流密度反面

Fig. 5. (color online) (a) On-state characteristics of the conventional SJ-LDMOS, N-buffered-SJ-LDMOS and P-covered-SJ-LDMOS; (b) the front of e current density in the N-buffered-SJ-LDMOS; (c) the back of e current density in the N-buffered-SJ-LDMOS; (d) the front of e current density in the P-covered-SJ-LDMOS; (e) the back of e current density in the P-covered-SJ-LDMOS.

图5(a)所示为一般SJ-LDMOS、N-buffered-SJ-LDMOS与P-covered-SJ-LDMOS结构的输出曲线比较。由图5(a)可以看出,当器件开启时,

N型缓冲层SJ-LDMOS的漏极饱和电流比一般SJ-LDMOS高,这是由于N型缓冲层增加了器件的导电路径;P-covered-SJ-LDMOS的漏极饱和电流比

N-buffered-SJ-LDMOS 提高了很多, 由于通过 P 型覆盖层的电中性作用, N 型缓冲层的浓度提高超过一个数量级. 图 5 (b)—(e) 为两种结构电流密度的比较, 可以看出, 与 N-buffered-SJ-LDMOS 结构比较, P-covered-SJ-LDMOS 结构由于 N 型缓冲层浓度提高了一个数量级, 器件正向工作时, 其 N 型缓冲层电流密度很大. 由此得出, P-covered-SJ-LDMOS 有超低的比导通电阻, 从而为横向功率器件向低功耗方向的发展提供了一个新的参考方案.

如表 1 所列, 当漂移区长度都为 10 μm 时, 在各自优化的条件下, 相对传统 SJ-LDMOS 和 N-buffered-SJ-LDMOS 而言, P-covered-SJ-LDMOS 有较高的击穿电压和较低的比导通电阻, 从而说明通过 P 型覆盖层和 N 型缓冲层的共同作用能够实现高击穿电压和低比导通电阻的 SJ-LDMOS.

表 1 当 $L_d = 10 \mu\text{m}$ 时, 三种结构的击穿电压和比导通电阻比较

Table 1. Comparison of the V_B and $R_{\text{on,sp}}$ of three devices with the same drift region.

器件结构	V_B/V	$R_{\text{on,sp}}/\text{m}\Omega\cdot\text{cm}^2$
传统 SJ-LDMOS	120	10.47
N-buffered-SJ-LDMOS	184	7.46
P-covered-SJ-LDMOS	203	4.26

对于 LDMOS, 比导通电阻与击穿电压受限于 (1) 式的硅极限的矛盾关系:

$$R_{\text{on,sp}} = (0.8 - 1.2) \times 10^{-7} V_B^2 \Omega \cdot \text{cm}^2, \quad (1)$$

(1) 式中 $R_{\text{on,sp}}$ 表示比导通电阻, V_B 表示器件的击穿电压. 由 (1) 式可知, 比导通电阻随着击穿电压的增加而以平方关系剧增. 本文提出的 P-covered-SJ-LDMOS 结构在超级结基础上, 进一步降低了器件的比导通电阻, 同时 N 型缓冲层在消除衬底辅助耗尽的基础上, 通过 P 型覆盖层的电中性作用, 增加了 N 型缓冲层导电路径的浓度, 从而进一步降低比导通电阻, 使击穿电压与比导通电阻的矛盾关系进一步优化. 满足 150 V 左右击穿条件下, 获得超低的比导通电阻为 $1.86 \text{ m}\Omega\cdot\text{cm}^2$, 远小于相同击穿条件下一般 SJ-LDMOS 的比导通电阻为 $15.28 \text{ m}\Omega\cdot\text{cm}^2$ 和 N-buffered-SJ-LDMOS 的比导通电阻为 $4.41 \text{ m}\Omega\cdot\text{cm}^2$. 图 6 所示为 LDMOS 比导通电阻与击穿电压的关系曲线, 可以看出, 由于受 (1) 式的限制, 一般 LDMOS 的比导通电阻随击

穿电压的增加而剧增; 对于 P-covered-SJ-LDMOS, 比导通电阻与击穿电压的关系突破了传统的硅极限关系, 漂移区为 $5 \mu\text{m}$ 时, 击穿电压为 152 V, 比导通电阻为 $1.86 \text{ m}\Omega\cdot\text{cm}^2$; 漂移区为 $10 \mu\text{m}$ 时, 击穿电压为 203 V, 比导通电阻仅为 $4.26 \text{ m}\Omega\cdot\text{cm}^2$; 漂移区为 $15 \mu\text{m}$ 时, 击穿电压为 240 V, 比导通电阻为 $8.6 \text{ m}\Omega\cdot\text{cm}^2$. 图 6 也比较了现有文献报道的 200 V 左右击穿电压的比导通电阻情况. 文献 [13] 的仿真测试结果表明当击穿电压为 382 V 时, 比导通电阻为 $25.6 \text{ m}\Omega\cdot\text{cm}^2$; 文献 [17] 的实验结果为击穿电压 98.6 V, 比导通电阻为 $1.01 \text{ m}\Omega\cdot\text{cm}^2$; 文献 [18] 的仿真测试结果表明当击穿电压为 188 V 时, 比导通电阻也为 $4.24 \text{ m}\Omega\cdot\text{cm}^2$. 通过比较可以看出, P-covered-SJ-LDMOS 可以在一定击穿电压范围内获得超低的比导通电阻, 为实现低功耗超级结应用于 PIC 功率集成提供了一种有效的设计方法.

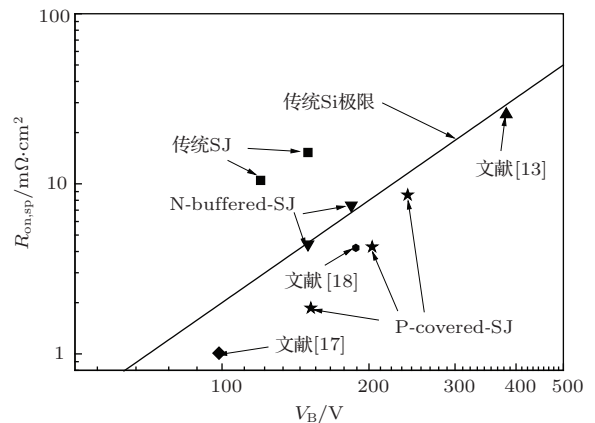


图 6 击穿电压与比导通电阻关系曲线

Fig. 6. $R_{\text{on,sp}}$ versus V_B with the ideal silicon limit line.

4 结 论

本文为了使 LDMOS 功率器件满足低压 PIC 功率集成电路的低损耗要求, 提出了一种具有覆盖层的 SJ-LDMOS 新结构 P-covered-SJ-LDMOS, 新结构在已有的 N 型缓冲层超级结 LDMOS 基础上, 在超级结层部分 N 区表面加入一层 P 型覆盖层, 利用 N 型缓冲层和 P 型覆盖层电中性的共同作用消除衬底辅助耗尽效应. 同时利用 P 型覆盖层的电中性作用, 提高了 N 型缓冲层的浓度, 使得比导通电阻进一步降低. 利用仿真分析软件 ISE 分析表明, 当漂移区长度均为 $10 \mu\text{m}$ 时, P-covered-SJ-LDMOS 的击穿电压为 203 V, 比导通电阻为

4.26 $\text{m}\Omega\cdot\text{cm}^2$, 与击穿电压 120 V、比导通电阻 10.47 $\text{m}\Omega\cdot\text{cm}^2$ 的一般 SJ-LDMOS 结构相比, 比导通电阻降低了 59% 左右; 相较于文献提出的击穿电压 184 V、比导通电阻 7.46 $\text{m}\Omega\cdot\text{cm}^2$ 的 N-buffered-SJ-LDMOS 结构, 比导通电阻降低了 43% 左右. 这为满足低压 PIC 功率集成电路对低损耗 LDMOS 的需求提高了一种新方法.

参考文献

- [1] He Y D, Zhang G G, Zhang X 2014 *Proceedings of the 17th International Power Semiconductor Devices and ICs* Waikoloa, USA, June 15–19, 2014 p171
- [2] Kyungho L, Haeung J, Byunghee C, Joonhee C, Pang Y S, Jinwoo M, Susanna K 2013 *Proceedings of the 25th International Power Semiconductor Devices and ICs* Kanazawa, May 26–30, 2013 p163
- [3] Chen X B, Wang X, Johnny K O S 2000 *IEEE Trans. Electron Dev.* **47** 1280
- [4] Chen X B, Johnny K O S 2001 *IEEE Trans. Electron Dev.* **48** 344
- [5] Sameh G, Khalil N, Salama C A T 2003 *IEEE Trans. Electron Dev.* **50** 1385
- [6] Sameh G, Khalil N, Li Z H, Salama C A T 2004 *IEEE Trans. Electron Dev.* **51** 1185
- [7] Duan B X, Zhang B, Li Z J 2007 *Chin. J. Semicond.* **28** 166
- [8] Park Y, Salama C T 2005 *Proceedings of the 17th International Power Semiconductor Devices and ICs* SantaBarbara, USA, May 26–30, 2005 p163
- [9] Zhang B, Chen L, Wu J, Li Z J 2005 *International Conference on Communications, Circuits and System* Hongkong, May 27–30, 2005 p1399
- [10] Wu W, Zhang B, Fang J, Luo X R, Li Z J 2013 *Chin. Phys. B* **22** 068501
- [11] Duan B X, Yang Y T, Zhang B 2009 *IEEE Electron Dev. Lett.* **30** 305
- [12] Duan B X, Yang Y T 2011 *Micro. Nano Lett.* **6** 881
- [13] Duan B X, Cao Z, Yuan S, Yuan X N, Yang Y T 2014 *Acta Phys. Sin.* **63** 247301 (in Chinese) [段宝兴, 曹震, 袁嵩, 袁小宁, 杨银堂 2014 物理学报 **63** 247301]
- [14] Duan B X, Cao Z, Yuan X N, Yang Y T 2014 *Acta Phys. Sin.* **63** 227302 (in Chinese) [段宝兴, 曹震, 袁小宁, 杨银堂 2014 物理学报 **63** 227302]
- [15] Michael A, Vladimir R 1985 *International Electron Devices Meeting* Washington, USA, December 1–4, 1985 p736
- [16] ISE TCAD Manuals, Release 10.0, Synopsys Co., Switzerland
- [17] Park I Y, Choi Y K, Ko K Y, Yoon C J, Kim Y S, Kim M Y, Kim H T, Lim H C, Kim N J, Yoo K D 2009 *Proceedings of the 21th International Power Semiconductor Devices and ICs* Barcelona, Spain, June 15–17, 2009 p192
- [18] Chen W J, Zhang B, Li Z J 2007 *Chin. J. Semicond.* **28** 365

New super junction lateral double-diffused metal-oxide-semiconductor field-effect transistor with the P covered layer*

Li Chun-Lai[†] Duan Bao-Xing Ma Jian-Chong Yuan Song Yang Yin-Tang

(Key Laboratory of the Ministry of Education for Wide Band-Gap Semiconductor Materials and Devices, School of Microelectronics, Xidian University, Xi'an 710071, China)

(Received 31 March 2015; revised manuscript received 16 April 2015)

Abstract

In order to design the lateral double-diffused metal-oxide-semiconductor field-effect transistor (LDMOS) with low loss required for a power integrated circuit, a new super junction LDMOS with the P covered layer which is based on the existing N buffered super junction LDMOS is proposed in this paper for the first time. The key feature of the proposed structure is that the P-type covered layer is partly above the N-type of the super junction layer, which is different from the N buffered super junction LDMOS. In this structure, the specific on-resistance of the device is reduced by using the high doped super junction layer; the problem of the substrate-assisted depletion which is produced due to the P-type substrate of the N-channel super junction LDMOS is eliminated by completely compensating for the charges of the N-type buffered layer and the P-type covered layer, thus improving the breakdown voltage. The charges of the N-type and P-type pillars are depleted completely. A new transmission path at the on-state is formed by N buffered layer to reduce the specific on-resistance, which is similar to the N buffered super junction LDMOS. However, the effect of N-type buffered layer of N buffered super junction LDMOS is not fully used. The drift region of the device is further optimized by the proposed device to reduce the specific on-resistance. The charge concentration of the N-type buffered layer in the proposed device is improved by the effect of charge compensation of the P covered layer. It is clear that high breakdown voltage and low specific on-resistance are realized in the proposed device by introducing the P-type covered layer and the N-type buffered layer. The results of the 3 D-ISE software suggest that when the drift region is on a scale of 10 μm , a specific on-resistance of 4.26 $\text{m}\Omega\cdot\text{cm}^2$ obtained from P covered super junction LDMOS by introducing P covered layer and N buffered layer is reduced by about 59% compared with that of conventional super junction LDMOS which is 10.47 $\text{m}\Omega\cdot\text{cm}^2$, and reduced by about 43% compared with that of N Buffered super junction LDMOS which is 7.46 $\text{m}\Omega\cdot\text{cm}^2$.

Keywords: lateral double-diffused metal-oxide-semiconductor field-effect transistor, super junction, specific on resistance, P covered layer

PACS: 73.40.Kp, 73.40.Vz, 73.61.Ey

DOI: 10.7498/aps.64.167304

* Project supported by the Science and Technology Innovation Project of Shaanxi Province, China (Grant No. DF0105142502), the National Basic Research Program of China (Grant Nos. 2014CB339900, 2015CB351906), and the Key Program of the National Natural Science Foundation of China (Grant Nos. 61234006, 61334002).

[†] Corresponding author. E-mail: lichunlai117@163.com