

超短沟道绝缘层上硅平面场效应晶体管中热载流子注入应力导致的退化对沟道长度的依赖性

刘畅 卢继武 吴汪然 唐晓雨 张睿 俞文杰 王曦 赵毅

Gate length dependence of hot carrier injection degradation in short channel silicon on insulator planar MOSFET

Liu Chang Lu Ji-Wu Wu Wang-Ran Tang Xiao-Yu Zhang Rui Yu Wen-Jie Wang Xi Zhao Yi

引用信息 Citation: [Acta Physica Sinica](#), 64, 167305 (2015) DOI: 10.7498/aps.64.167305

在线阅读 View online: <http://dx.doi.org/10.7498/aps.64.167305>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn/CN/Y2015/V64/I16>

您可能感兴趣的其他文章

Articles you may be interested in

高k栅介质 GeOI 金属氧化物半导体场效应管阈值电压和亚阈斜率模型及其器件结构设计

[Models on threshold voltage/subthreshold swing and structural design of high-k gate dielectric GeOI MOS-FET](#)

物理学报.2014, 63(8): 087301 <http://dx.doi.org/10.7498/aps.63.087301>

柔性有机非易失性场效应晶体管存储器的研究进展

[Progress of flexible organic non-volatile memory field-effect transistors](#)

物理学报.2014, 63(2): 027302 <http://dx.doi.org/10.7498/aps.63.027302>

功率 MOSFET 的负偏置温度不稳定性效应中的平衡现象

[Flat-roof of dynamic equilibrium phenomenon in static negative biase temperature instability effect on power metal-oxide-semiconductor field-effect transistor](#)

物理学报.2013, 62(16): 167305 <http://dx.doi.org/10.7498/aps.62.167305>

氮氟复合注入对注氧隔离 SOI 材料埋氧层内固定正电荷密度的影响

[Effect of co-implantation of nitrogen and fluorine on the fixed positive charge density of the buried oxide layer in SIMOX SOI materials](#)

物理学报.2013, 62(11): 117303 <http://dx.doi.org/10.7498/aps.62.117303>

柔性有机场效应晶体管研究进展

[The progress of flexible organic field-effect transistors](#)

物理学报.2013, 62(4): 047301 <http://dx.doi.org/10.7498/aps.62.047301>

超短沟道绝缘层上硅平面场效应晶体管中热载流子注入应力导致的退化对沟道长度的依赖性*

刘畅¹⁾²⁾ 卢继武²⁾ 吴汪然¹⁾²⁾ 唐晓雨¹⁾²⁾ 张睿²⁾ 俞文杰³⁾
王曦³⁾ 赵毅^{1)2)4)†}

1)(南京大学电子科学与工程学院, 南京 210093)

2)(浙江大学信息与电子工程学系, 杭州 310027)

3)(中国科学院上海信息技术与微系统研究所, 上海 200050)

4)(浙江大学硅材料国家重点实验室, 杭州 310027)

(2015年2月5日收到; 2015年4月23日收到修改稿)

随着场效应晶体管(MOSFET)器件尺寸的进一步缩小和器件新结构的引入, 学术界和工业界对器件中热载流子注入(hot carrier injections, HCI)所引起的可靠性问题日益关注. 本文研究了超短沟道长度($L = 30\text{--}150\text{ nm}$)绝缘层上硅(silicon on insulator, SOI)场效应晶体管在HCI应力下的电学性能退化机理. 研究表明, 在超短沟道情况下, HCI应力导致的退化随着沟道长度变小而减轻. 通过研究不同栅长器件的恢复特性可以看出, 该现象是由于随着沟道长度的减小, HCI应力下偏压温度不稳定性效应所占比例变大而导致的. 此外, 本文关于SOI器件中HCI应力导致的退化和器件栅长关系的结果与最近报道的鳍式场效应晶体管(FinFET)中的结果相反. 因此, 在超短沟道情况下, SOI平面MOSFET器件有可能具有比FinFET器件更好的HCI可靠性.

关键词: 绝缘层上硅, 场效应晶体管, 热载流子注入, 沟道长度

PACS: 73.40.Qv, 73.63.-b

DOI: 10.7498/aps.64.167305

1 引言

热载流子注入(hot carrier injections, HCI)所引起的器件特性退化一直是场效应晶体管(MOSFET)器件可靠性研究中的一个重要课题. 当MOSFET处于开启状态时, 在靠近漏端的沟道处是高电场强度的耗尽层, 因此反型层中的载流子在这个区域中不断得到加速, 从而获得足够的动能成为热载流子, 热载流子与晶格产生碰撞电离而产生电子空穴对. 这些新电子和空穴在纵向电场作用下, 部分可以越过Si-SiO₂之间的势垒而注入到

栅极氧化层中, 从而以陷阱电荷或者界面陷阱的形式对器件造成新的损伤. 从器件特性来看, HCI效应将导致器件阈值电压(V_{th})的增大, 饱和电流(I_{Dsat})的下降和最大跨导(g_m)的减小.

从图1中HCI效应的基本物理图像可以看出, 如果维持栅极电压(V_g)和漏端电压(V_d)不变, 随着栅极长度的减小, 横向电场将会增大, HCI效应将会更加严重, 已有很多文献报道了类似的结果^[1]. 然而实际情况是随着栅长的减小, MOSFET器件的电源电压或者 V_g 和 V_d 都在不断减小, 电场强度并未明显增大, 因此在很长一段时间内, MOSFET器件并未遇到HCI效应变严重的现象.

* 国家重点基础研究发展规划(批准号: 2011CBA00607)、国家自然科学基金(批准号: 61376097)、浙江省自然科学基金(批准号: LR14F040001)和功能信息材料国家重点实验室开放课题(批准号: SKL201304)资助的课题.

† 通信作者. E-mail: yzhao@nju.edu.cn

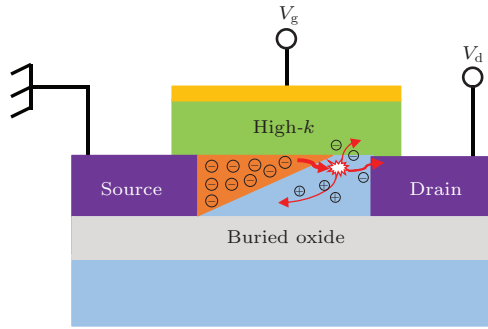


图1 (网刊彩色) HCI应力导致退化示意图

Fig. 1. (color online) Diagram of HCI degradation.

近年来,随着互补金属氧化物半导体(CMOS)集成电路工艺的发展, MOSFET的栅长不断缩短,短沟道情形下新的可靠性问题也受到更多重视^[2],很多工作对0.18 μm技术节点下HCI应力造成的退化进行了测量、模拟,并提出一些改进方案^[3-6].为了延续摩尔定律,进一步缩短器件尺寸,新结构器件已经被提出,其中主要包括在沟道中引入应力、鳍式场效应晶体管(FinFET)和绝缘层上硅(silicon on insulator, SOI)场效应晶体管.随之而来的新结构场效应晶体管器件的可靠性问题就成为非常重要的新课题^[7-9].已有不少文献报道了FinFET器件中的HCI可靠性问题,结果都表明HCI应力导致的退化有可能再次成为超短沟道新结构器件(尤其是FinFET)中新的可靠性问题^[1,10,11].台积电和意法半导体报道在超小尺寸的FinFET器件中HCI应力导致的退化比偏压温度不稳定性(bias temperature instability, BTI)导致的退化更为严重^[1].英特尔(Intel)报道了在应变硅22 nm FinFET器件中BTI效应导致的退化已变得不那么显著,甚至可以“完全”恢复^[12].

而作为另一种非常有希望的新结构器件——SOI MOSFET,其超短沟道下的热载流子现象的研究尚未见详细报道.本文系统研究了超短沟道($L = 30-150$ nm) SOI MOSFET器件中HCI应力导致的器件特性退化与栅长的相关性,结果表明,在超短沟道情形下,SOI MOSFET器件中HCI应力导致的退化随着沟道长度缩短而减轻,该结果与已有报道中关于FinFET HCI可靠性的结果相反^[1,13].恢复测试的结果表明,由于随着沟道长度的减小, HCI应力时靠近源端的BTI效应的作用越来越明显,而BTI效应导致的退化具有可恢复特性,因此随着栅长的减小,实验观测到的HCI应力导致的退化将减轻.从本文的结果可以看出两

点: 1)在研究超短沟道器件中的HCI效应时,必须同时考虑在源端的BTI效应和漏端的热载流子效应; 2)SOI平面MOSFET器件有可能具有比三维FinFET更好的HCI可靠性.

2 实验

本研究中使用传统的平面SOI MOSFET器件,其结构如图2所示.器件的等效氧化层厚度(EOT)为1.7 nm.器件栅极长度 L_{gate} 为30—150 nm,栅极宽度 W_{gate} 都为10 μm.漏端电流(I_d)与 V_g 关系曲线如图3所示.从图3中可以看出,无论是pMOSFET还是nMOSFET,开关比都超过6个数量级,显示出良好的器件性能.

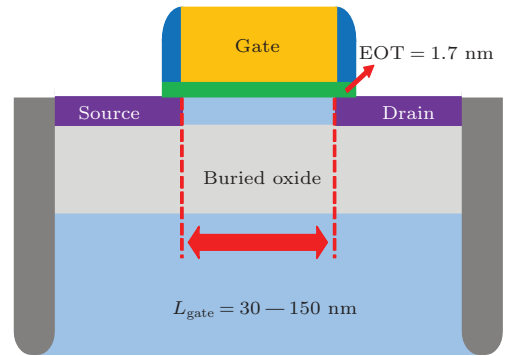


图2 (网刊彩色) 测试用器件结构

Fig. 2. (color online) The structure of planar SOI MOSFET devices.

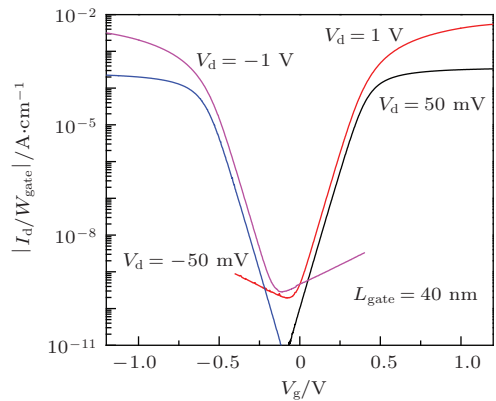


图3 (网刊彩色) 器件 I_d - V_g 特性曲线

Fig. 3. (color online) I_d - V_g curves of devices.

本研究中采用安捷伦B1500与Cascade探针台进行器件的各项电学性能以及HCI应力的施加.施加应力阶段,器件经受重复的 I_d - V_g 测量、HCI应力、 I_d - V_g 测量过程;恢复阶段,器件经过重复的 I_d - V_g 测量、恢复、 I_d - V_g 测量过程.各 I_d - V_g 取样的

时间点分别为施加应力或恢复 0, 10, 30, 100, 300, 1000, 3000 s. 应力、恢复与测量之间的切换时间间隔为毫秒级. 在 I_d - V_g 测量时, 漏端电压固定在 50 mV. 阈值电压 (V_{th}) 用定电流法提取得到, 在 I_d 为 $1 \mu A \times (W/L)$ 时对应的 V_g 即为 V_{th} . 施加 HCI 应力时, 源端接地, 漏端与栅极固定在 2.2 V, 当器件处于恢复阶段时, 所有的电极都接地.

3 结果与讨论

器件的很多参数都会随 HCI 应力的施加而逐步退化, 例如 V_{th} , I_{Dsat} , g_m 等. 本研究中统一选用 V_{th} 的变化作为评价标准. 图 4 是典型的器件线性区 I_d - V_g 随 HCI 应力施加时间加长而退化的结果. 可以看出, 随 HCI 应力施加时间的增长, 器件退化越来越严重.

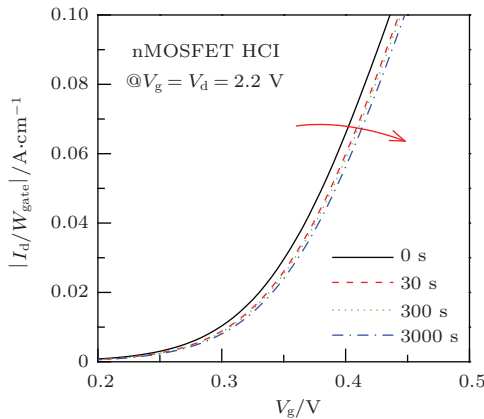


图 4 (网刊彩色) 典型的 I_d - V_g (线性区域) 曲线随着热电子注入测试时间的增加而逐步退化 ($V_g = V_d = 2.2$ V, $V_s = 0$ V, 室温)

Fig. 4. (color online) I_d - V_g curves (in linear region) of nMOSFET during 3000 s HCI stress at room temperature @ $V_g = V_d = 2.2$ V.

图 5 和图 6 分别总结了不同栅长 nMOSFET 和 pMOSFET 在施加 HCI 应力后 V_{th} 的变化曲线. 和已有的报道类似, 不同栅长的 pMOSFET 和 nMOSFET, 阈值电压的退化量 (ΔV_{th}) 都随着 HCI 应力施加时间而幂指数增大 ($\Delta V_{th} = A \cdot t^n$, 其中 A 为常数, t 为应力施加时间, n 为拟合得到的幂指数常数)^[14]. 从图中还可以看出, 不同栅长的器件, 曲线拟合得到的 n 值基本相同, 这说明不同栅长的器件 HCI 应力导致退化的物理机理是一致的. 同时也可以清楚地看到, HCI 应力导致的阈值电压退化量随着栅长变小而明显减小.

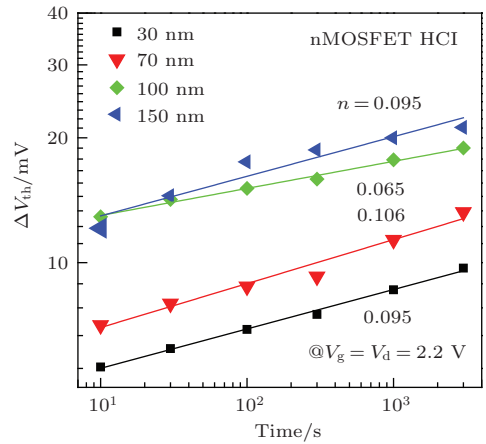


图 5 (网刊彩色) 室温下不同栅长的 nMOSFET 在 HCI 应力下阈值电压随着时间的变化 ($V_g = V_d = 2.2$ V)

Fig. 5. (color online) Time evolution of the V_{th} shift under the HCI stress in nMOSFET with different gate length. HCI stress at room temperature @ $V_g = V_d = 2.2$ V.

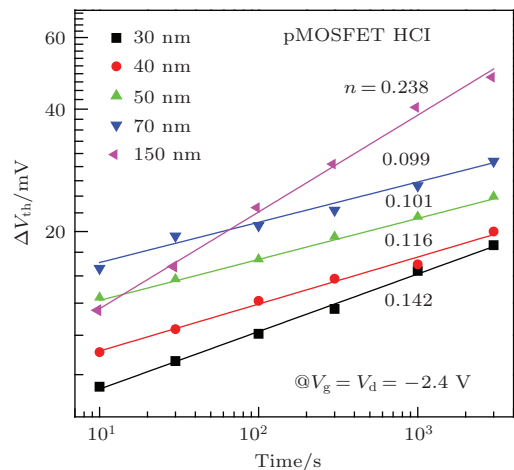


图 6 (网刊彩色) 室温下不同栅长的 pMOSFET 在 HCI 应力下阈值电压随着时间的变化 ($V_g = V_d = -2.4$ V)

Fig. 6. (color online) Time evolution of the V_{th} shift under the HCI stress in pMOSFET with different gate length. HCI stress at room temperature @ $V_g = V_d = -2.4$ V.

为了更加明晰 HCI 应力导致的退化与栅长的关系, 将不同栅长的器件在 3000 s HCI 应力后的阈值电压变化值总结在图 7 中. 可以看出, 无论是 nMOSFET 还是 pMOSFET, HCI 应力导致的退化随着栅长变短而减轻. 值得注意的是, 除了 150 nm pMOSFET, 所观测到的所有的时间幂指数常数 n 都约为 0.1, 如此低的 n 值说明 HCI 应力导致的退化主要是由于热电子注入 (nMOSFET) 或者热空穴注入 (pMOSFET) 而导致的^[15,16].

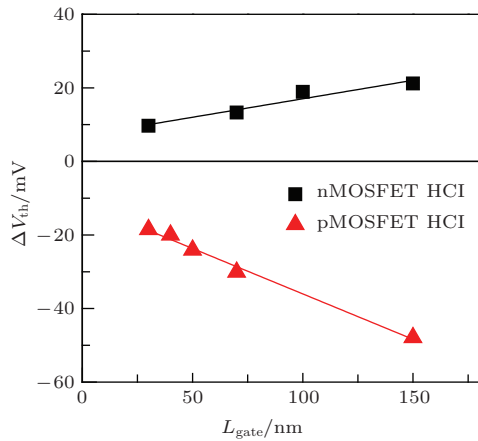


图7 (网刊彩色) 不同栅长的器件施加 HCl 应力 3000 s 后 V_{th} 的变化

Fig. 7. (color online) The V_{th} shift of various gate-length devices during 3000 s HCl stress.

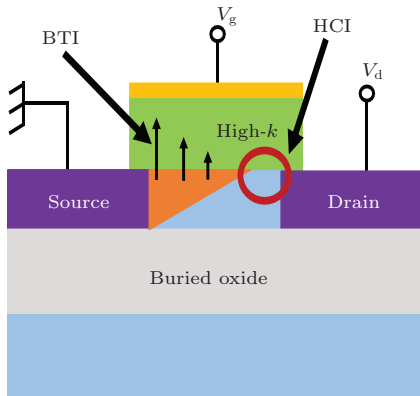


图8 (网刊彩色) 在短沟道器件中施加 HCl 应力时靠近源端的区域更加受到 BTI 效应导致的退化, 而靠近漏端的区域更加容易受到热载流子的损伤

Fig. 8. (color online) BTI and HCl competes with each other during the HCl stress in ultra-short gate length MOSFETs.

另外, 有文献已经报道在体硅 MOSFET 器件中施加 HCl 应力时, 实际的退化情况在源端和栅极是不同的 [17,18]. 类似地, SOI 平面 MOSFET 中 (图 8), 由于源端接地, 栅极与源端之间的电压差 (V_{gs}) 与 HCl 应力施加的电压 (V_{stress}) 相等, 所以靠近源端的区域, BTI 效应导致的退化占据主导地位, 而在靠近漏端的区域内热载流子注入导致的退化处于主导地位. 因此, 在源端的 BTI 效应和在漏端的热载流子注入处于竞争地位, 而退化恢复是 BTI 效应导致的退化所特有的现象, 可以通过研究 HCl 应力造成退化的恢复特性来研究是 BTI 效应还是热载流子注入起主导作用.

图 9 显示了不同栅长 SOI nMOSFET 3000 s 的 HCl 应力和 3000 s 的恢复过程. 可以看到, 随着栅长缩短, 退化恢复的比例越来越大, 当栅长为

30 nm 时, 3000 s HCl 应力导致的退化在撤除应力后 3000 s 几乎全部恢复. 所以, 在 SOI MOSFET 中, 靠近源端的 BTI 效应导致的退化的比例随着栅长缩短而上升. BTI 效应导致的退化是随着栅长缩短而减轻的 [19], 而且是可恢复的, 在 HCl 应力和 I_d - V_g 测量切换的毫秒级延迟中, ΔV_{th} 退化已经部分恢复. 这些原因导致了 SOI 平面 MOSFET 器件在 HCl 应力后观测到的退化量随着栅长缩短而减小.

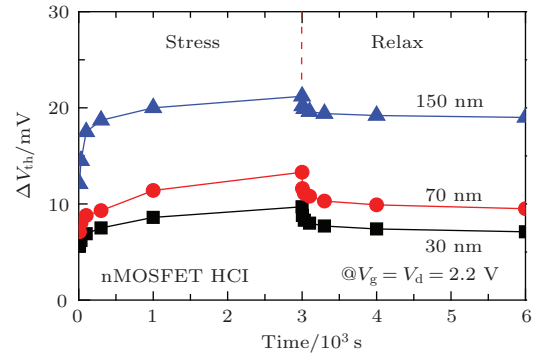


图9 (网刊彩色) 室温下不同栅长 SOI nMOSFET 经过 HCl 应力和恢复, 阈值电压的变化 ($V_g = V_d = 2.2$ V, $V_s = 0$ V)

Fig. 9. (color online) HCl Stress-recovery at room temperature of nMOSFETs with different gate length ($V_g = V_d = 2.2$ V, $V_s = 0$ V).

一般而言, pMOSFET 中的负偏压温度不稳定性 NBTI 比 nMOSFET 中的正偏压温度不稳定性 PBTI 更加严重, 因此在 pMOSFET 中 HCl 应力后的 ΔV_{th} 对栅长的依赖性更强, 这一点符合图 5 和图 6 中两种器件的退化趋势. 另外, BTI 的幂指数常数 n 一般远小于 HCl 的幂指数常数 n [20], 这也可以解释图 5 和图 6 中小尺寸器件的 n 值偏小的原因.

根据 Intel 的报道 [13], FinFET 中 HCl 应力导致的退化随着沟道的变短而加剧, 这与本文在 SOI 器件中的观测结果相反. Intel 给出的解释是 FinFET 中三面环绕包围的栅极/栅极氧化物界面结构增加了沟道中的幸运电子注入到栅极氧化层中的机会 (图 10), 从而使得 HCl 效应导致的退化加剧. 此外, 随着栅极长度的变小, 漏端附近的电场强度变大 (固定漏端电压), 所以总的退化将随着栅极变小而增大.

因此, 在超短沟道情况下, SOI MOSFET 器件和 FinFET 器件有可能表现出完全不同的 HCl 可靠性行为.

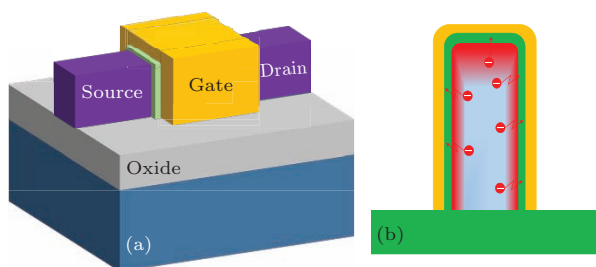


图 10 (网刊彩色) 对 n-FinFET 施加 HCI 应力时的示意图 (a) FinFET 结构; (b) 热载流子在 FinFET 中更容易损坏氧化层与半导体层的界面

Fig. 10. (color online) Schematic diagram showing the n-FinFET under HCI stress: (a) FinFET structure; (b) hot carriers can damage the oxide interface more in FinFET due to the surrounded gate stack.

4 结 论

本文的结果表明, 在超短沟道长度 SOI MOSFET 器件中, HCI 应力引起的器件特性退化既包含靠近源端的 BTI 效应所造成的退化, 也包含来自于靠近漏端的传统热载流子效应导致的退化. 此外, HCI 应力导致的退化随沟道长度缩短而减轻, 该结果与已有报道中 FinFET 器件中的结果相反. 这可能与 SOI MOSFET 中, 在超短沟道情形下, 靠近源端的 BTI 效应所导致的退化起主要作用有关. 而在 FinFET 器件中仍然是靠近漏端的热载流子效应起主要作用. 因此, 在分析超短沟道器件中的 HCI 应力导致的退化机理时, 必须同时考虑靠近源端的 BTI 效应和靠近漏端的传统的热载流子效应.

参考文献

[1] Liu S E, Wang J S, Lu Y R, Huang D S, Huang C F, Hsieh W H, Lee J H, Tsai Y S, Shih J R, Lee Y H, Wu K 2014 *IEEE International Reliability Physics Symposium* Waikoloa, HI, United States, June 1–5, 2014 p4A.4.1
 [2] Zhao Y, Wan X G 2006 *Acta Phys. Sin.* **55** 3003 (in Chinese) [赵毅, 万星拱 2006 物理学报 **55** 3003]
 [3] Liang B, Chen J J, Chi Y Q 2014 *Chin. Phys. B* **23** 117304

[4] Chen J J, Chen S M, Liang B, He Y B, Chi Y Q, Deng K F 2011 *Chin. Phys. B* **20** 114220
 [5] Ma X H, Cao Y R, Hao Y, Zhang Y 2011 *Chin. Phys. B* **20** 037305
 [6] Lei X Y, Liu H X, Zhang K, Zhang Y, Zheng X F, Ma X H, Hao Y 2013 *Chin. Phys. B* **22** 047304
 [7] Wu W R, Liu C, Sun J B, Yu W J, Wang X, Shi Y, Zhao Y 2014 *IEEE Electron Dev. Lett.* **35** 714
 [8] Miura Y, Matukura Y 1966 *Jpn. J. Appl. Phys.* **5** 180
 [9] Ning T H, Cook P W, Dennard R H, Osburn C M, Schuster S E, Yu H N 1979 *IEEE Trans. Electron Dev.* **26** 346
 [10] Amat E, Kauerauf T, Rodriguez R, Nafria M, Aymerich X, Degraeve R, Groeseneken G 2013 *Microelectron. Eng.* **103** 144
 [11] Franco J, Kaczer B, Eneman G, Roussel P, Cho M, Mitard J, Witters L, Hoffmann T Y, Groeseneken G, Crupi F, Grasser T 2011 *IEEE International Reliability Physics Symposium* Monterey, CA, United States, April 10–14, 2011 p6A.4.1
 [12] Ramey S, Hicks J, Liyanage L S, Novak S 2014 *IEEE International Reliability Physics Symposium* Waikoloa, HI, United States, June 1–5, 2014 pXT.2.1
 [13] Ramey S, Ashutosh A, Auth C, Clifford J, Hattendorf M, Hicks J, James R, Rahman A, Sharma V, Amour St A, Wiegand C 2013 *IEEE International Reliability Physics Symposium* Monterey, CA, United States, April 14–18, 2013 p4C.5.1
 [14] Takeda E, Suzuki N 1983 *IEEE Electron Dev. Lett.* **4** 111
 [15] Duan F, Ioannou D 1996 *SOI Conference, 1996 Proceedings, 1996, IEEE International* p18
 [16] Doyle B S, Mistry K R, Faricelli J 1997 *IEEE Electron Dev. Lett.* **18** 51
 [17] Amat E, Kauerauf T, Degraeve R, Rodriguez R, Nafria M, Aymerich X, Groeseneken G 2009 *IEEE Trans. Electron Dev.* **9** 454
 [18] Angot D, Huard V, Federspiel X, Cacho F, Bravaix A 2013 *IEEE International Reliability Physics Symposium* Anaheim, CA, United States, April 14–18, 2013 p5D.2.1
 [19] Liao J C, Fang Y K, Hou Y T, Hung C L, Hsu P F, Lin K C, Huang K T, Lee T L, Liang M S 2008 *Appl. Phys. Lett.* **93** 092101
 [20] Alam M, Mahapatra S 2005 *Microelectron. Reliab.* **45** 71

Gate length dependence of hot carrier injection degradation in short channel silicon on insulator planar MOSFET*

Liu Chang¹⁾²⁾ Lu Ji-Wu²⁾ Wu Wang-Ran¹⁾²⁾ Tang Xiao-Yu¹⁾²⁾ Zhang Rui²⁾
Yu Wen-Jie³⁾ Wang Xi³⁾ Zhao Yi^{1)2)4)†}

1) (School of Electronic Science and Engineering, Nanjing University, Nanjing 210093, China)

2) (Department of Information Science and Electronic Engineering, Zhejiang University, Hangzhou 310027, China)

3) (Shanghai Institute of Microsystem and Information Technology, Chinese Academy of Sciences, Shanghai 200050, China)

4) (State Key Laboratory of Silicon Materials, Zhejiang University, Hangzhou 310027, China)

(Received 5 February 2015; revised manuscript received 23 April 2015)

Abstract

With the continued device scaling and the introduction of new device structures, MOSFET reliability phenomena arising from the hot carrier injection (HCI) stress have received extensive attention from both the academia and the industry community. In this work, the degradations of ultra-scaled silicon on insulator (SOI) MOSFETs under the HCI stress are investigated on devices of different gate lengths ($L = 30\text{--}150$ nm).

Our experimental data demonstrate that the time evolutions of the threshold voltage change (V_{th}) under the HCI stress for different gate length devices are the same, and the magnitude of V_{th} reduces for the shorter devices.

The degradation of the device under the HCI stress should be due to both the channel hot carrier (CHC) effect and the bias temperature instability (BTI) effect. The distribution and magnitude of the electric field along the MOSFET's channel are analyzed. It is confirmed that besides the well-known CHC effect in the depletion region close to the drain side, a strong BTI effect co-exists in the channel close to the source side. This degradation mechanism is different from the conventional HCI stress. With the gate length decreasing, the contribution of the aforementioned BTI effect becomes larger, and it dominates in the degradation. One feature of the BTI effects is that the corresponding degradation is small when the gate length is short. This is consistent with our experimental result that the change of V_{th} is small for the device of short gate length under the accelerated HCI stress.

The time evolution of V_{th} can be described by the equation $V_{th} = A \cdot t^n$, where A is a constant, t is the stress time, and n is the power law exponent obtained by the curve fitting. In this study, the power law exponent n of pMOSFET is larger than that of nMOSFET. This experimental fact can lead to the point that the BTI effect exists during the HCI stress because the BTI effect in ultra-scaled pMOSFETs is more significant than that in nMOSFETs.

The stress-recover experiments of the HCI stress on MOSFETs show larger recovery in device of shorter gate length. It is found that the ratio of the recovery to the total degradation in the 30 nm gate-length device is almost twice as large as that in the 150 nm device. The degradation from the CHC effect has no recovery, and the larger recovery in the shorter-channel device implies the larger component of the BTI degradation.

Another intriguing fact is that our experimental result on SOI MOSFET is inconsistent with the recently reported result on FinFET. We argue that the reported stronger HCI degradation in FinFET may not be ascribed only to

* Project supported by the National Basic Research Program of China (Grant No. 2011CBA00607), the National Natural Science Foundation of China (Grant No. 61376097), the Natural Science Foundation Zhejiang Province of China (Grant No. LR14F040001), and the Open Project of State Key Laboratory of Functional Materials for Informatics, China (Grant No. SKL201304).

† Corresponding author. E-mail: yzhao@nju.edu.cn

the stronger electric field in the shorter channel, but also to the fact that the FinFET' channel is three-dimensionally surrounded by the gate dielectric. This kind of three-dimensional structure significantly increases the chance for electrons or holes to be injected into the dielectric layer. Therefore the HCI reliability of planar SOI MOSFETs may be better than that of FinFETs at the same level of gate length.

In conclusion, the BTI effect is an important source of the degradation during the HCI stress in ultra-short-channel device, and it is no more negligible in analyzing the underlying physical mechanism.

Keywords: silicon on insulator, metal-oxide semiconductor field effect transistor, hot carrier injection, gate length

PACS: 73.40.Qv, 73.63.-b

DOI: [10.7498/aps.64.167305](https://doi.org/10.7498/aps.64.167305)