

具有半绝缘多晶硅完全三维超结横向功率器件

曹震 段宝兴 袁小宁 杨银堂

Complete three-dimensional reduced surface field super junction lateral double-diffused metal-oxide-semiconductor field-effect transistor with semi-insulating poly silicon

Cao Zhen Duan Bao-Xing Yuan Xiao-Ning Yang Yin-Tang

引用信息 Citation: [Acta Physica Sinica](#), 64, 187303 (2015) DOI: 10.7498/aps.64.187303

在线阅读 View online: <http://dx.doi.org/10.7498/aps.64.187303>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn/CN/Y2015/V64/I18>

---

您可能感兴趣的其他文章

Articles you may be interested in

开态应力下电压和电流对 AlGaIn/GaN 高电子迁移率晶体管的退化作用研究

Degradation induced by voltage and current for AlGaIn/GaN high-electron mobility transistor under on-state stress

物理学报.2015, 64(12): 127303 <http://dx.doi.org/10.7498/aps.64.127303>

阶梯氧化层新型折叠硅横向双扩散功率器件

New folding lateral double-diffused metal-oxide-semiconductor field effect transistor with the step oxide layer

物理学报.2015, 64(6): 067304 <http://dx.doi.org/10.7498/aps.64.067304>

新型缓冲层分区电场调制横向双扩散超结功率器件

New super junction lateral double-diffused MOSFET with electric field modulation by differently doping the buffered layer

物理学报.2014, 63(24): 247301 <http://dx.doi.org/10.7498/aps.63.247301>

具有 N 型缓冲层 REBULF Super Junction LDMOS

New REBULF super junction LDMOS with the N type buffered layer

物理学报.2014, 63(22): 227302 <http://dx.doi.org/10.7498/aps.63.227302>

SnO<sub>2</sub>/p<sup>+</sup>-Si 异质结器件的电致发光: 利用 TiO<sub>2</sub> 盖层提高发光强度

Electroluminescence from SnO<sub>2</sub>/p<sup>+</sup>-Si heterostructured light-emitting device: enhancing its intensity via capping a TiO<sub>2</sub> film

物理学报.2014, 63(17): 177302 <http://dx.doi.org/10.7498/aps.63.177302>

## 具有半绝缘多晶硅完全三维超结横向功率器件\*

曹震 段宝兴† 袁小宁 杨银堂

(西安电子科技大学微电子学院, 宽禁带半导体材料与器件教育部重点实验室, 西安 710071)

(2014年12月11日收到; 2015年5月19日收到修改稿)

为了突破传统 LDMOS (lateral double-diffused MOSFET) 器件击穿电压与比导通电阻的硅极限的 2.5 次方关系, 降低 LDMOS 器件的功率损耗, 提高功率集成电路的功率驱动能力, 提出了一种具有半绝缘多晶硅 SIPOS (semi-insulating poly silicon) 覆盖的完全 3 D-RESURF (three-dimensional reduced surface field) 新型 super junction-LDMOS 结构 (SIPOS SJ-LDMOS). 这种结构利用 SIPOS 的电场调制作用使 SJ-LDMOS 的表面电场分布均匀, 将器件单位长度的耐压量提高到  $19.4 \text{ V}/\mu\text{m}$ ; 覆盖于漂移区表面的 SIPOS 使 SJ-LDMOS 沿三维方向均受到电场调制, 实现了 LDMOS 的完全 3 D-RESURF 效应, 使更高浓度的漂移区完全耗尽而达到高的击穿电压; 当器件开态工作时, 覆盖于薄场氧化层表面的 SIPOS 的电场作用使 SJ-LDMOS 的漂移区表面形成多数载流子积累, 器件比导通电阻降低. 利用器件仿真软件 ISE 分析获得, 当 SIPOS SJ-LDMOS 的击穿电压为 388 V 时, 比导通电阻为  $20.87 \text{ m}\Omega\cdot\text{cm}^2$ , 相同结构参数条件下, N-buffer SJ-LDMOS 的击穿电压为 287 V, 比导通电阻为  $31.14 \text{ m}\Omega\cdot\text{cm}^2$ ; 一般 SJ-LDMOS 的击穿电压仅为 180 V, 比导通电阻为  $71.82 \text{ m}\Omega\cdot\text{cm}^2$ .

**关键词:** super junction, 半绝缘多晶硅, 击穿电压, 比导通电阻

**PACS:** 73.40.Kp, 73.40.Vz, 73.61.Ey

**DOI:** 10.7498/aps.64.187303

## 1 引言

实现功率集成电路 PIC (power integrated circuit) 最关键的技术之一要求 LDMOS (lateral double-diffused MOSFET) 必须具有低的导通电阻以减小 PIC 集成电路的功率损耗<sup>[1]</sup>. 而 MOS 类器件关态击穿电压 ( $BV$ ) 与开态比导通电阻 ( $R_{\text{on}}$ ) 之间的 2.5 次方矛盾关系<sup>[2]</sup> 限制了 MOS 类器件高功率的应用范围, super junction 结构将这种矛盾关系缓解为 1.33 次方<sup>[3,4]</sup>, 所以将 super junction 技术应用于 LDMOS 形成 SJ-LDMOS 是实现超低功率损耗 PIC 的有效途径. 但是应用于 LDMOS 的 super junction 存在三方面问题: 1) N 沟道 LDMOS 具有的 P 型衬底辅助耗尽了 super junction 的 N 型区, 带来了衬底辅助耗尽 SAD (substrate-assisted depletion) 问题<sup>[5]</sup>; 2) 传统 SJ-LDMOS 只是在 su-

per junction 的 N 区与 P 区之间形成电场调制 (如图 1 所示的 Z 方向), 而在表面没有电场调制 (如图 1 所示的 -Y 方向), 即为不完全的 3D-RESURF (three-dimensional reduced surface field)<sup>[6]</sup>; 3) 消除衬底辅助耗尽的 SJ-LDMOS 虽然能使漂移区完全耗尽, 但由于受纵向电场的影响, 表面电场分布不均匀 (形成一般 LDMOS 的“U”形分布)<sup>[7,8]</sup>.

为了使 super junction 思想在 LDMOS 中完全发挥作用, 达到应用于纵向 VDMOS 的效果, 实现击穿电压与比导通电阻极限关系的突破, 本文提出了一种具有半绝缘多晶硅 SIPOS (semi-insulating poly silicon) 覆盖的完全 3 D-RESURF 新型 SJ-LDMOS 结构 (SIPOS SJ-LDMOS). 这种结构具有三方面的优点: 1) 利用 SIPOS 的电场调制作用使 SJ-LDMOS 的表面电场分布均匀, 提高了器件单位长度的耐压量, 在获得一定击穿电压条

\* 国家重点基础研究发展计划 (批准号: 2014CB339900, 2015CB351906)、国家自然科学基金重点项目 (批准号: 61234006, 61334002) 和陕西省科技统筹项目 (批准号: DF0105142502) 资助的课题.

† 通信作者. E-mail: bxduan@163.com

件下, 可以使漂移区长度尽可能减小, 降低了器件的比导通电阻; 2) 覆盖于漂移区表面的SIPOS增加了SJ-LDMOS的电场调制, 使SJ-LDMOS沿三维方向均受到调制电场作用, 实现了SJ-LDMOS的完全3D-RESURF效应, 当器件关态工作时, 完全3D-RESURF可以使更高浓度的漂移区完全耗尽而达到高的击穿电压; 3) 当器件开态工作时, 覆盖于薄场氧化层表面的SIPOS具有的电场可以使SJ-LDMOS的漂移区表面形成多数载流子积累, 器件比导通电阻相比于传统SJ-LDMOS降低. 利用器件仿真软件ISE分析获得, SIPOS SJ-LDMOS的击穿电压为388 V时, 比导通电阻仅为 $20.87 \text{ m}\Omega\cdot\text{cm}^2$ , 而相同结构参数条件下, N-buffer SJ-LDMOS的击穿电压为287 V, 比导通电阻为 $31.14 \text{ m}\Omega\cdot\text{cm}^2$ ; 一般SJ-LDMOS的击穿电压仅为180 V, 比导通电阻为 $71.82 \text{ m}\Omega\cdot\text{cm}^2$ .

## 2 器件结构

图1所示为本文提出的SIPOS SJ-LDMOS结构3D示意图. 与传统SJ-LDMOS的不同在于利用淀积技术在漂移区表面的场氧化层上覆盖一层具有高阻的半绝缘多晶硅(SIPOS), SIPOS也可以用文献[9]提出的具有一定电阻率的N型层代替, 栅极为多晶硅, 漏极为金属铝. SIPOS与栅极连接处为N型同型重掺杂形成欧姆接触. SIPOS与金属铝连接时采用的是BUTTING工艺, 在连接处做重型掺杂形成欧姆接触. 通过调整工艺参数使SIPOS的方块电阻均匀并具有很低的泄漏电流. 当栅漏电极之间施加一定电压时, 由电流的连续性原理可知, 电场沿图1所示的X方向均匀分布. 漂移区表面与SIPOS之间只隔一层厚度为 $0.04 \mu\text{m}$ 的 $\text{SiO}_2$ 层, 高斯定理使得漂移区表面的电场也沿X方向均匀分布, 这即为SIPOS的电场调制效应. 均匀分布的漂移区表面电场优化了传统SJ-LDMOS的电场分布, 提高了器件的单位耐压量. 器件开态时, 存在于SIPOS中的电场在漂移区表面感应出一定量的多数载流子电子, 使SJ-LDMOS的表面形成导电通道, 降低了器件的导通电阻. SIPOS SJ-LDMOS结构的衬底辅助耗尽效应利用国际上Salama等[7]和电子科技大学张波教授课题组[8]提出的具有N型缓冲层方法解决, 并可以利用段宝兴等提出的REBULF SJ-LDMOS结构[10]或分区N

型缓冲层[11]方法进一步优化. 图1所示器件的结构参数如下:  $N_D$ 和 $N_A$ 表示super junction中N型和P型的浓度;  $W_N$ 和 $W_P$ 分别表示N型和P型的宽度;  $L_D$ 表示漂移区的长度;  $N_B$ 表示N型缓冲层沟道的浓度;  $N_S$ 表示P型衬底的浓度.

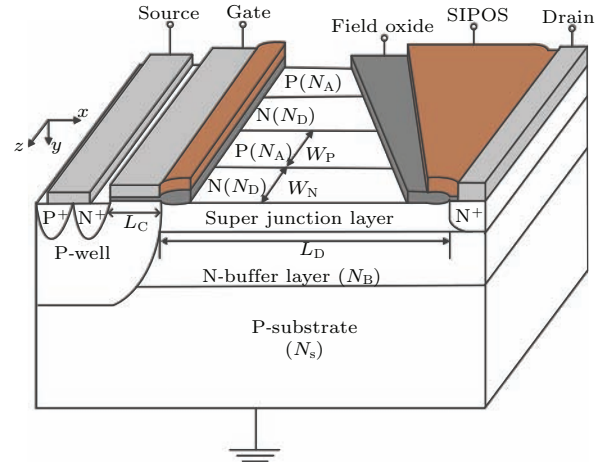


图1 SIPOS覆盖完全3D-RESURF SJ-LDMOS器件结构示意图

Fig. 1. Three-dimensional view of the proposed SIPOS SJ-LDMOS.

## 3 仿真结果与分析

图2所示为一般SJ-LDMOS, N型缓冲层SJ-LDMOS和SIPOS SJ-LDMOS三种结构关态击穿时的等势线分布. 由图2(a)可以看出, 对于漂移区只有super junction层的一般SJ-LDMOS, 击穿电压仅为180 V, 这是由于N型SJ-LDMOS制备于P型衬底上, P型衬底对super junction层的N区辅助耗尽, 器件达到击穿时P区没有完全耗尽, 等势线分布不均匀. 图2(b)为具有N型缓冲层SJ-LDMOS等势线分布, N型缓冲层SJ-LDMOS的N型漂移区补偿了P型衬底的电荷使super junction同样浓度的N区和P区在器件关断反向工作时完全耗尽, 这种结构即为Salama等和张波教授课题组提出的N-buffered SJ-LDMOS, N-buffer的目的就是为了消除P型衬底引起的衬底辅助耗尽问题, 器件达到击穿时super junction和N型缓冲层完全耗尽, 电荷完全补偿, 击穿电压增大到287 V. 然而, 对于N-buffered SJ-LDMOS, 虽然消除了衬底辅助耗尽效应, 但是由于LDMOS受纵向电场的影响, 器件击穿时横向电场分布不均匀. 为了优化表面电场分布, 提高器件的击穿电压, 文献[10—16]已经提出了几种新型结构. 图2(c)所示的SIPOS

SJ-LDMOS新结构等势线分布表明, 由于SIPOS的电场调制效应, 使等势线分布均匀, 器件的击穿电压提高到388 V. 图2所示三种结构的等势线具

有相同的漂移区长度、相同的衬底浓度, 漂移区的浓度根据优化的条件设定.

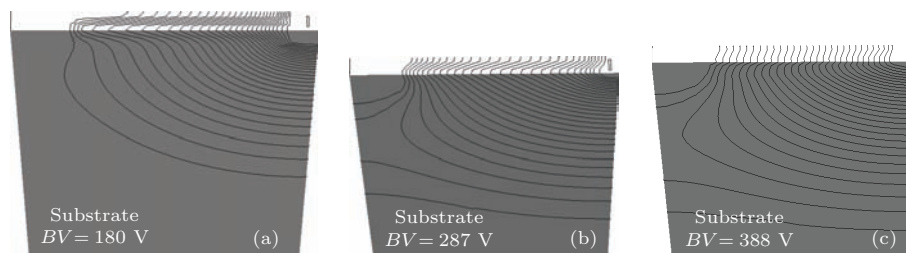


图2 器件击穿时的等势线分布 (a) 一般SJ-LDMOS; (b) N-buffer SJ-LDMOS; (c) SIPOS SJ-LDMOS;  $W_N = W_P = 1.0 \mu\text{m}$ ;  $N_D = N_A = 5.0 \times 10^{16} \text{cm}^{-3}$ ;  $L_D = 20.0 \mu\text{m}$ ;  $N_B = 2.5 \times 10^{15} \text{cm}^{-3}$

Fig. 2. Equipotential contour plots of (a) the conventional SJ-LDMOS, (b) the N-buffer SJ-LDMOS and (c) the SIPOS SJ-LDMOS:  $W_N = W_P = 1.0 \mu\text{m}$ ;  $N_D = N_A = 5.0 \times 10^{16} \text{cm}^{-3}$ ;  $L_D = 20.0 \mu\text{m}$ ;  $N_B = 2.5 \times 10^{15} \text{cm}^{-3}$ .

图3所示为器件的表面电场分布. 一般LDMOS表面电场分布在器件的栅边缘与漏电极端出现了两个电场峰, 中间区域电场分布较低, 这即为横向器件表面电场的“U”形分布, 这种分布是由于LDMOS受漏电极与衬底电极纵向电场的影响, 而且器件的击穿电压由横向击穿电压与纵向击穿电压共同决定, 在纵向击穿电压达到饱和之前, 提高击穿电压必须通过优化横向电场分布实现. 在器件参数优化的条件下, 一般LDMOS的击穿电压为254 V. 受衬底辅助耗尽效应的影响, 漂移区仅有super junction层的SJ-LDMOS没有完全耗尽, 表面电场只出现了漏端的电场峰, 击穿电压仅为180 V. 具有N型缓冲层SJ-LDMOS通过N型缓冲漂移区消除了衬底辅助耗尽, 当器件击穿时super junction的N区与P区完全耗尽, 表面电场分布类似于一般LDMOS结构, 击穿电压较一般SJ-LDMOS提高到287 V. 表面电场分布最均匀的为本文提出的SIPOS SJ-LDMOS, 由于表面SIPOS的电场调制作用, 器件反向工作时均匀分布于SIPOS中的电场通过高斯定律强制将SJ-LDMOS的漂移区表面电场均匀化, 降低栅边缘和漏电极高峰电场的同时, 提高了中间分布较低的电场, 使电场分布近乎均匀, 这是表面电场优化的最好结果. 均匀分布的表面电场将击穿电压提高到388 V. 所以, 由图3的电场分布比较可以得出, SIPOS SJ-LDMOS在消除一般SJ-LDMOS衬底辅助耗尽基础上, 缓解了纵向电场对横向电场的影响, 使器件的表面电场分布均匀, 栅、漏两端高峰电场降低, 不但提高了器件的

击穿电压, 而且提高了器件由于高电场引起的可靠性问题.

进行ISE TCAD仿真时采用的主要物理模型包括: 迁移率(mobility)模型、本征载流子浓度(effective intrinsic density)模型和复合模型. 其中迁移率模型中包括: 掺杂模型(doping dependence)、高电场饱和(速度饱和)模型和横向电场模型(transverse field dependence). 本征载流子浓度模型中包括禁带变窄模型(band gap narrowing). 复合模型中包括间接复合(SRH)模型和Auger复合模型.

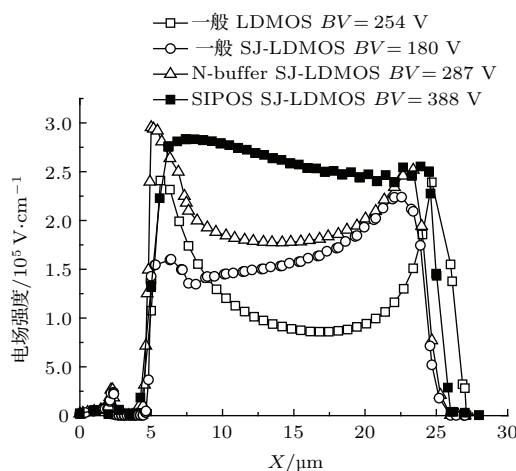


图3 横向表面电场分布  $W_N = W_P = 1.0 \mu\text{m}$ ;  $N_D = N_A = 5.0 \times 10^{16} \text{cm}^{-3}$ ;  $L_D = 20.0 \mu\text{m}$ ;  $N_B = 2.5 \times 10^{15} \text{cm}^{-3}$

Fig. 3. Lateral electric field distributions for four kinds of LDMOS:  $W_N = W_P = 1.0 \mu\text{m}$ ;  $N_D = N_A = 5.0 \times 10^{16} \text{cm}^{-3}$ ;  $L_D = 20.0 \mu\text{m}$ ;  $N_B = 2.5 \times 10^{15} \text{cm}^{-3}$ .

LDMOS 结构由于受纵向电场的影响, 击穿电压由横向击穿电压与纵向击穿电压共同决定, 在降低表面峰值电场优化的条件下, 器件的击穿发生在漏电极的体内, 当N沟道LDMOS的P型衬底浓度一定时, 纵向击穿电压主要由N型漂移区与P型衬底形成的PN结扩展的耗尽区承担, 横向击穿电压主要由横向分布的电场决定, 随着器件漂移区长度的增加, 横向击穿电压逐渐增大, 当增大到纵向击穿电压时不再随漂移区长度的增加而饱和. 所以, 当器件通过结构优化使得横向电场分布均匀时, 随漂移区长度增加而饱和的漂移区长度增加, 击穿电压提高. 图4所示为随漂移区长度增加, 器件的击穿电压逐渐增大并趋于饱和. 本文提出的SIPOS SJ-LDMOS相比于一般LDMOS和N-buffer SJ-LDMOS 击穿电压增加的幅度较大, 饱和的漂移区长度增加, 击穿电压较一般LDMOS增加了42%; 与N-buffer SJ-LDMOS比较增加了35%.

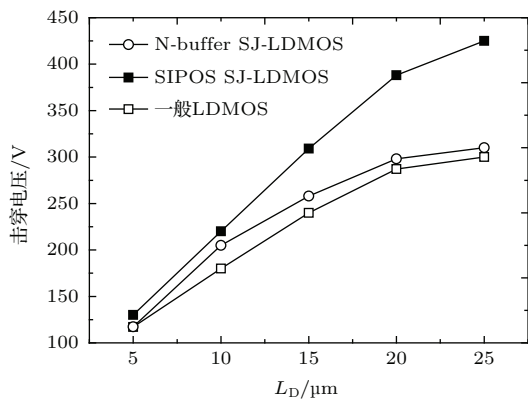


图4 击穿电压与漂移区长度关系曲线

Fig. 4. Breakdown voltage versus  $L_D$  for three kinds of LDMOS.

图5所示为一般SJ-LDMOS, N-buffer SJ-LDMOS和SIPOS SJ-LDMOS三种器件关断时的特性曲线, 由图5可以看出, 本文提出的SIPOS SJ-LDMOS 击穿电压为388 V, 由于SIPOS电场调制的作用, 使漂移区表面电场分布均匀, 提高了器件的横向击穿电压, 在优化的条件下使器件的击穿电压较N-buffer SJ-LDMOS增加了35%. 然而, SIPOS SJ-LDMOS的一个缺点即为SIPOS电阻场板的存在相当于器件并联了一个高电阻, 导致器件开启时漏电流有所增加, 相比于传统SJ-LDMOS漏电流由 $10^{-13}$  A增加至 $10^{-10}$  A, 这种增加相比于器件正常工作时的电流 $10^{-4}$  A仍然很小, 所以增加的漏电流可以忽略[17-19]. 温度、薄膜厚度和氧

原子的含量对SIPOS的反向漏电流都有影响. 一般硅器件采用氧原子浓度为15%—35%的SIPOS薄膜, SIPOS的电阻率随着氧原子浓度的增加而增大, 氧原子的比例越高、薄膜厚度越薄则常温漏电流和高温漏电流越低[20]. 而温度对反向漏电流的影响则较小, SIPOS具有较好的温度稳定性[21]. 然而当薄膜厚度增加、氧原子的比例下降时, 会提升BV. 因此, 从SIPOS SJ-LDMOS器件本身的特性出发, 根据电学性能需求, 通过调节SIPOS的电阻优化器件的正、反向特性, 在漏电流允许的范围内, 对器件表面电场优化大幅度增加了器件的击穿电压. 文献[22]报道了采用基于热氧化工艺的 $\text{SiO}_2$ -PSG-SIPOS- $\text{SiO}_2$ 结构可以进一步有效降低SIPOS引起的漏电流.

对于SIPOS SJ-LDMOS, 当器件为关断状态时, 由于SIPOS电阻场板与漂移区表面存在电势差, SIPOS电阻场板辅助耗尽漂移区, 使得漂移区表面耗尽程度增加(即出现深耗尽). 然而当器件为导通状态时, SIPOS电阻场板使得器件漂移区表面出现多数载流子积累. 所以SIPOS SJ-LDMOS由关断状态转换到开启导通状态过程中, 漂移区表面由过度耗尽状态转换到多数载流子积累状态需要的时间增加, 在一定程度上降低了器件的开关特性. 通过优化SIPOS的掺杂浓度和厚度、选择合适的介质氧化层厚度可以有效地改善SIPOS SJ-LDMOS器件的开关特性[23].

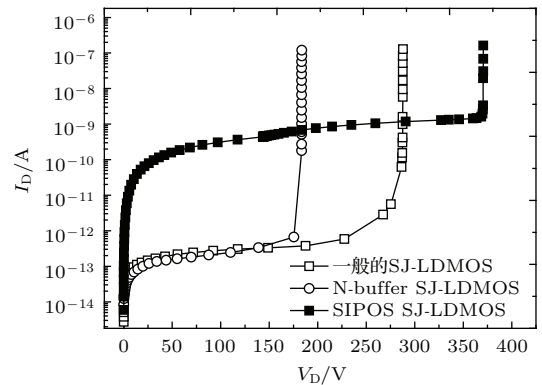


图5 器件关断时击穿特性比较

Fig. 5. Breakdown characteristics for three LDMOS in the off-state.

图6为一般LDMOS, N-buffer SJ-LDMOS和SIPOS SJ-LDMOS三种器件开态工作时的输出特性比较, 器件的阈值电压为3 V左右. 由图6(a)可以看出, 当器件栅压为4, 6和8 V时, SIPOS SJ-

LDMOS的输出电流比一般LDMOS和N-buffer SJ-LDMOS的工作电流增大,说明本文提出的SIPOS SJ-LDMOS具有较低的导通电阻.为了更明显地比较器件工作在线性区时的*I-V*特性,图6(b)比较了三种器件漏极加0.1 V低电压时的输出曲线.计算可以获得SIPOS SJ-LDMOS的比导通电阻为20.87 mΩ·cm<sup>2</sup>,与N-buffer SJ-LDMOS器件的比导通电阻31.14 mΩ·cm<sup>2</sup>相比降低了33%左右;相比于一般LDMOS的比导通电阻71.82 mΩ·cm<sup>2</sup>降低了71%左右,此时器件的击穿电压为图5给出的结果.

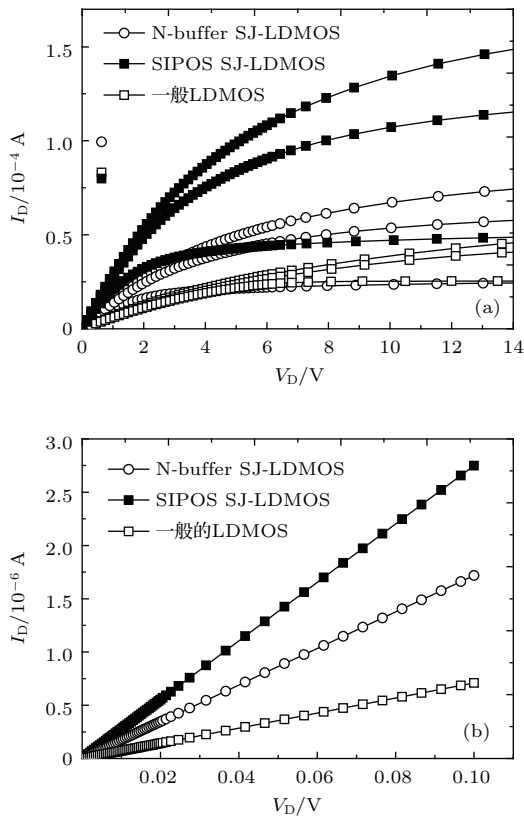


图6 (a) 输出特性曲线; (b) 低漏压时的输出曲线  
Fig. 6. Output characteristics (a) for three LDMOS in the on-state and (b) in low drain voltage.

虽然 SIPOS SJ-LDMOS 和 N-buffer SJ-LDMOS 两种器件的 super junction N区和P区的掺杂浓度均为  $5.0 \times 10^{16} \text{ cm}^{-3}$ ,但是器件开态时覆盖于漂移区表面的SIPOS高电阻场板的电场调制作用,在漂移区表面形成电子积累.图7所示为SIPOS SJ-LDMOS和N-buffer SJ-LDMOS两种器件当栅压为5 V,漏压为10 V时,对于长度为20 μm的漂移区表面,靠近沟道附近分别为2, 10和18 μm处沿Z方向的电荷浓度分布.从图7可以

看出,SIPOS SJ-LDMOS的电子浓度高于N-buffer SJ-LDMOS,对于SIPOS SJ-LDMOS结构的N区和P区表面,SIPOS高电阻场板感应的电荷使P区也参与导电,这是SIPOS SJ-LDMOS结构的另外一个优点,参与导电的P区使得Super Junction层的导电区域增大,器件的导通电阻大幅度降低.

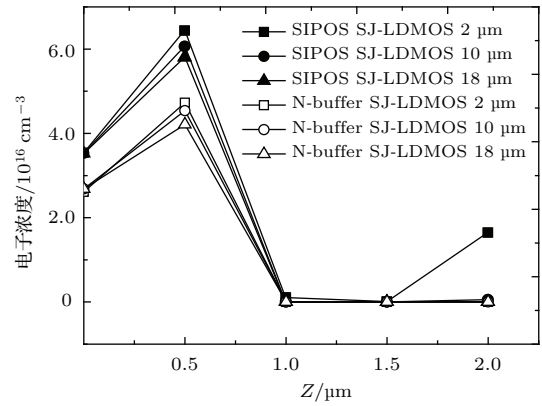


图7 积累的电子浓度沿表面的分布曲线  
Fig. 7. Electronic current density distributions in the Z-direction for SIPOS SJ-LDMOS and N-buffer SJ-LDMOS.

### 4 结 论

本文为了突破传统LDMOS器件击穿电压与比导通电阻的极限关系,降低高压器件的功率损耗,提高PIC集成电路的功率驱动能力,提出了一种具有半绝缘多晶硅(SIPOS)覆盖的完全3D-RESURF新型SJ-LDMOS结构,称为SIPOS SJ-LDMOS.这种结构利用SIPOS的电场调制作用使SJ-LDMOS的表面电场分布均匀,将器件单位长度的耐压量提高到19.4 V/μm降低了器件的比导通电阻;覆盖于漂移区表面的SIPOS增加了SJ-LDMOS的电场调制效应,使SIPOS SJ-LDMOS沿三维方向均受到电场调制,实现了SJ-LDMOS的完全3D-RESURF效应,器件关态时,完全3D-RESURF可以使更高浓度的漂移区完全耗尽而达到高的击穿电压,而且当器件开态工作时,覆盖于薄场氧化层表面的SIPOS具有的电场可以使SJ-LDMOS的漂移区表面形成多数载流子积累,器件比导通电阻相比于传统SJ-LDMOS降低.利用器件仿真软件ISE分析获得,相同结构参数条件下,SIPOS SJ-LDMOS的击穿电压为388 V,较N-buffer SJ-LDMOS的击穿电压287 V提高了35%,

同时, 比导通电阻为  $20.87 \text{ m}\Omega\cdot\text{cm}^2$ , 较 N-buffer SJ-LDMOS 的比导通电阻  $31.14 \text{ m}\Omega\cdot\text{cm}^2$  减低了 33% 左右; 相比于一般 LDMOS 比导通电阻下降了 71% 左右.

### 参考文献

- [1] Kyungho L, Haeung J, Byunghee C, Joonhee C, Pang Y S, Jinwoo M, Susanna K 2013 *Proceedings of the 25th International Power Semiconductor Devices and ICs*, Kanazawa, May 26–30, 2013 p163
- [2] Chen X B, Wang X, Johnny K O S 2000 *IEEE Trans. Electron Devices* **47** 1280
- [3] Deboy G, Marz M, Stengl J P, Strack H, Tihanyi J, Weber H 1998 *Proceedings of the IEEE International Electron Devices Meeting*, San Francisco, December 6–9, 1998 p683
- [4] Chen X B, Johnny K O S 2001 *IEEE Trans. Electron Devices* **48** 344
- [5] Sameh G, Khalil N, Salama C A T 2003 *IEEE Trans. Electron Devices* **50** 1385
- [6] Appels J A, Collet M G, Hart P A H, Vase H M J 1980 *Philips Journal of Research* **35** 1
- [7] Sameh G, Khalil N, Li Z H, Salama C A T 2004 *IEEE TRANSACTIONS ON Electron Devices* **51** 1185
- [8] Zhang B, Chen L, Wu T, Li Z J 2005 *Proceedings of the 3th International Conference on Communications, Circuits and Systems*, Hong Kong, May 27–30, 2005 p1399
- [9] Wei J, Luo X R, Shi X L, Tian R C, Zhang B, Li Z J 2014 *Proceedings of the 26th International Power Semiconductor Devices and ICs*, Waikoloa, Hawaii, June 15–19, 2014 p127
- [10] Duan B X, Cao Z, Yuan X N, Yang Y T 2014 *Acta Phys. Sin.* **63** 227302 (in Chinese) [段宝兴, 曹震, 袁小宁, 杨银堂 2014 物理学报 **63** 227302]
- [11] Duan B X, Cao Z, Yuan S, Yuan X N, Yang Y T 2014 *Acta Phys. Sin.* **63** 247301 (in Chinese) [段宝兴, 曹震, 袁嵩, 袁小宁, 杨银堂 2014 物理学报 **63** 247301]
- [12] Duan B X, Yang Y T, Zhang B 2009 *IEEE Electron Device Lett.* **30** 305
- [13] Duan B X, Yang Y T, Zhang B, Hong X F 2009 *IEEE Electron Device Lett.* **30** 1329
- [14] Duan B X, Yang Y T 2011 *IEEE Trans. Electron Devices* **58** 2057
- [15] Duan B X, Zhang B, Li Z J 2005 *Solid-State Electronics* **49** 1965
- [16] Duan B X, Yang Y T, Zhang B 2010 *Solid-State Electronics* **54** 685
- [17] Matsudai T, Nakagawa A 1992 *Proceedings of the 4th International Power Semiconductor Devices and ICs*, Toronto, Canada, May 26–28, 1992 p272
- [18] Funaki H, Yamaguchi Y, Hirayama K, Nakagawa A 1998 *Proceedings of the 10th International Power Semiconductor Devices and ICs*, Digest, Kyoto, June 3–6, 1998 p25
- [19] Chung S K, Shin D K 1999 *IEEE Trans. Electron Devices* **46** 1804
- [20] Wei D L 2009 *Electronics & Packaging* **9** 37 [魏敦林 2009 电子与封装 **9** 37]
- [21] Matsushita T, Aoki T, Ohtsu T, Yamoto H, Hayashi H, Okayama M, Kawana Y 1976 *IEEE Trans. Electron Devices* **23** 826
- [22] Mimura A, Oohayashi M, Murakami S, Momma N 1985 *IEEE Electron Device Letters* **6** 189
- [23] Jaume D, Charitat G, Reynes J M, Rossel P 1991 *IEEE Trans. Electron Devices* **38** 1681

# Complete three-dimensional reduced surface field super junction lateral double-diffused metal-oxide-semiconductor field-effect transistor with semi-insulating poly silicon\*

Cao Zhen Duan Bao-Xing<sup>†</sup> Yuan Xiao-Ning Yang Yin-Tang

(Key Laboratory of the Ministry of Education for Wide Band-Gap Semiconductor Materials and Devices, School of Microelectronics, Xidian University, Xi'an 710071, China)

( Received 11 December 2014; revised manuscript received 19 May 2015 )

## Abstract

Lateral double-diffused metal-oxide-semiconductor field-effect transistor (LDMOS) is a key device for the power integrated circuit (PIC) and high voltage integrated circuit (HVIC) technologies. In order to break through the limit relation of 2.5 power between breakdown voltage ( $BV$ ) and specific on-resistance ( $R_{on,sp}$ ) for the traditional LDMOS, and improve the driving capability for the PIC by reducing the power consumption, the new SJ-LDMOS with the semi-insulating poly silicon (SIPOS SJ-LDMOS) is proposed in this paper for the first time, to the best of the authors' knowledge. In order to take full advantage of super junction concept, the SIPOS layer is used for SJ-LDMOS to achieve the effect of the complete three-dimensional reduced surface field (3D-RESURF) for the SJ-LDMOS. The substrate assisted depletion is effectively eliminated by the buffer layer under the super junction. The overall performances of the SIPOS SJ-LDMOS are improved by the uniform and high resistance of the SIPOS layer. The surface electric field is modulated to be uniform by the electric field modulation effect due to the SIPOS layer covering the field oxide. The higher  $BV$  would be achieved for the more uniform surface electric field because of the increased average lateral electric field. The  $BV$  for the unit length of the drift region is improved to 19.4 V/ $\mu\text{m}$ . The SIPOS SJ-LDMOS along the 3D are subjected to the electric field modulation by the SIPOS layer, which achieves the complete 3D-RESURF effect, thus the drift region with the high concentration can be depleted completely to obtain the high  $BV$ . Moreover, in the on-state the majority carrier accumulation can be formed in the drift region of the SIPOS SJ-LDMOS due to the SIPOS layer, so that the specific on-resistance decreases further. In virtue of the ISE simulation, by optimizing the SIPOS layer of the proposed SIPOS SJ-LDMOS, the results show that the specific on-resistance of the SIPOS SJ-LDMOS is 20.87 m $\Omega\cdot\text{cm}^2$  with a breakdown voltage of 388 V, which is less than 31.14 m $\Omega\cdot\text{cm}^2$  for the N-buffer SJ-LDMOS with a breakdown voltage of 287 V, and far less than 71.82 m $\Omega\cdot\text{cm}^2$  for the conventional SJ-LDMOS with a breakdown voltage of only 180 V with the same drift length.

**Keywords:** super junction, semi-insulating poly silicon, breakdown voltage, specific on resistance

**PACS:** 73.40.Kp, 73.40.Vz, 73.61.Ey

**DOI:** 10.7498/aps.64.187303

\* Project supported by the State Key Program of National Natural Science Foundation of China (Grant Nos. 2014CB339900, 2015CB351906), the National Key Basic Research Program of China (Grant Nos. 61234006, 61334002), and the Science and Technology Innovation Project Co-ordination Program of Shaanxi Province, China (Grant No. DF0105142502).

<sup>†</sup> Corresponding author. E-mail: [bxduan@163.com](mailto:bxduan@163.com)