

高迁移率 Ge 沟道器件研究进展

安霞 黄如 李志强 云全新 林猛 郭岳 刘朋强 黎明 张兴

Research progress of high mobility germanium based metal oxide semiconductor devices

An Xia Huang Ru Li Zhi-Qiang Yun Quan-Xin Lin Meng Guo Yue Liu Peng-Qiang Li Ming Zhang Xing

引用信息 Citation: [Acta Physica Sinica](#), 64, 208501 (2015) DOI: 10.7498/aps.64.208501

在线阅读 View online: <http://dx.doi.org/10.7498/aps.64.208501>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn/CN/Y2015/V64/I20>

您可能感兴趣的其他文章

Articles you may be interested in

非制冷红外探测器读出电路的非均匀性研究

Non-uniformity study on readout circuit for uncooled IR detector

物理学报.2015, 64(11): 118503 <http://dx.doi.org/10.7498/aps.64.118503>

不同退火方式对 Ni/SiC 接触界面性质的影响

Effect of different annealing treatment methods on the Ni/SiC contact interface properties

物理学报.2015, 64(6): 067303 <http://dx.doi.org/10.7498/aps.64.067303>

恒定温度应力加速实验失效机理一致性快速判别方法

Rapid identification of the consistency of failure mechanism for constant temperature stress accelerated testing

物理学报.2013, 62(6): 068502 <http://dx.doi.org/10.7498/aps.62.068502>

SOI SONOS EEPROM 总剂量辐照阈值退化机理研究

Threshold voltage degradation mechanism of SOI SONOS EEPROM under total-dose irradiation

物理学报.2011, 60(9): 098502 <http://dx.doi.org/10.7498/aps.60.098502>

基于 SOI 技术的单层多晶 EEPROM 和 SONOS EEPROM 抗总剂量辐照特性研究

Total dose characteristics of single poly EEPROM and SONOS EEPROM on SOI

物理学报.2011, 60(2): 028502 <http://dx.doi.org/10.7498/aps.60.028502>

专题: 硅基光电子物理和器件

高迁移率 Ge 沟道器件研究进展*

安霞 黄如† 李志强 云全新 林猛 郭岳 刘朋强 黎明 张兴

(北京大学微纳电子学研究院, 微电子器件与电路教育部重点实验室, 北京 100871)

(2015 年 7 月 14 日收到; 2015 年 8 月 28 日收到修改稿)

高迁移率 Ge 沟道器件由于其较高而且更对称的载流子迁移率, 成为未来互补型金属-氧化物-半导体 (CMOS) 器件极有潜力的候选材料. 然而, 对于 Ge 基 MOS 器件, 其栅、源漏方面面临的挑战严重影响了 Ge 基 MOS 器件性能的提升, 尤其是 Ge NMOS 器件. 本文重点分析了 Ge 基器件在栅、源漏方面面临的问题, 综述了国内外研究者们提出的不同解决方案, 在此基础上提出了新的技术方案. 研究结果为 Ge 基 MOS 器件性能的进一步提升奠定了基础.

关键词: 高迁移率沟道, 栅工程, 源漏工程, 金属-氧化物-半导体

PACS: 85.40.-e, 73.40.Cg, 73.30.+y, 73.40.Qv

DOI: 10.7498/aps.64.208501

1 引言

随着集成电路技术的飞速发展, 传统体硅互补型金属-氧化物-半导体 (CMOS) 器件难以解决特征尺寸缩小所带来的问题, 面临着严峻的挑战. 迁移率的提升成为保持晶体管性能的关键因素之一. 应变硅技术作为一种迁移率增强技术, 自 90 nm 技术代开始在工业界中得到广泛应用^[1,2]. 然而, 工业界中采用的应变硅技术为工艺诱导应变技术, 依赖于工艺中应力层的厚度和体积. 随着器件间距 (pitch) 的缩小, 导致引入应力层的体积变得越来越小, 因此减弱了载流子迁移率的提升效果, 使得器件性能难以如预期的提高^[3,4].

为了进一步提升 MOS 器件乃至集成电路性能, 引入高迁移率沟道材料, 如 Ge, III-V 族材料, 成为未来 CMOS 技术发展的必然趋势^[5-8]. Ge 材料具有较高而且更对称的载流子迁移率 (电子迁移率约为 Si 的 2.5 倍、空穴迁移率约为 Si 的 4.4 倍), 并且与硅基 CMOS 工艺兼容, 被认为是高性能 CMOS 器件极具潜力的候选材料, 也成为近年来国际前沿研究热点之一^[5,6]. 目前, Ge PMOS 器件已取得了良好的进展^[6,9-11], 包括新结构如 Ge FinFET 器件的演示. 在 2015 年集成电路技术研讨会 (VLSI) 上, 美国 Purdue 大学^[12] 首次报道了 Ge 3D FinFET 反相器, 展示出了良好的性能. 然而, 对于 Ge 基器件, 栅介质与 Ge 沟道间的界面问题始终是限制其性能提升的关键因素之一, 与 Si/SiO₂ 体系相比, 还有进一步改善的空间. 尤其是对于 Ge NMOS 器件, 由于 n 型杂质在 Ge 中的固溶度较低、激活率较低, 而且扩散速率很快, 因此非常难以形成重掺杂浅结; 同时, 由于费米能级钉扎效应, 导致电子肖特基势垒很大, 使得金属/n-Ge 的接触电阻率较高, 也不利于 Ge NMOS 器件性能的提升. 因此, 高性能 Ge NMOS 器件的实现仍面临着严峻的挑战. 针对上述问题, 本文从栅、源漏方面对 Ge 基器件面临的问题进行了分析, 并对国际上相关研究进展进行了介绍, 在此基础上提出了新的技术方案并进行了实验验证.

* 国家重点基础研究发展计划 (批准号: 2011CBA00601)、国家自然科学基金 (批准号: 61421005, 61434007, 60806033, 61474004) 和国家科技重大专项 (02 专项) 资助的课题.

† 通信作者. E-mail: ruhuang@pku.edu.cn

2 栅工程研究

与Si/SiO₂体系不同, Ge的自然氧化物GeO₂性质不稳定, 具有水溶性, 而且达到一定温度(约400 °C)时容易和Ge衬底发生反应生成易挥发的GeO. 表面Ge原子容易外扩散, 造成Ge表面形貌变差, 栅介质/Ge沟道界面态密度高, 是影响Ge基器件性能的关键因素之一^[13-17]. 为了有效钝化界面态, 研究者们提出了多种解决方案, 如F^[18,19], Cl^[20,21], S^[22], Si^[23-25]钝化等, 但钝化效果不理想; 为了抑制GeO的生成与挥发, 日本的研究小组^[26-30]提出了高压氧化方法(high-pressure oxidation, HPO), 利用高温高压氧化生成GeO₂, 可有效抑制GeO的生成和挥发. 而且实验结果表明, 高压氧化与后续的低温氧气退火(low-temperature oxygen annealing, LOA)相结合可进一步改善其界面质量, 界面态密度最低可以降至 $10^{11} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ 以下, 电子和空穴迁移率均可得到显著提升, 峰值迁移率分别可以达到 $1920 \text{ cm}^2/(\text{V} \cdot \text{s})$ 和 $725 \text{ cm}^2/(\text{V} \cdot \text{s})$. 但高压氧化工艺条件苛刻, 氧化速率过快, 不适于小等效氧化层厚度(equivalent oxide thickness, EOT)器件的制备. 除高压氧化外, 也有研究者提出了臭氧氧化^[31]、氧等离子体氧化等^[32-33]方法来改善GeO₂及界面质量. 除上述方法外, 采用N₂O等离子体在低温条件下氧化生长高质量GeO₂也是有效方案之一^[34]. 除等离子体的低温特性外, 与O₂分子中O—O键相比(494 kJ/mol), 打断N₂O分子中N—O键所需能量更低(242 kJ/mol)^[35], 因此可在低温条件下

生长GeO₂. 采用N₂O等离子体氧化制备得到的MOS电容C-V特性如图1所示. 实验结果表明, 对于采用N₂O等离子体氧化得到的电容, 100 kHz下扫描得到的C-V曲线中耗尽区驼峰(hump)消失, 而且回滞特性也得到了明显改善, 界面态密度可降至 $3 \times 10^{11} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ 左右, 说明N₂O等离子体氧化技术可有效降低界面态密度, 改善界面质量.

与氧化物相比, Ge的氮化物具有较好的热稳定性, 而且可有效抑制Ge外扩散, 受到很多研究小组的关注. 最早报道的氮化方案是NH₃退火^[36,37], 但工艺温度偏高(约600 °C才能实现有效氮化), 而且氮含量偏低. 由于等离子体技术在工艺温度、离子活性等方面的优势, 可以在较低温度下实现Ge表面氮化, 而且还可以实现原位淀积高K栅介质, 是一种较有应用潜力的新技术. 基于PECVD系统, 我们提出了氮等离子体表面钝化(nitrogen-plasma-passivation, NPP)技术^[38], 可在低温下实现Ge表面钝化. 图2给出了NPP处理前后样品的X射线光电子谱(XPS)结果. 由图2可以看出, Ge 3d谱致分为三个峰, 分别为Ge-Ge(29.4 eV), Ge-N₄(31.5 eV)和GeO₂(32.9 eV), N 1s谱分为N-Ge₃(397.4 eV)和N-Ge-O(398.2 eV)两个峰, 而O 1s谱则分为GeO₂(532 eV)和N-Ge-O(531 eV)两个峰. 随着NPP处理时间增加, N的成分(Ge—N₄和N—Ge₃键)所占比例逐渐提高, 说明NPP钝化后Ge表面形成了Ge—N键.

经NPP处理后, 样品表面的粗糙度也得到了显著改善, 如图3所示, 这对于提升载流子迁移率非常重要. Ge表面粗糙度Ra由初始的2.4 Å左右降至1.9 Å左右, 这主要归因于Ge—N的形成降低

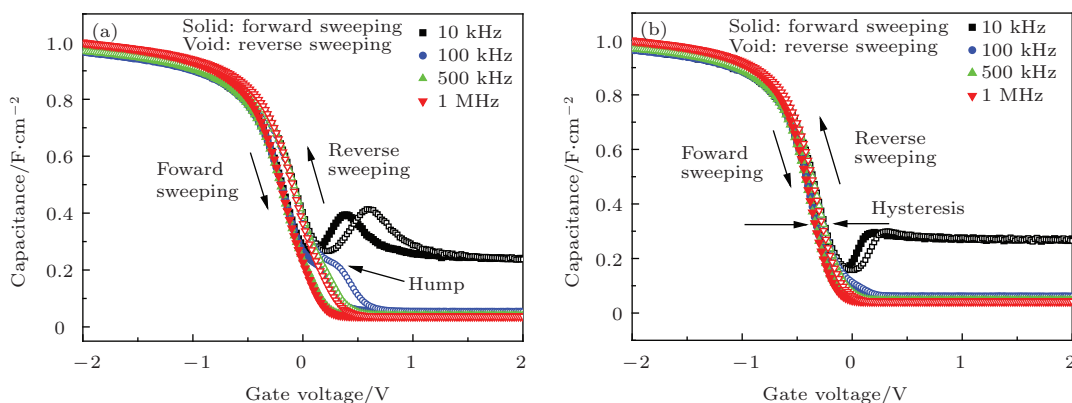


图1 未采用(a)和采用(b) N₂O等离子体氧化得到的样品MOS电容比较

Fig. 1. C-V characteristics of nMOS capacitor sample without (a) and with (b) N₂O plasma oxidation treatment.

了Ge的表面扩散势垒. 同时, 利用高频-低频电容方法对NPP处理前后的界面态进行了提取, 如图4所示. 经2 min NPP处理后, 界面态可以由对照组样品的 $2.2 \times 10^{12} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ 降低到约 $9 \times 10^{11} \text{ cm}^{-2} \cdot \text{eV}^{-1}$, 这说明NPP方法可以实现Ge的表面钝化, 可有效降低界面态密度. 然而, 由于PECVD系统对工作压力和温度的限制, 使得NPP钝化条件下极易引入较厚的界面层, 不利于EOT

的缩小. 电感耦合等离子系统(ICP)具有更高的离子活性、可工作在更低温度下, 离子能量更低, 因此可以用于Ge表面氮化, 而且不会引起界面层的生长, 可同时实现界面钝化及对EOT的控制[39]. 另外, 通过在ICP的腔体壁与衬底之间施加加速功率, 可以在Ge表面引入更多的等离子体, 从而使钝化效果更有效, 实验结果也验证了这一点[39]. 将上述方法用于Ge NMOS器件的制备, 所制备出的

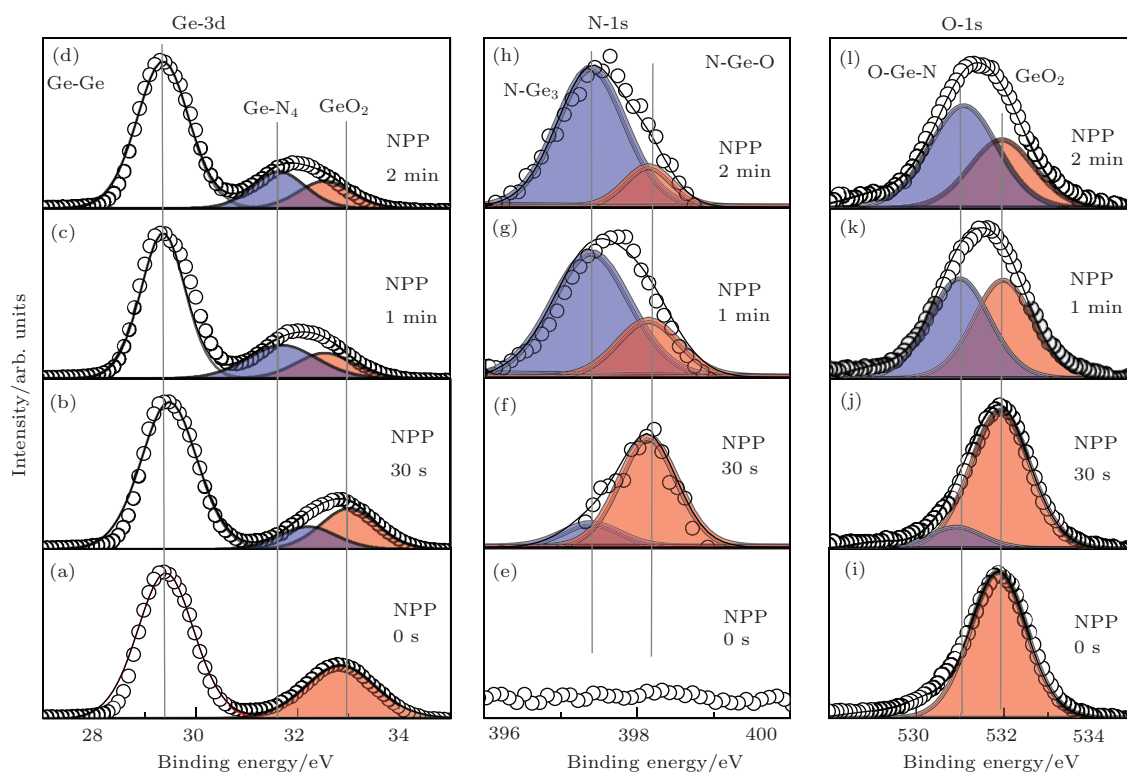


图2 XPS结果 (a)–(d) 为 Ge-3d 谱, (e)–(h) 为 N-1s 谱, (i)–(l) 为 O-1s 谱, NPP 钝化时间为 0–2 min.

Fig. 2. XPS results: (a)–(d) Ge-3d spectra; (e)–(h) N-1s spectra; (i)–(l) O-1s spectra. The passivation time is between 0–2 min.

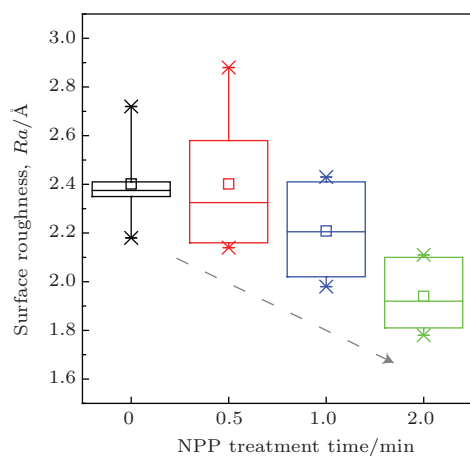


图3 表面粗糙度随 NPP 处理时间的变化

Fig. 3. The surface roughness as a function of NPP treatment time.

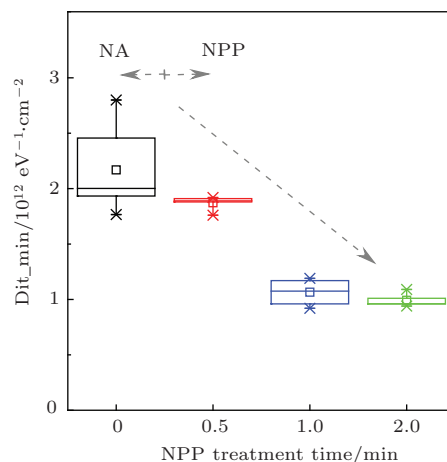


图4 界面态随 NPP 处理时间的变化

Fig. 4. Dit_{min} as a function of NPP treatment time.

Ge NMOS 器件电子迁移率得到了显著提升, 如图 5 所示. 器件特性充分说明, NPP 钝化可有效抑制界面态, 从而提高了载流子迁移率, 表现出 Ge 材料优异的运输性能.

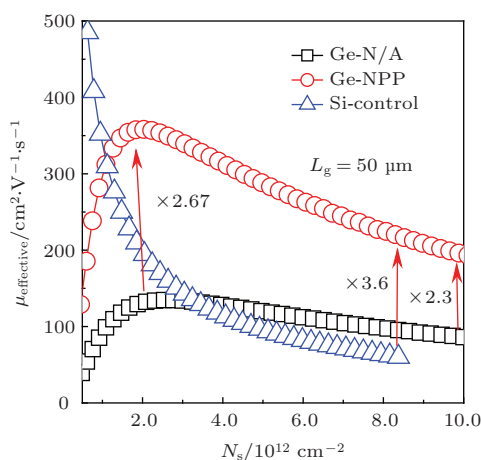


图 5 NPP 钝化得到的 Ge NMOS 器件的载流子迁移率提取结果, Si-control 为对照组 Si 器件

Fig. 5. The carrier mobility of Ge NMOS devices with and without NPP passivation, the electron mobility of the controlled Si devices is also shown for comparison.

对于栅工程, 除要求栅叠层结构具有优异的界面质量以降低界面态密度从而获得较高的载流子迁移率外, 还要求具有良好的 EOT 缩比能力及长期可靠性. 虽然目前 GeO₂ 界面层表现出最高的载流子迁移率, 但其本征的热不稳定性始终是限制其长期可靠性的重要因素. 在 2015 年的 VLSI 会议上, Lu 等 [40] 首次从可靠性角度对不同栅叠层结构 (HPO GeO₂, Y 掺杂的 GeO₂ (Y-GeO₂)) 进行了对比研究. 结果表明, 与 HPO GeO₂ 相比, Y-GeO₂ 虽然其初始界面质量不如 HPO GeO₂, 但施加电应力后, Y-GeO₂ 结构的 Dit 随应力时间的退化远低于 HPO GeO₂, 说明其长期可靠性优于 HPO GeO₂. 需要说明的是, 关于 Ge 基 MOS 器件或栅叠层结构可靠性问题的研究尚处于起步阶段, 相关研究还需进一步开展.

3 源漏工程研究

随着特征尺寸的缩小, 源漏串联电阻对器件性能的影响越来越大. 减小源漏串联电阻的关键是制备重掺杂源漏结. 同时, 为抑制小尺寸器件的短沟效应, 超浅结的实现也是必须的. 但是, Ge 基 MOS 器件中重掺杂超浅源漏结的实现却极具挑战, 尤其是对 NMOS 器件, 主要归因于以下几方面 [41–44]:

首先, 杂质在锗中的固溶度低; 其次, n 型杂质的激活率低; 第三, Ge 中 n 型杂质的扩散速率很快. 另外, 金属与 Ge 接触时, 由于界面处存在较多的界面态使得费米能级被钉扎在价带附近, 空穴肖特基势垒很小, 但电子肖特基势垒很大, 使得金属/n-Ge 的接触电阻率通常比较高 [45–47].

3.1 Ge 中 n 型杂质激活率的提高及扩散的抑制

目前, Ge 中 p 型杂质的激活浓度已经能达到 $1 \times 10^{20} \text{ cm}^{-3}$, 但 n 型杂质的激活浓度却被限定在 $2 \times 10^{19} \text{ cm}^{-3}$ 左右 [43,48]. 针对上述问题, 研究者们提出了一些改进的方案, 如采用等离子浸没式注入 [49]、激光退火 [50]、闪光退火 [51], P/Sb 共注入 [52]、低温注入 [53]、金属诱导杂质激活 [54]、旋涂掺杂剂等 [55], 可以在一定程度上提高杂质的激活浓度.

影响 Ge 中 n 型杂质激活浓度的一个关键因素就是离子注入过程引入的大量点缺陷 (如空位-间隙对), 这些缺陷不仅会加速杂质原子的扩散, 同时其在 Ge 禁带中会表现为受主态进而补偿施主浓度, 导致 Ge 中 n 型杂质的电激活浓度较低 [43]. 通过采用多次注入多次退火技术 (multiple implantation and multiple annealing, MIMA), 可以有效减少注入引入的缺陷, 并通过退火使大部分的缺陷得到修复, 从而增强 n 型杂质的激活浓度 [56]. 图 6 给出了单次注入和多次注入样品的扩展电阻探针 (spreading resistance profile, SRP) 电学浓度分布图. 从图 6 可以看出, 单次注入样品杂质的电学激活浓度为 $1 \times 10^{19} \text{ cm}^{-3}$, 与已报道的采用 RTP 激活所得到的结果一致; 而 MIMA 样品得到的电学激活浓度超过了 $1 \times 10^{20} \text{ cm}^{-3}$, 约有一个数量级的提升. 由于杂质激活浓度的提升, 使得金属/Ge 接触电阻率显著降低. 图 7 给出了不同方法得到的 Al/Ti 与 n-Ge 的接触电阻率比较 [50,57–60]. 由图 7 可以看出, 目前文献报道较好的结果是采用激光退火和 P/Sb 共注入的方式, 所获得的电阻率分别下降到了 7×10^{-7} 和 $8 \times 10^{-7} \Omega \cdot \text{cm}^2$ [50,58], 而采用 MIMA 基于 RTP 退火所获得的电阻率低至 $3.8 \times 10^{-7} \Omega \cdot \text{cm}^2$, 是通过增强杂质激活浓度方法获得的最小的接触电阻率 [56]. 同时, 通过 MIMA 技术, 锗 n⁺/p 结的电学性能也得到了明显提升, 如图 8 所示. 采用多次注入方法使 n⁺/p 结的正向电流得到了一个数量级的提升.

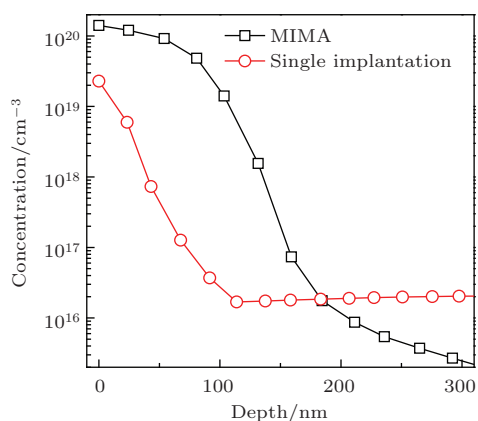


图6 单次注入和多次注入的SRP测试结果

Fig. 6. SRP profile of MIMA and single-implantation samples.

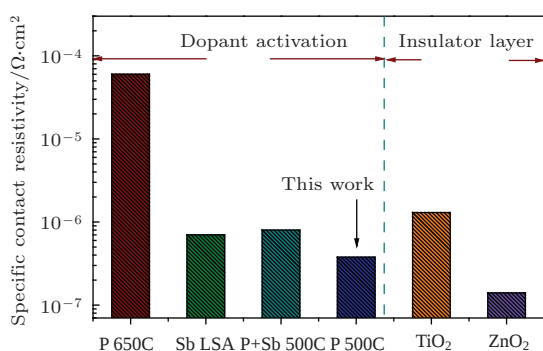
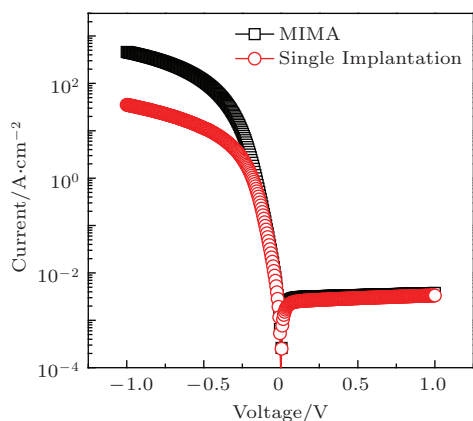


图7 不同实验方法得到的接触电阻率比较

Fig. 7. Comparison of specific contact resistivity achieved by different methods.

图8 单次注入和多次注入方式制备的Ge n⁺/p结的I-V特性比较Fig. 8. The comparison of *I-V* characteristic of Ge n⁺/p junctions fabricated by MIMA and single-implantation methods.

除上述方法外, 固相外延 (solid phase epitaxy, SPE) 方法可以在较低温度下退火使得预非晶层重新结晶并且获得较好的单晶质量, 有效恢复注入引入的缺陷, 从而可以抑制锗中n型杂质的扩散并提

高n型杂质的激活率, 是一种非常有效的解决方案. 实验结果已验证了这一点^[61].

3.2 肖特基势垒调控技术研究

为降低接触电阻率, 除增大杂质激活浓度外, 还可降低势垒高度. 然而, 对于金属/Ge接触, 由于费米能级被钉扎在锗价带附近, 所形成的电子势垒高达0.58 eV^[45,46], 不利于Ge NMOS器件性能的提升. 尽管关于费米能级钉扎 (Fermi level pinning, FLP) 的机理还在讨论中, 但金属与半导体界面的缺陷态是导致FLP的关键因素, 或源于半导体中的点缺陷, 或源于金属诱致能隙态 (metal induced gap state, MIGS)^[62–65]. 目前报道了通过在金属和Ge之间插入超薄绝缘介质层的方法来抑制MIGS, 减弱费米能级钉扎效应从而降低电子势垒高度, 如插入GeO_x^[66], Al₂O₃^[67], TiO₂^[68], Ge₃N₄^[69], Si₃N₄^[70], Y₂O₃^[71]等. 另外, 也有研究者提出采用S, Se等VI族元素来钝化金属/Ge接触界面的界面态, 亦可缓解费米能级钉扎效应, 降低电子势垒高度^[72–74]. 然而, 上述方法只适用于调节电子势垒高度, 而且插入绝缘介质层引入的隧穿电阻会在一定程度上限制器件的驱动电流.

杂质分凝 (dopant segregation) 通过在金属和半导体界面形成一高浓度的杂质区, 该薄界面层宽度窄, 处于完全耗尽的状态, 并在界面处形成偶极子使半导体表面的能带发生弯曲, 从而实现对肖特基势垒的有效调制. 而且, 通过注入不同类型的杂质可同时实现电子、空穴势垒的调节, 具有工艺简单、与传统CMOS工艺完全兼容等优势, 因而在Si基器件中备受关注^[75–77]. 杂质分凝技术可分为先注入和后注入两种, 二者在硅基器件中均有应用. 而对于Ge基器件, 目前报道侧重于前者, 即IBG (implantation before germanidation)^[78]. 然而, 与Si材料相比, Ge对离子注入损伤更加敏感. 为了避免离子注入对Ge衬底的损伤, Ge基杂质分凝后注入 (implantation after germanidation, IAG) 可以避免IBG方法对衬底表面造成的损伤, 而且将注入退火工艺与锗化物的形成相分离, 工艺更灵活, 是一种非常有效的方法^[79,80]. 对于IAG技术, 后注入工艺 (注入能量、剂量) 及退火工艺 (退火温度、时间) 的选择是IAG技术的关键因素, 其对退火工艺十分敏感, 退火须采用低温工艺, 并且退火时间不宜过长. 通过优化工艺条件, 采用IAG方法实现了Ge基电子、空穴肖特基势垒高度的调控, 最低

可分别降低至 0.1, 0.06 eV [80,81]. 图 9 和图 10 分别给出了 BF_2 注入后、不同二次退火温度下 NiGe/n-Ge 肖特基二极管的 I - V 曲线及电子势垒高度和理想因子. 可以看出, 对于采用 IAG 技术的样品, 在 350—450 °C 间电子势垒高度约为 0.6 eV. 由于电子势垒高度和空穴势垒高度的和约为禁带宽度, 所以, 采用 IAG 技术后, 肖特基二极管的空穴势垒高度仅为 0.06 eV, 非常适合肖特基 PMOS 器件的应用. 而且, 理想因子为 1.03, 说明 NiGe/n-Ge 肖特基二极管的界面特性比较理想. 当二次退火温度升高至 500 °C 以上时, NiGe 薄膜会发生明显的退化, 使得 NiGe/n-Ge 肖特基二极管的界面特性变差, 隧穿电流明显增加. 图 11 则给出了注入 P 杂质后、不同二次退火温度下 NiGe/p-Ge 肖特基二极管的 I - V 曲线. 对于未注入的样品, 由于 NiGe/p-Ge 接触的费米能级被钉扎在 Ge 的价带附近, 空穴势

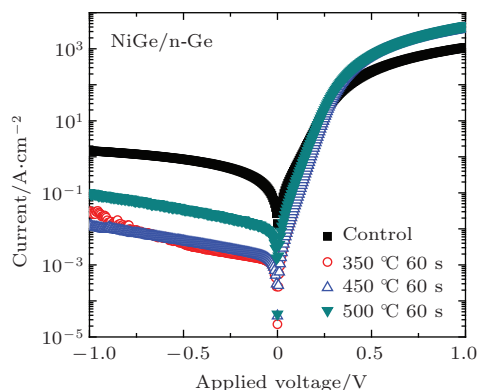


图 9 不同二次退火温度下 NiGe/n-Ge 肖特基二极管的 I - V 曲线比较

Fig. 9. I - V characteristics of NiGe/n-Ge diodes with and without IAG technique. The implantation ions are BF_2 .

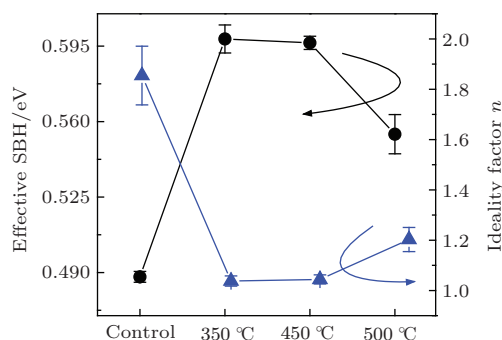


图 10 不同二次退火温度下 NiGe/n-Ge 肖特基二极管电子势垒高度和理想因子

Fig. 10. Effective electron SBH and ideality factor n of NiGe/n-Ge diodes with different drive-in annealing temperature. The optimized SB height is obtained between 350 and 450 °C.

垒非常低, 因而表现为欧姆特性. 注入杂质 P 后, 在 350—550 °C 杂质驱入退火温度范围内, 肖特基二极管的正向电流约有一个数量级的提高, 反向电流出现了大幅度降低. 在 500 °C 时, 注入 P 样品的空穴势垒为 0.56 eV, 即电子势垒降低到 0.10 eV, 如图 11 中的插图所示, NiGe/n-Ge 肖特基二极管实现了欧姆接触特性.

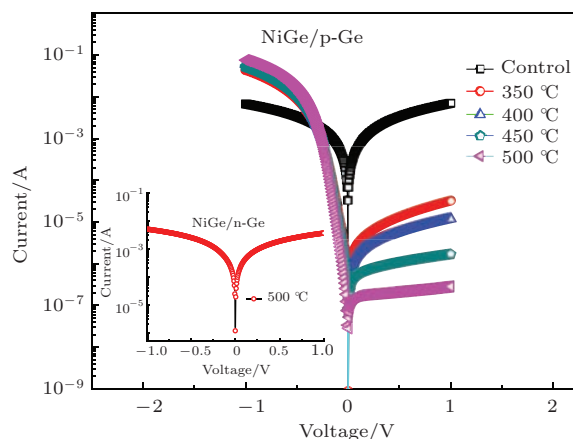


图 11 不同二次温度退火下肖特基二极管 I - V 特性比较, 注入杂质为 P

Fig. 11. I - V characteristics of NiGe/p-Ge (100) diodes with and without IAG technique. (Inset) I - V characteristics of NiGe/n-Ge (100) diodes with IAG technique.

图 12 给出了不同方法获得的 NiGe/Ge 接触的电子势垒高度. 文献 [75, 78] 中通过先注入杂质 P, As, S, 获得的电子势垒高度分别为 0.38, 0.19 和 0.15 eV. 而通过后注入 P 的方法, 获得的电子势垒高度为 0.10 eV. 这表明对于杂质分凝技术, 与先注入方法相比, 后注入方法能更有效地调节肖特基势垒高度. 这主要归于以下几方面. 首先, 对于先注入

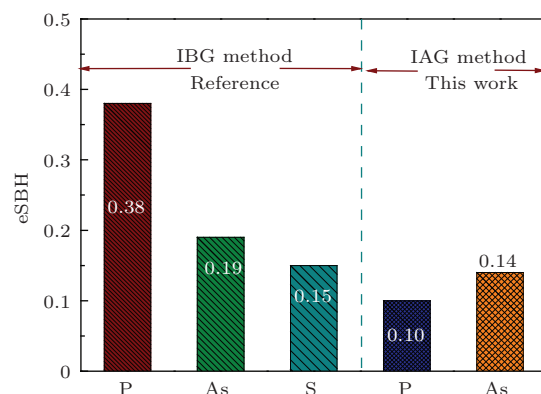


图 12 注入不同杂质所获得的肖特基电子势垒高度比较

Fig. 12. Electron SBH of published data and IAG modulated by dopant segregation with different species.

方法, 杂质在锗化物的形成过程中向锗衬底推进, 因而在 NiGe 形成过程中部分杂质可能扩散到离 NiGe/Ge 界面较远的位置而出现较严重的杂质“拖尾”现象, 导致杂质分凝效果不明显. 其次, 先注入方法容易在锗衬底中引入缺陷, 这些缺陷会加剧注入杂质在锗中的扩散. 由于后注入方法将杂质分凝和锗化物形成两个过程分开, 工艺控制更为灵活, 能有效避免先注入杂质分凝方法的缺点, 所以在锗基 MOS 器件应用中, 后注入杂质分凝方法更具有优势.

如前所述, IAG 方法对热处理工艺十分敏感, 温度不宜太高, 否则会退化 NiGe 薄膜质量, 进而对电学特性产生影响. 实验结果表明, 对于注入 P 杂质的样品, 当退火温度大于 500 °C 时, NiGe 薄膜发生凝聚效应, 表面出现空洞. 为了改善这一问题, 我们提出了 P/Sb 共注入技术^[81]. 结果表明, 对于 P/Sb 共注入的样品, 即使退火温度增加到 600 °C,

NiGe 薄膜表面仍然十分完好, 如图 13 所示. 而且表面粗糙度也优于单注入 P 的样品, 如图 14 所示. 这说明, P/Sb 共注入有助于提升 NiGe 薄膜的热稳定性, 至少可提高到 600 °C, 这主要归因于 Sb 对 Ge 表面的钝化以及对 NiGe/Ge 间应力释放两方面的共同作用^[81]. 同时, 与单纯注入 P 样品相比, P/Sb 共注入样品表现出更好的电学特性^[81], 如图 15 所示. 由图 15 可以看出, 对照组样品(没有注入杂质)的 I - V 曲线表现为典型的欧姆接触特性, 这是由于费米能级钉扎效应被钉扎在锗价带附近导致的; 对于注入 P 样品, 由于杂质 P 在接触界面发生分凝, 肖特基势垒得到有效调制(空穴势垒增加), 进而使反向泄漏电流相对于对照组样品有显著地下降; 而注入 P/Sb 共注入样品, 其反向泄漏电流相进一步减小了约 1 个数量级. 同时, 如图 15(b) 所示, 对于 NiGe/n-Ge 接触, 表现出了更好的欧姆接触特性.

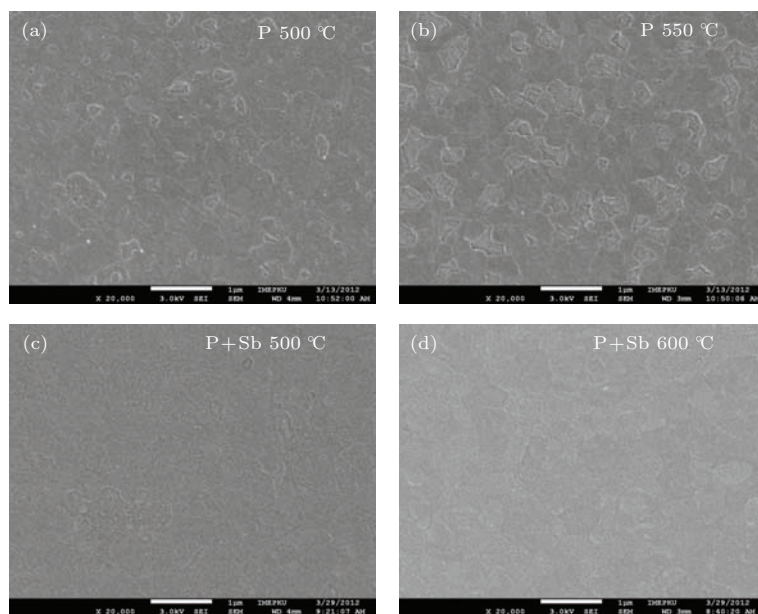


图 13 注入 P 和注入 P+Sb 样品在不同温度退火下的 NiGe 表面形貌

Fig. 13. SEM images of NiGe with implanting P and P + Sb at various post-germanidation annealing temperatures.

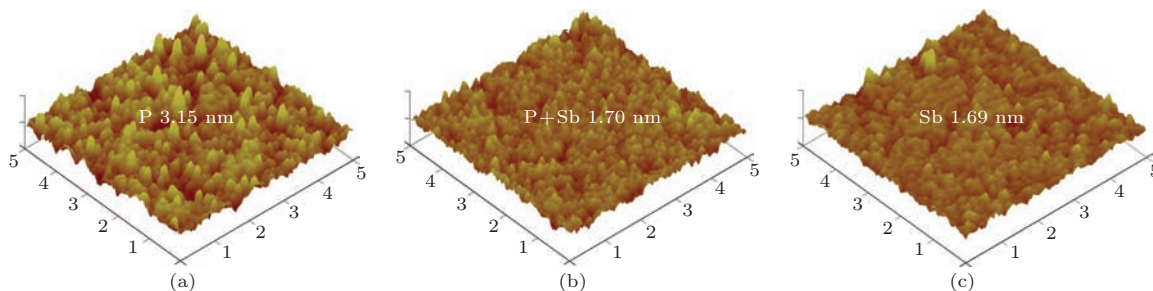


图 14 不同注入条件下 NiGe 薄膜表面粗糙度 (a) 注入 P; (b) 注入 P+Sb; (c) 注入 Sb

Fig. 14. AFM surface morphologies of P, P+Sb and Sb implanted samples after post-germanidation annealing at 500 °C: (a) P; (b) P+Sb; (c) Sb.

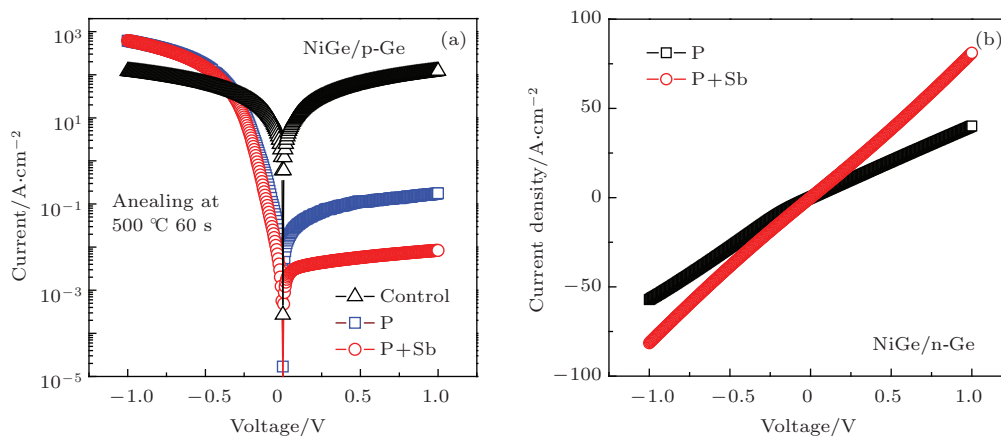


图 15 P/Sb 共注入对 NiGe/Ge 二极管的 I - V 特性的影响 (a) NiGe/p-Ge; (b) NiGe/n-Ge

Fig. 15. I - V characteristics of NiGe/Ge diodes with P implantation and P/Sb co-implantation, respectively:

(a) NiGe/p-Ge; (b) NiGe/n-Ge.

3.3 NiGe 薄膜热稳定性改善技术研究

为了降低源漏寄生电阻的影响, 自对准硅化物技术在 Si 基 CMOS 集成电路中得到广泛应用. 同样, 锗化物也是 Ge 基 CMOS 集成技术的关键工艺之一. 与其他金属锗化物相比, NiGe 具有更低的形成温度、更低的电阻率以及锗消耗量小等诸多优势, 因此成为最具发展潜力的锗化物材料 [82,83]. 然而, NiGe 受成核凝聚的影响, 在较低温度下就会发生退化, 薄膜表面形成很多空洞, 进而影响器件性能. 因此, NiGe 的热稳定性问题亟待解决. 目前提出的改善 NiGe 热稳定性方法, 比如插入 Pt [84,85], Ti [86], Yb [87] 或 Pd 等 [88] 金属, 虽然有效但改善效果有限. 针对这一问题, 我们提出了一种简单有效地表面预处理方法: 氟化铵表面预处理 (ammonium fluoride pretreatment, AFP) 方法 [89], 并与文献中常采用的 HCl 和 HF 表面处理方法进行了对比, 结果如图 16、图 17 所示.

由图 16 和图 17 可以看到, 经 AFP 处理后,

NiGe 表面均方根粗糙度明显降低; NiGe 薄膜在 350—600 °C 温度范围内都表现出非常好的薄膜质量, 当退火温度上升到 700 °C 时, NiGe 薄膜发生明显的凝聚, 质量严重退化, 因此, 其热稳定性温度窗口上限至少可提高到 600 °C, 文献报道的反应退火时 NiGe 薄膜的温度窗口上限一般为 500 °C. 而且, AFP 处理后二极管电学特性也得到明显提升. 所以, AFP 表面预处理方法可以简单有效地使 NiGe 薄膜的热稳定性显著提升, 并扩展后续工艺的温度窗口, 这对于 Ge 基器件的集成非常重要. NiGe 薄膜热稳定性的改善主要是盐酸处理和氟化铵水溶液处理的共同作用. 与 HF 表面预处理方法相比, HCl 处理方法可以更加有效地去除 Ge 表面的自然氧化层, 获得平整的 Ge 衬底表面; 氟化铵水溶液的处理可以对 Ge 衬底表面进行有效地钝化, 有以下几方面的作用. 第一, 通过氟化铵水溶液的钝化处理, 可以得到疏水的氢钝化的表面, 减少氧的污染. 在反应退火过程中, 抑制一氧化锗气体的挥发, 减弱

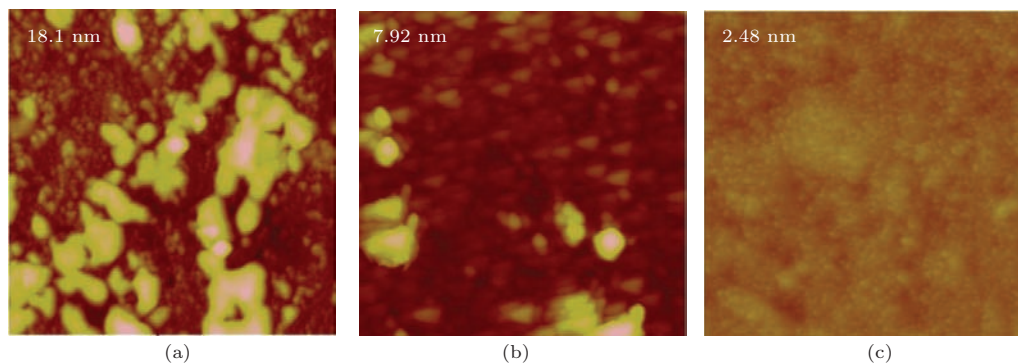


图 16 采用 3 种表面处理方法所生成的 NiGe 薄膜表面形貌 AFM 比较 (a) HCl; (b) HF; (c) AFP

Fig. 16. AFM topography images of NiGe films with different pretreatment methods: (a) HCl; (b) HF; (c) AFP.

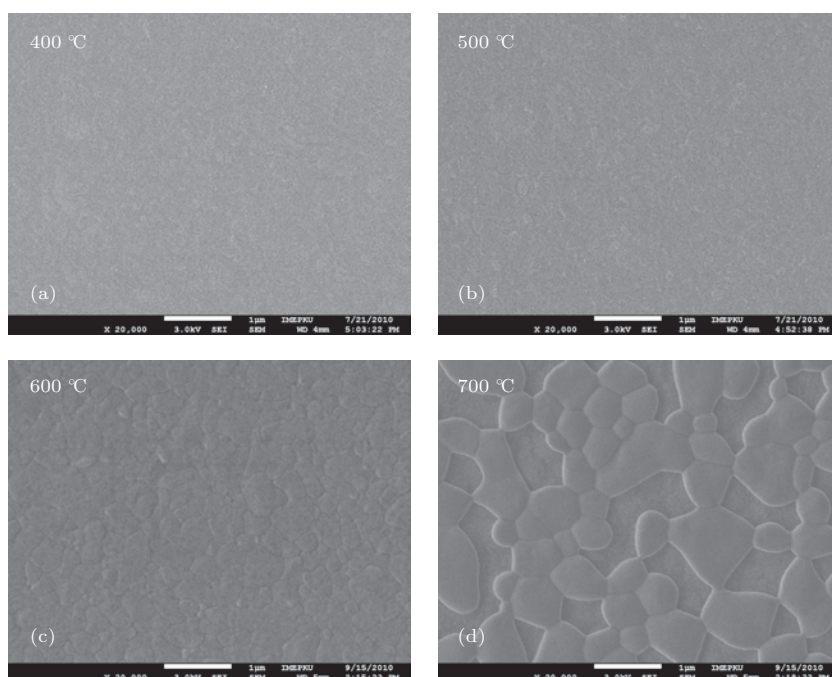


图 17 采用 AFP 表面预处理方法的 NiGe 薄膜在不同反应退火温度下的 SEM 照片

Fig. 17. SEM images of NiGe using AFP at various annealing temperatures.

锗外扩散现象, 界面退化. 第二, 经过氟化铵水溶液处理后, 锗衬底表面会生成化合物 $(\text{NH}_4)_2\text{GeF}_6$, 这会抑制锗表面氧化物的再生长, 从而改善生成的 NiGe 薄膜的质量. 第三, 经过氟化铵水溶液处理的锗衬底, 可以在锗衬底表面引入 F, 对形成的 NiGe 薄膜的晶粒间界进行钝化, 可以阻碍 NiGe 薄膜发生凝聚现象. 因而可以获得非常平整的表面, 提高热稳定性. 因此, 通过 AFP 表面预处理方法, 可以简单有效地改善 NiGe 薄膜的表面形貌并提升其热稳定性, 还可以对 NiGe/Ge 界面进行钝化, 而且该方法与传统 CMOS 工艺兼容, 不会增加工艺复杂性和成本.

4 总 结

随着集成电路技术的发展, 传统硅基 MOS 器件面临着严峻的挑战. 高迁移率 Ge 沟道器件由于其较高而且更对称的载流子迁移率成为国际前沿研究热点之一. 然而, 对于 Ge 基 MOS 器件, 其栅介质/锗沟道界面较差, 杂质在 Ge 中的固溶度较低、杂质激活率较低而且扩散快, 同时由于费米能级钉扎效应导致电子势垒较高, 严重影响了锗基 MOS 器件性能的提升, 尤其是 Ge NMOS 器件.

本文对上述问题进行了分析, 并对国内外研究者们提出的不同技术方案进行了介绍. 在此基础

上, 提出了新的方法, 并进行了实验验证. 结果表明, 新型 NPP 钝化方法可有效抑制 Ge 亚氧化物的生成, 减小界面态密度, 从而可以改善 Ge 器件栅介质/沟道界面质量, 研制出的 Ge NMOS 器件电子迁移率较对照组器件得到了显著提升. MIMA 技术可以有效减少注入引入的缺陷, 从而可以提高 n 型杂质在 Ge 中的激活浓度, 通过工艺优化, 成功将金属/n-Ge 的接触电阻率降低到了 $3.8 \times 10^{-7} \Omega \cdot \text{cm}^2$; 采用杂质后注入的杂质分凝技术, 通过优化的工艺条件, 电子势垒高度、空穴势垒高度分别降至 0.1 和 0.06 eV, 并得到了优化的工艺温度窗口. 研究结果表明, P/Sb 共注入及 AFP 预处理, 不仅有利于提升 NiGe 薄膜的热稳定性, 而且还有利于电学性能的提升, 本文对相关机理进行了分析. 上述研究结果为 Ge 基 MOS 器件的工艺集成设计及性能提升提供了新思路.

参考文献

- [1] Ghani T, Armstrong M, Auth C, *et al.* 2003 *International Electron Devices Meeting* Washington, DC, America, December 8–10, 2003 p978
- [2] Oishi A, Fujii O, Yokoyama T, *et al.* 2005 *International Electron Devices Meeting* Washington, DC, America, December 5–7, 2005 p229

- [3] Kim S D, Jain S, Rhee H, *et al.* 2010 *International Conference on Simulation of Semiconductor Processes and Devices* Bologna, Italy, Sept. 6–8, 2010 p79
- [4] Yang B, Nummy K, Waite A, *et al.* 2007 *Symposium on VLSI Technology* Kyoto, Japan, June 12–14, 2007 p126
- [5] Claeyes C, Simoen E 2007 *Germanium-Based Technologies: From Materials to Devices* (Amsterdam: Elsevier)
- [6] Mitard J, De Jaeger B, Leys F E, *et al.* 2008 *International Electron Devices Meeting* San Francisco, America, December 15–17, 2008 p873
- [7] <http://www.public.itrs.net> [2015-7-1]
- [8] Heyns M, Alian A, Brammertz G, *et al.* 2011 *International Electron Devices Meeting* Washington, DC, America, December 5–7, 2011 p299
- [9] Duriez B, Vellianitis G, van Dal M J H, *et al.* 2013 *International Electron Devices Meeting* Washington, DC, America, December 9–11, 2013 p522
- [10] Mitard J, Witters L, Loo R, *et al.* 2014 *Symposium on VLSI Technology* Honolulu, Hawaii, America, June 9–12, 2014 p138
- [11] Witters L, Mitard J, Loo R, *et al.* 2015 *Symposium on VLSI Technology* Kyoto, Japan, June 16–18, 2015 p56
- [12] Wu H, Luo W, Zhou H, Si M W, Zhang J Y, Ye P D 2015 *Symposium on VLSI Technology* Kyoto, Japan, June 16–18, 2015 p58
- [13] Bernstein R B, Cubicciotti D 1951 *J. Amer. Chem. Soc.* **73** 4112
- [14] Wang S K, Kita K, Nishimura T, Nagashio K, Toriumi A 2011 *Jpn. J. Appl. Phys.* **50** 10PE04
- [15] Kita K, Wang S K, Yoshida M, Lee C, Nagashio K, Nishimura T, Toriumi A 2009 *International Electron Devices Meeting* Baltimore, America, December 7–9, 2009 p693
- [16] Wang S K, Kita K, Nishimura T, Nagashio K, Toriumi A 2011 *Jpn. J. Appl. Phys.* **50** 04DA01
- [17] Wang S K, Kita K, Lee C, Tabata T, Nishimura T, Nagashio K, Toriumi A 2010 *J. Appl. Phys.* **108** 054104
- [18] Lee D, Lee H, Kanashima T, Okuyama M 2010 *Appl. Surf. Sci.* **257** 917
- [19] Xie R, Yu M, Lai M, Chan L, Zhu C 2008 *Appl. Phys. Lett.* **92** 163505
- [20] Kamata Y, Ino T, Koyama M, Nishiyama A 2008 *Appl. Phys. Lett.* **92** 063512
- [21] Dei K, Kawase T, Yoneda K, Uchikoshi J, Morita M, Arima K 2011 *J. Nanosci. Nanotech.* **11** 2968
- [22] Frank M M, Koester S J, Copel M, Ott J A, Paruchuri V K, Shang H, Loesing R 2006 *Appl. Phys. Lett.* **89** 112905
- [23] Kaczer B, Jaeger B D, Nicholas G, Martens K, Degraeve R, Houssa M, Pourtois G, Leys F, Meuris M, Groesenken G 2007 *Microelectron. Eng.* **84** 2067
- [24] Wu N, Zhang Q, Zhu C, Chan D S H, Du A, Balasubramanian N, Li M F, Chin A, Sin J K O, Kwong D L 2004 *IEEE Electron Device Lett.* **25** 631
- [25] Bai W P, Lu N, Kwong D L 2005 *IEEE Electron Device Lett.* **26** 378
- [26] Crisman E E, Lee J I, Stiles P J, Gregory O J 1987 *Electron. Lett.* **23** 8
- [27] Lee C H, Nishimura T, Saido N, Nagashio K, Kita K, Toriumi A 2009 *International Electron Devices Meeting* Baltimore, MD, America, December 7–9, 2009 p457
- [28] Lee C H, Nishimura T, Tabata T, Wang S K, Nagashio K, Kita K, Toriumi A 2010 *International Electron Devices Meeting* San Francisco, CA, America, December 6–8, 2010 p416
- [29] Lee C H, Tabata T, Nishimura T, Nagashio K, Kita K, Toriumi A 2009 *Appl. Phys. Expr.* **2** 071404,
- [30] Lee C H, Nishimura T, Nagashio K, Kita K, Toriumi A 2011 *IEEE Trans. Electron Devices* **58** 1295
- [31] Kuzum D, Krishnamohan T, Pethe A J, Okyay A K, Oshima Y, Sun Y 2008 *IEEE Electron Device Lett.* **29** 328
- [32] Deng S R, Xie Q, Deduytsche D, Schaekers M, Lin D, Caymax M, Delabie A, van den Berghe S, Qu X P, De-tavernier C 2011 *Appl. Phys. Lett.* **99** 052906
- [33] Fukuda Y, Yazaki Y, Otani Y, Sato T, Toyota H, Ono T 2010 *IEEE Trans. Electron Devices* **57** 282
- [34] Lin M, An X, Li M, Yun Q X, Li M, Li Z Q, Liu P Q, Zhang X, Huang R 2014 *Chin. Phys. B* **23** 067701
- [35] Lau W S, Qian P W, Sandler N P, McKinley K A, Chu P K 1997 *Jpn. J. Appl. Phys.* **36** 661
- [36] Chui C O, Kim H, McIntyre P C, Saraswat K C 2004 *IEEE Electron Device Lett.* **25** 274
- [37] Hymes D J, Rosenberg J J 1988 *J. Electrochem. Soc.* **135** 961
- [38] Yun Q X, Li M, An X, Lin M, Liu P Q, Li Z Q, Zhang B X, Xia Y X, Zhang H, Zhang X, Huang R, Wang Y Y 2014 *Chin. Phys. B* **23** 118504
- [39] Lin M, Li M, An X, Yun Q X, Li M, Li Z Q, Liu P Q, Zhang X, Huang R 2013 *Semicond. Sci. Tech.* **28** 085010
- [40] Lu C, Lee C H, Nishimura T, Toriumi A 2015 *Symposium on VLSI Technology* Kyoto, Japan, June 16–18, 2015 p18
- [41] Trumbore F A 1960 *Bell Syst. Tech. J.* **39** 205
- [42] Chui C O, Kulig L, Moran J, Tsai W, Saraswat K C 2005 *Appl. Phys. Lett.* **87** 091909
- [43] Chui C O, Gopalakrishnan K, Griffin P B, Plummer J D, Saraswat K C 2003 *Appl. Phys. Lett.* **83** 3275
- [44] Kim J, Bedell S W, Sadana D K 2011 *Appl. Phys. Lett.* **98** 082112
- [45] Dimoulas A, Tsipis P, Sotiropoulos A, Evangelou E K 2006 *Appl. Phys. Lett.* **89** 252110
- [46] Nishimura T, Kita K, Toriumi A 2007 *Appl. Phys. Lett.* **91** 123123
- [47] Martens K, Firrincieli A, Rooyackers R, *et al.* 2010 *International Electron Devices Meeting* San Francisco, CA, America, December 6–8, 2010 p428
- [48] Brotzmann S, Bracht H 2008 *J. Appl. Phys.* **103** 033508
- [49] Thareja G, Chopra S, Adams B, *et al.* 2010 *Device Research Conference* South Bend, Indiana, America, June 21–23, 2010 p23
- [50] Thareja G, Liang J, Chopra S, *et al.* 2010 *International Electron Devices Meeting* San Francisco, CA, America, December 6–8, 2010 p245
- [51] Wündisch C, Posselt M, Schmidt B, *et al.* 2009 *Appl. Phys. Lett.* **95** 252107

- [52] Kim J, Bedell S W, Sadana D K 2011 *Appl. Phys. Lett.* **98** 082112
- [53] Bhatt P, Swarnkar P, Misra A, Biswas J, Hatem C, Nainani A, Lodha S 2015 *IEEE Trans. Electron Devices* **62** 69
- [54] Park J H, Kuzum D, Tada M, Krishna C S 2008 *Appl. Phys. Lett.* **93** 193507
- [55] Jamil M, Mantey J, Onyegam E U, Carpenter G D, Tutuc E, Banerjee S K 2011 *IEEE Electron Device Lett.* **32** 1203
- [56] Li Z Q, An X, Yun Q X, Lin M, Li M, Li M, Zhang X, Huang R 2013 *IEEE Electron Device Lett.* **34** 1097
- [57] Raghunathan S, Krishnamohan T, Saraswat K C 2010 *ECS Trans.* **33** 871
- [58] Thareja G, Cheng S L, Kamins T, Saraswat K, Nishi Y 2011 *IEEE Electron Device Lett.* **32** 608
- [59] Lin J Y, Roy A M, Saraswat K C 2012 *IEEE Electron Device Lett.* **33** 1541
- [60] Manik P P, Mishra R K, Kishore V P, Ray P, Nainani A, Huang Y C, Abraham M C, Ganguly U, Lodha S 2012 *Appl. Phys. Lett.* **101** 182105
- [61] Liu P Q, Li M, An X, Lin M, Zhao Y, Zhang B X, Xia X X, Huang R 2015 *Silicon Nanoelectronics Workshop* Kyoto, Japan, June 14–15, 2015
- [62] Claeys C, Firrincieli A, Martens K, Kittl J A, Simoen E 2012 *8th International Caribbean Conference on Devices, Circuits and Systems* Playa del Carmen, Mexico, March 14–17, 2012 p1
- [63] Nishimura T, Kita K, Toriumi A 2007 *Appl. Phys. Lett.* **91** 123123
- [64] Brillson L J 2007 *J. Vac. Sci. Techn. A* **25** 943
- [65] Heine V 1965 *Phys. Rev. A* **138** 1689
- [66] Nishimura T, Kita K, Toriumi A 2008 *Appl. Phys. Express* **1** 051406
- [67] Zhou Y, Ogawa M, Han X, Wang K L 2008 *Appl. Phys. Lett.* **93** 202105
- [68] Lin J Y J, Roy A M, Nainani A, Sun Y, Saraswat K C 2011 *Appl. Phys. Lett.* **98** 092113
- [69] Lieten R, Degroote S, Kuijk M, Borghs G 2008 *Appl. Phys. Lett.* **92** 022106
- [70] Kobayashi M, Kinoshita A, Saraswat K, Wong H S P, Nishi Y 2009 *J. Appl. Phys.* **105** 023702
- [71] Li Z Q, An X, Yun Q X, Lin M, Zhang X, Huang R 2012 *ECS Solid State Lett.* **1** Q33
- [72] Thathachary A V, Bhat K N, Bhat N, Hegde M S 2010 *Appl. Phys. Lett.* **96** 152108
- [73] Tong Y, Liu B, Lim P S Y, Yeo Y C 2012 *IEEE Electron Device Lett.* **33** 773
- [74] Ikeda K, Yamashita Y, Sugiyama N, Taoka N, Takagi S 2006 *Appl. Phys. Lett.* **88** 152115
- [75] Thornton R 1981 *Electron. Lett.* **17** 485
- [76] Yamauchi T, Nishi Y, Tsuchiya Y, Kinoshita A, Koga J, Kato K 2007 *International Electron Devices Meeting* Washington, DC, America, December 10–12, 2007 p963
- [77] Zhen Z, Qiu Z, Ran L, Ostling M, Zhang S L 2007 *IEEE Electron Device Lett.* **28** 565
- [78] Mueller M, Zhao Q T, Urban C, Sandow C, Buca D, Lenk S, Estevez S, Mantl S 2008 *Mater. Sci. Eng. B* **154** 168
- [79] Li Z Q, An X, Li M, Yun Q X, Lin M, Li M, Zhang X, Huang R 2012 *IEEE Electron Device Lett.* **33** 1687
- [80] Guo Y, An X, Huang R, Fan C H, Zhang X 2010 *Appl. Phys. Lett.* **96** 143502
- [81] Li Z Q, An X, Li M, Yun Q X, Lin M, Li M, Zhang X, Huang R 2013 *IEEE Electron Device Lett.* **34** 596
- [82] Lee K, Liew S, Chua S, Chi D, Sun H, Pan X 2004 *Materials Research Society Spring Meeting* San Francisco, CA, America, April 12–16, 2004 pC2.4
- [83] Ashburn S P, Öztürk M C, Harris G, Maher D M 1993 *J. Appl. Phys.* **74** 4455
- [84] Zhang Y Y, Oh J, Li S G, Jung S Y, Park K Y, Lee G W, Majhi P, Tseng H H, Jammy R, Lee H D 2010 *IEEE Trans. Nanotechnol.* **9** 258
- [85] Nakatsuka O, Suzuki A, Sakai A, Ogawa M, Zaima S 2007 *International Workshop on Junction Technology* Kyoto, Japan, June 8–9, 2007 p87
- [86] Zhu S, Yu M, Lo G, Kwong D 2007 *Appl. Phys. Lett.* **91** 051905
- [87] Zhang Y Y, Oh J, Li S G, Jung S Y, Park K Y, Shin H S, Lee G W, Wang J S, Majhi P, Tseng H H, Jammy R, Bae T S, Lee H D 2009 *Electrochem. Solid-State Lett.* **12** H18
- [88] Zhang Y Y, Oh J, Han I S, Zhong Z, Li S G, Jung S Y, Park K Y, Shin H S, Choi W H, Kwon H M, Loh W Y, Majhi P, Jammy R, Lee H D 2009 *IEEE Trans. Electron Devices* **56** 348
- [89] Guo Y, An X, Wang R S, Zhang X, Huang R 2011 *IEEE Electron Device Lett.* **32** 554

SPECIAL ISSUE—Physics and devices of silicon photonics

Research progress of high mobility germanium based metal oxide semiconductor devices^{*}

An Xia Huang Ru[†] Li Zhi-Qiang Yun Quan-Xin Lin Meng Guo Yue Liu Peng-Qiang
Li Ming Zhang Xing

(Key Laboratory of Microelectronic Devices and Circuits, Institute of Microelectronics, Peking University, Beijing 100871, China)

(Received 14 July 2015; revised manuscript received 28 August 2015)

Abstract

Germanium based metal oxide semiconductor (MOS) device has been a research hotspot and considered as a potential candidate for future complementary MOS (CMOS) technology due to its high and symmetric carrier mobility. However, the poor quality of gate dielectric/channel interface significantly restricts the performance of germanium based MOS devices. Besides, the solid-solubility and activation concentration of dopants in Ge are both quite low, and the dopants diffuse fast in Ge, which makes it difficult to achieve ultra-shallow junction with high dopant concentration, especially for Ge NMOS devices.

To solve these problems, different techniques are proposed and overviewed. The proposed nitrogen-plasma-passivation method can effectively suppress the regrowth of germanium sub-oxide and reduce the interface state density. Thus the performance of the fabricated Ge NMOS device is significantly improved. To enhance the n-type dopant activation in Ge, the multiple implantation technique and the multiple annealing technique are proposed. High electrical activation over $1 \times 10^{20} \text{ cm}^{-3}$ is achieved, and the corresponding contact resistivity is reduced to $3.8 \times 10^{-7} \Omega \cdot \text{cm}^2$. Besides, the implantation after germanide (IAG) technique is first proposed to modulate the Schottky barrier height (SBH). The record-low electron SBH of 0.10 eV is obtained by IAG technique, and the optimized process window is given. In addition, the poor thermal stability of NiGe restricts the further improvement of performance of Ge MOS device. P and Sb co-implantation technique and novel ammonium fluoride pretreatment method are proposed to improve the thermal stability of NiGe. The electrical characteristic of NiGe/Ge diode is also improved simultaneously. The results provide the guidelines for further enhancing the performances of germanium-based MOS devices.

Keywords: high mobility channel, gate engineering, source/drain engineering, metal oxide semiconductor

PACS: 85.40.-e, 73.40.Cg, 73.30.+y, 73.40.Qv

DOI: 10.7498/aps.64.208501

^{*} Project supported by the National Basic Research Program of China (Grant No. 2011CBA00601), the National Natural Science Foundation of China (Grant Nos. 61421005, 61434007, 60806033, 61474004), and the National Science and Technology Major Project of the Ministry of Science and Technology of China.

[†] Corresponding author. E-mail: ruhuang@pku.edu.cn