

氮化硅膜致小尺寸金属氧化物半导体晶体管沟道单轴应变物理机理

杨旻昱 宋建军 张静 唐召唤 张鹤鸣 胡辉勇

Physical mechanism of uniaxial strain in nano-scale metal oxide semiconductor transistor caused by silicon film

Yang Min-Yu Song Jian-Jun Zhang Jing Tang Zhao-Huan Zhang He-Ming Hu Hui-Yong

引用信息 Citation: *Acta Physica Sinica*, 64, 238502 (2015) DOI: 10.7498/aps.64.238502

在线阅读 View online: <http://dx.doi.org/10.7498/aps.64.238502>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn/CN/Y2015/V64/I23>

您可能感兴趣的其他文章

Articles you may be interested in

压应变 Ge/(001)Si_{1-x}Ge_x 空穴散射与迁移率模型

Hole scattering and mobility in compressively strained Ge/(001)Si_{1-x}Ge_x

物理学报.2015, 64(3): 038501 <http://dx.doi.org/10.7498/aps.64.038501>

堆叠栅介质对称双栅单 Halo 应变 Si 金属氧化物半导体场效应管二维模型

Two-dimensional model of symmetrical double-gate strained Si single Halo metal-oxide semiconductor field effect transistor with gate stack dielectric

物理学报.2014, 63(24): 248502 <http://dx.doi.org/10.7498/aps.63.248502>

对称三材料双栅应变硅金属氧化物半导体场效应晶体管二维解析模型

Two-dimensional analytical models for the symmetrical triple-material double-gate strained Si MOSFETs

物理学报.2014, 63(14): 148502 <http://dx.doi.org/10.7498/aps.63.148502>

90 nm 互补金属氧化物半导体静态随机存储器局部单粒子门锁传播效应诱发多位翻转的机理

Mechanism of multiple bit upsets induced by localized latch-up effect in 90 nm complementary metal semiconductor static random-access memory

物理学报.2014, 63(12): 128501 <http://dx.doi.org/10.7498/aps.63.128501>

SOI SiGe HBT 结构设计及频率特性研究

Structure design and frequency characteristics of SOI SiGe HBT

物理学报.2014, 63(11): 118501 <http://dx.doi.org/10.7498/aps.63.118501>

氮化硅膜致小尺寸金属氧化物半导体晶体管沟道单轴应变物理机理*

杨旻昱^{1)†} 宋建军¹⁾ 张静²⁾ 唐召唤²⁾ 张鹤鸣¹⁾ 胡辉勇¹⁾

1)(西安电子科技大学微电子学院, 宽禁带半导体材料与器件重点实验室, 西安 710071)

2)(中电集团 24 所模拟集成电路重点实验室, 重庆 400060)

(2015 年 7 月 12 日收到; 2015 年 8 月 14 日收到修改稿)

应力作用下 MOS 性能可显著提升, 小尺寸 MOS 沟道中单轴应力的引入可通过在 MOS 表面覆盖淀积 SiN 膜实现. 虽然该工艺已广泛应用于 MOS 性能的提升, 但有关 SiN 膜致 MOS 沟道应力的产生机理、作用机理, 以及 SiN 膜结构与 MOS 沟道应力类型关联性等方面的研究仍需深入探讨. 本文基于 ISE TCAD 仿真, 提出了分段分析、闭环分析和整体性分析三种模型. 通过对 Si MOS 源、栅、漏上多种 SiN 膜淀积形式的深入分析, 揭示了 SiN 膜致 MOS 沟道应力产生与作用物理机理. 研究发现: 1) “台阶”结构是 SiN 膜导致 MOS 沟道应变的必要条件; 2) SiN 膜具有收缩或者扩张的趋势, SiN 膜主要通过引起 MOS 源/漏区域 Si 材料的形变, 进而引起沟道区 Si 材料发生形变; 3) 整体 SiN 膜对沟道的应力等于源/漏上方 SiN 膜在源/漏所施加的应力、“闭环结构”对沟道内部所施加的应力以及 SiN 膜的完整性在沟道产生的应力的总和. 本文物理模型可为小尺寸 MOS 工艺制造, 以及 MOS 器件新型应力引入的研究提供有价值的参考.

关键词: 单轴应变, 金属氧化物半导体晶体管, 氮化硅, 物理机理

PACS: 85.30.De, 85.30.Pq, 85.30.Tv

DOI: 10.7498/aps.64.238502

1 引言

SiN 膜致应变技术通过增强 Si 材料载流子迁移率, 进而大幅提高 Si MOSFET 的电学性能^[1-6], 在小尺寸器件与超大规模集成电路 (VLSI) 中有广泛的应用^[7-10].

目前, 国外研究者多从实验入手, 重点讨论 SiN 膜致 MOS 沟道应变的效果以及器件性能提升的幅度^[11-13], 而对 SiN 膜致 MOS 沟道应变的产生机理、作用机理, 以及 SiN 膜结构与沟道应力类型等的研究仍缺乏系统的报道, 制约了 SiN 膜致沟道应变技术的深入理解以及拓展应用.

为此, 本文利用 ISE 仿真工具^[14], 通过对 Si MOS 源、栅、漏上多种 SiN 膜淀积形式的仿真分析, 拟揭示 SiN 膜致 MOS 沟道应力产生与作用的物理

机理, 为小尺寸 MOS 工艺制造, 以及 MOS 器件新型应力引入的研究提供有价值的参考.

2 SiN 膜致 MOS 沟道应变作用机理

2.1 应变必要条件

为了分析 SiN 薄膜致 MOS 沟道应变的机理, 我们首先研究两种覆盖 SiN 膜的特殊结构“nMOS”的受力情况. 第一种情况, 将 nMOS 多晶硅、侧墙结构以及栅氧化层去掉, “nMOS”上方仅覆盖了一层 SiN 薄膜, 其结构如图 1 (a) 所示. 图 1 (b) 为该结构“nMOS”ISE 应力分布仿真结果, 由图可见, 当“nMOS”表面水平的时候, 虽然 SiN 薄膜与器件的结构层存在晶格失配, 但由于器件在 X 方向上的长度是一定的, 这样覆盖 SiN 薄膜并不会引起源/漏区, 以及沟道区的形变.

* 模拟集成电路重点实验室基金 (批准号: P140c090303110c0904) 和陕西省自然科学基金研究计 (批准号: 2014JQ8329) 资助的课题.

† 通信作者. E-mail: minyu_muyi@qq.com

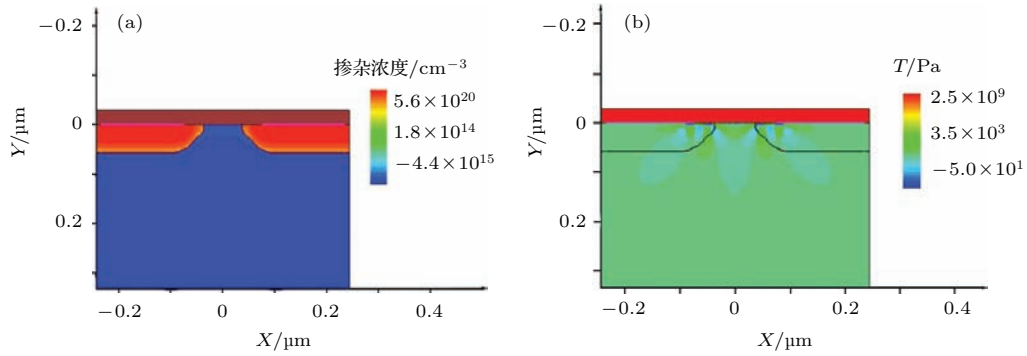


图1 (网刊彩色) 不含多晶硅、侧墙及栅氧化层, 全覆盖 SiN 膜“MOS”结构与应力分布 (a) 结构示意图; (b) 应力分布图

Fig. 1. (color online) Structure and stress pattern of MOS without polysilicon and side wall covered with SiN film: (a) structure diagram; (b) stress pattern.

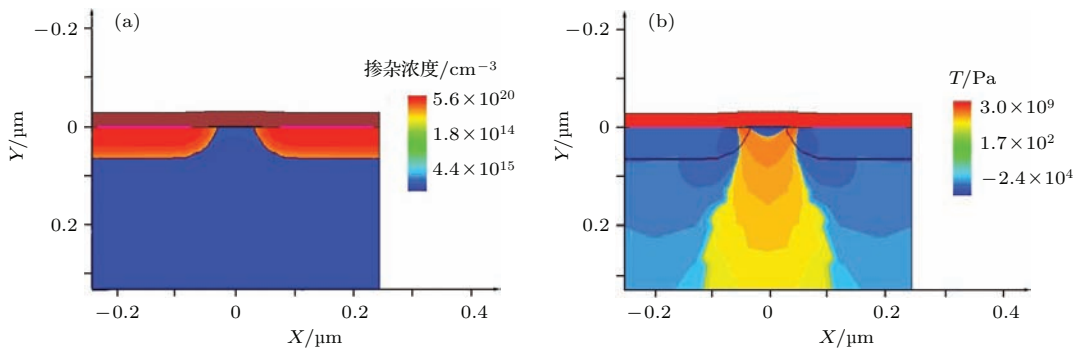


图2 (网刊彩色) 不含多晶硅、侧墙, 全覆盖 SiN 膜、薄栅氧化层 MOS 结构与应力分布 (a) 结构示意图; (b) 应力分布图

Fig. 2. (color online) Structure and stress pattern of thin gate oxide MOS without polysilicon and side wall covered with SiN film: (a) structure diagram; (b) stress pattern.

第二种情况器件结构如图2(a)所示, 与第一种情况唯一不同的是, 该“nMOS”沟道上方存在一层2 nm厚的栅氧化层, 即在“nMOS”沟道上方覆盖了一层“薄台阶”. 而ISE-TCAD应力分布仿真结果表明: 该情况下“nMOS”沟道以及源/漏区域均存在应力, 沟道区域受到张应力, 源/漏区域为压应力.

图3直观给出了两种“nMOS”源/漏以及沟道内应力分布的比较情况, 该仿真结果表明: “台阶”结构是SiN薄膜致MOS沟道应变在结构上的必要条件.

2.2 应变作用机理

如果将2.1模型中的“薄台阶”变为“厚台阶”, 即在栅氧化层的基础上加多晶硅和侧墙——经典的MOS结构. 仍以nMOS为例, MOS基本结构制作完成后, 将致密结构SiN薄膜淀积在nMOS表面, 覆盖源/漏以及栅极(如图4(a)所示). 该结构ISE应力分布仿真结果表明: SiN致密膜将应力引入了器件的结构层, 使源/漏区形成了压应力, 而沟道区形成了张应力.

图5为不同应力强度下90 nm应变nMOS沟道下方5 nm位置处的应力分布图, 由图可见, 不管施加何种应力强度的SiN薄膜, 应力分布规律均为——SiN致密膜使nMOS沟道中产生张应力、源/漏

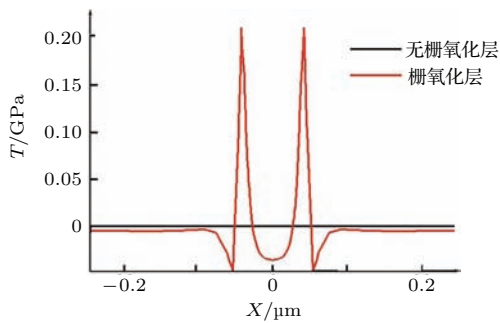


图3 (网刊彩色) 两种“nMOS”结构中源/漏与沟道内部应力分布

Fig. 3. (color online) Stress pattern in the channel and Source/Drain of two structures of nMOS.

区产生压应力, 且沟道中应力强度呈现中间小、两边大的趋势.

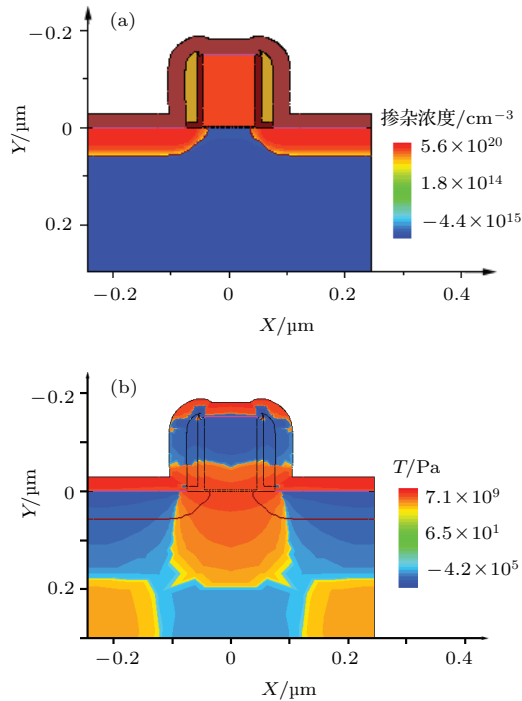


图4 (网刊彩色) 致密结构 SiN 膜致 nMOS 应力分布 (a) 结构示意图; (b) 应力分布图

Fig. 4. (color online) Stress pattern of nMOS with dense SiN film: (a) structure diagram; (b) stress pattern.

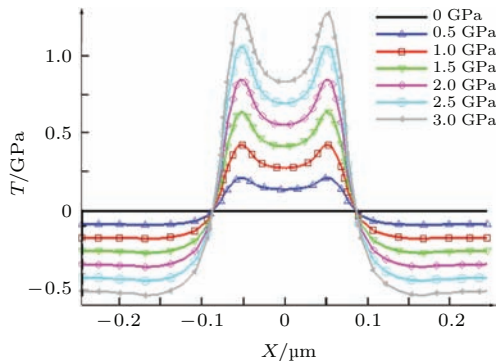


图5 (网刊彩色) 90 nm 应变 nMOS 沟道应力分布

Fig. 5. (color online) Stress pattern of 90 nm strain nMOS channel.

综合图 4 和图 5 ISE 仿真结果, SiN 致 MOS 沟道应变的作用机理为: SiN 致密膜具有收缩的趋势, 致密的 SiN 膜使得 nMOS 源/漏区域 Si 材料发生收缩形变, 源/漏区域的收缩形变进一步引起了沟道区 Si 材料发生扩张形变. 这样, 虽然 SiN 膜未直接接触 nMOS 沟道区域, 仍然对沟道区施加了张应变. 为了更为直观的理解该问题, 本文给出了示意图 6(a), 以帮助理解. 同样原理, pMOS 沟道性能提升应施加压应力, 工艺制备中需要淀积疏松结构的 SiN 薄膜, 其应力作用机理见图 6(b).

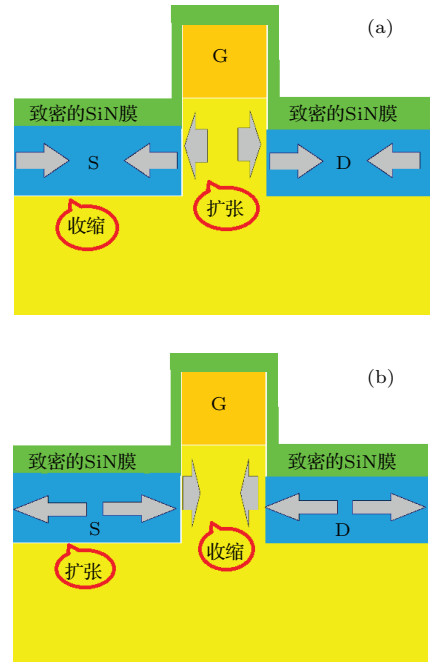


图6 (网刊彩色) SiN 膜结构与 MOS 沟道应力类型对应关系 (a) 致密膜; (b) 疏松膜

Fig. 6. (color online) Relationship between SiN film with the type of stress in MOS channel: (a) dense membrane; (b) loose membrane.

3 SiN 膜致 MOS 沟道应变量化分析

上节讨论了 SiN 膜致 MOS 沟道应变的必要条件、以及如何通过 SiN 膜将应力引入 MOS 沟道的问题, 然而, 以上分析仍然较为笼统, 本节拟通过多种模型的讨论, 进一步量化分析 SiN 膜致沟道应变的作用机理.

3.1 分段模型

将 MOS 器件覆盖 SiN 膜的区域分段为: 器件仅栅区域正上方覆盖 SiN 膜、器件仅侧墙区域覆盖 SiN 膜、器件源/漏结构正上方覆盖 SiN 膜, 其器件结构分别如图 7(a), 图 8(a), 图 9(a); 然后分别对三个结构 MOS 沟道进行应力分析, 仿真结果分别见图 7(b), 图 8(b), 图 9(b).

将图 7 至图 9 仿真结果综合到图 10 中, 由图可见: 1) SiN 致密膜对沟道施加了张应力, 主要归因于源/漏上方的 SiN 膜的作用; 2) 侧墙与栅顶的 SiN 膜虽对沟道产生了一定的张应力但却较小, 尤其是在沟道中心处, 其对于沟道的应力贡献几乎为零; 3) 三部分 SiN 膜对沟道产生应力的总和不等与全覆盖 SiN 膜对沟道产生的应力.

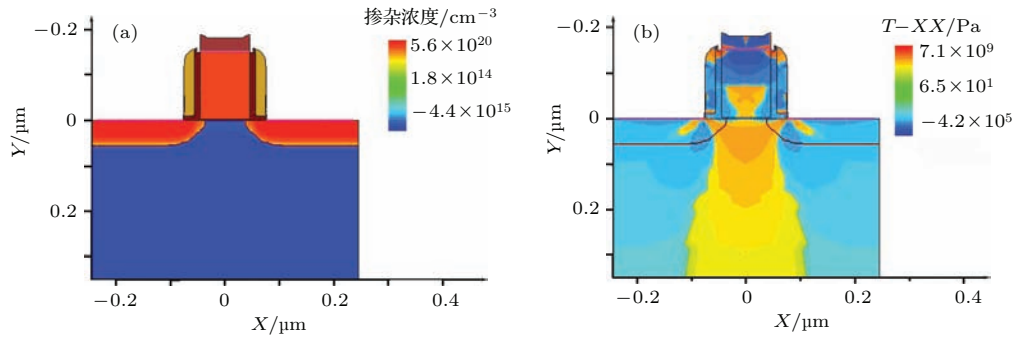


图7 (网刊彩色) 仅栅区域正上方覆盖SiN膜MOS结构与应力分布 (a) 结构示意图; (b) 应力分布图
Fig. 7. (color online) Structure and stress pattern of MOS with SiN film covering on the Gate: (a) structure diagram; (b) stress pattern.

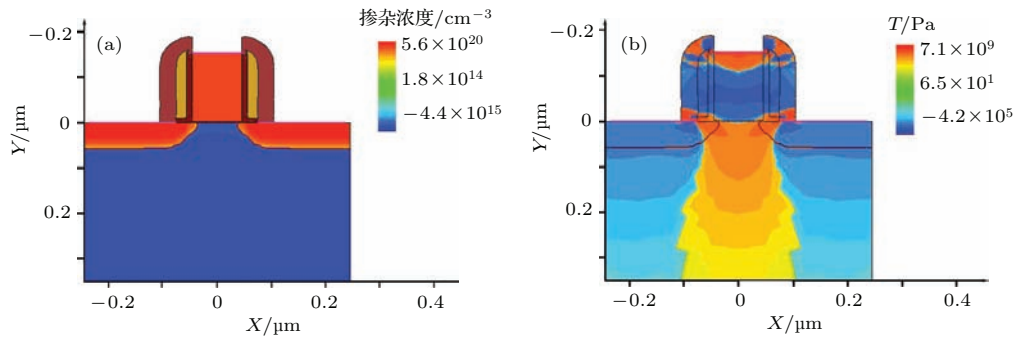


图8 (网刊彩色) 仅侧墙区域覆盖SiN膜MOS结构与应力分布 (a) 结构示意图; (b) 应力分布图
Fig. 8. (color online) Structure and stress pattern of MOS with SiN film covering on side wall: (a) structure diagram; (b) stress pattern.

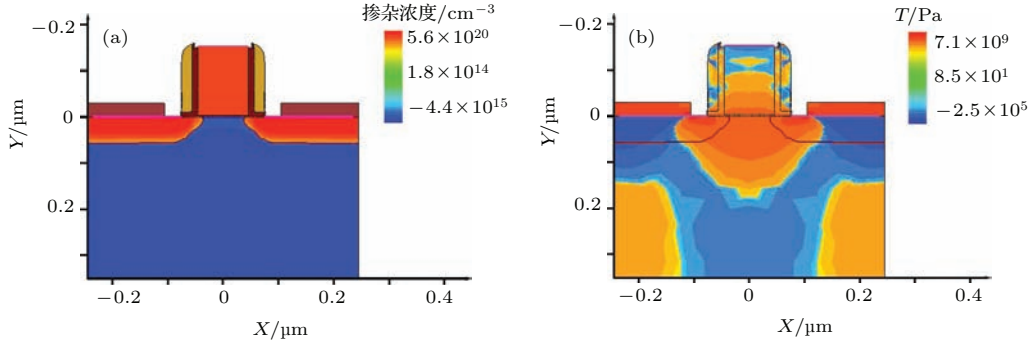


图9 (网刊彩色) 仅源/漏区域正上方覆盖SiN膜MOS结构与应力分布 (a) 结构示意图; (b) 应力分布图
Fig. 9. (color online) structure and stress pattern of MOS with SiN film covering Source/Drain only: (a) structure diagram; (b) stress pattern.

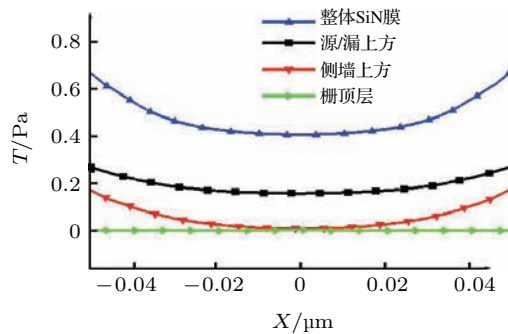


图10 (网刊彩色) 栅顶、侧墙、源/漏以及全覆盖SiN膜致沟道应力
Fig. 10. (color online) Stress in channel of SiN film on Gate, side wall, Source/drain or all of those.

3.2 闭环分析模型

分段模型中各段SiN膜致沟道应力总和不等与全覆盖SiN膜对沟道产生的应力, 该结果说明仍有其他应力作用机理需要考虑. 本节将MOS覆盖的SiN膜分成两个区域: 器件栅和侧墙区域闭环覆盖SiN膜、器件源/漏结构正上方覆盖SiN膜, 其器件结构分别如图11(a)和图9(a); 然后分别对这两种结构MOS沟道进行应力分析, 仿真结果分别见图11(b)和图9(b).

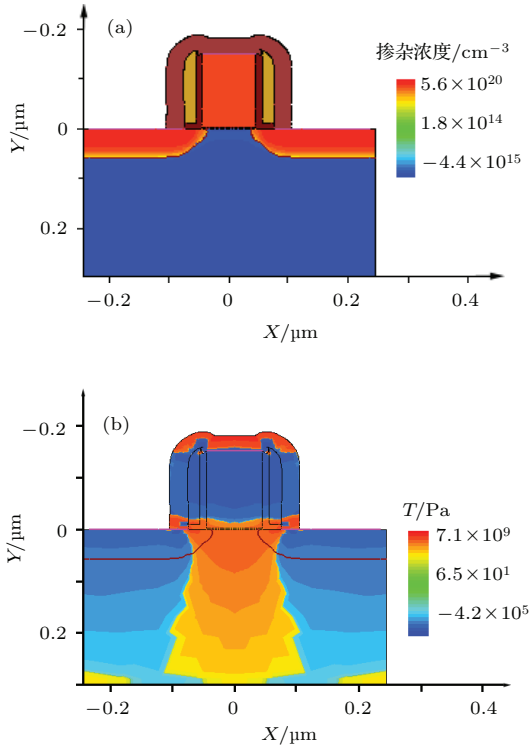


图11 (网刊彩色) 栅和侧墙区域闭环覆盖SiN膜MOS结构与应力分布 (a) 结构示意图; (b) 应力分布图
Fig. 11. (color online) Structure and stress pattern of MOS with SiN film covering on closed-loop structure on Gate and the side wall: (a) structure diagram; (b) stress pattern.

将图11和图9仿真结果综合到图12中, 由图可见: 1) 对于沿沟道长度的方向, 栅与侧墙闭环覆盖SiN膜、源/漏结构正上方覆盖SiN膜对沟道产生应力的作用大体相当; 2) 当栅与侧墙的SiN膜单独施用, 该膜与MOS沟道形成了一个“闭环”. 由于该SiN膜的收缩, 使得沟道部分发生“拉伸”, 进而被施加了张应力(示意图见图13); 3) 两部分SiN膜对沟道产生应力的总和仍不等于全覆盖SiN膜对沟道产生的应力, 这说明仍有其他的应力作用机理需要考虑.

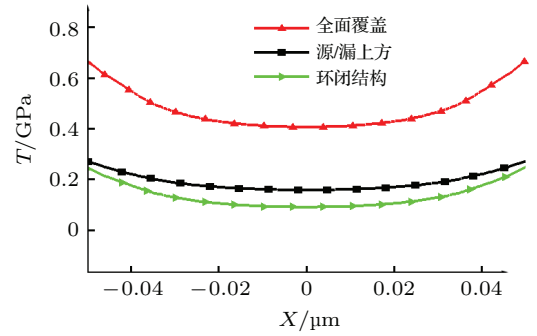


图12 (网刊彩色) 栅顶/侧墙闭环结构、源/漏以及全覆盖SiN膜致沟道应力
Fig. 12. (color online) Stress in channel of SiN film with Closed-loop structure on Gate and the side wall, source/drain or full coverage.

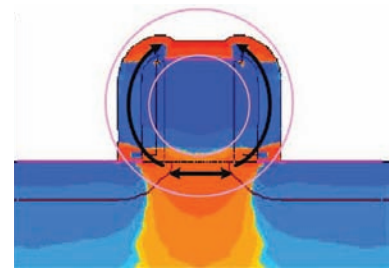


图13 (网刊彩色) 栅与侧墙覆盖张应力SiN膜, 形成了“闭环结构”
Fig. 13. (color online) Closed-loop structure formed by tensile stress of SiN film covering on Gate and the side wall.

3.3 整体性分析

分段模型和闭环模型中各段SiN膜致沟道应力总和都不等于全覆盖SiN膜对沟道产生的应力, 这说明仍有其他应力作用机理需要考虑. 考虑到, 当晶片上覆盖的SiN膜被破坏时, SiN膜的应力会释放, 进而对晶片的应力作用就会大幅度减小, 最终可导致沟道内引入的应力也大幅度地减小. 因此, 本文认为, SiN薄膜的整体性应该为SiN膜致沟道应力机理中重要的因素之一.

为了验证SiN薄膜整体性对沟道应力引入的作用, 我们对SiN膜的整体性结构进行了“破坏”, 即在SiN膜的源/漏上方刻蚀两个50 nm的孔, 其器件结构及应力仿真结果如图14.

图15给出了带孔SiN膜MOS与全覆盖SiN膜MOS沟道应力分布的比较情况, 由图可见, “开孔”后, SiN膜对沟道施加的张应力与全覆盖情况相比小了很多. 因此, SiN膜的整体性对于沟道应力的施加非常重要.

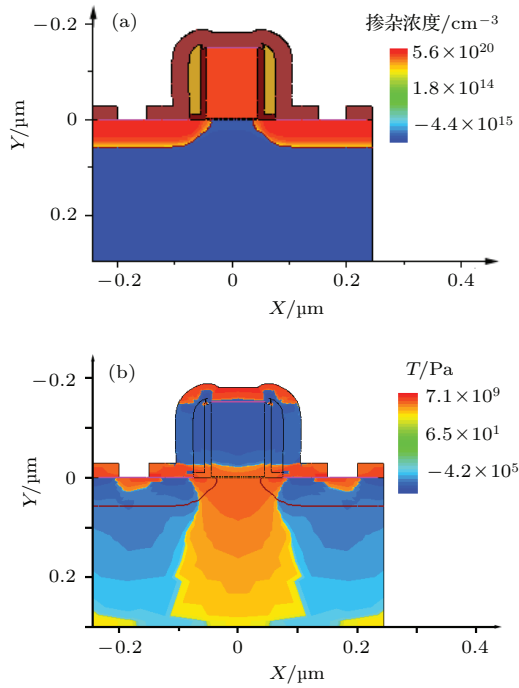


图 14 (网刊彩色) 带孔 SiN 膜 MOS 结构与应力分布 (a) 结构示意图; (b) 应力分布图

Fig. 14. (color online) Structure and stress pattern of mos with SiN film with holes: (a) structure diagram; (b) stress pattern.

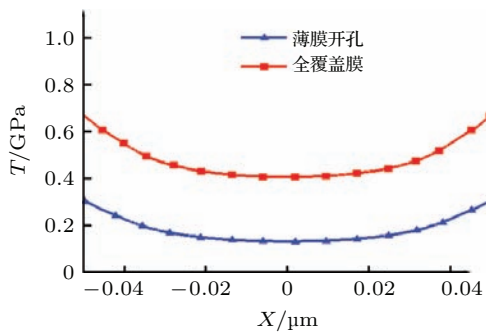


图 15 (网刊彩色) SiN 膜开孔对 MOS 沟道应力分布的影响

Fig. 15. (color online) Effect of SiN film with opening hole on stress pattern in MOS channel.

为了进一步探究 SiN 薄膜整体性对沟道应力引入的影响, 仿真选取不同的开孔类型. 例如将覆盖在源/漏边界的两块 SiN 膜进行刻蚀, 其器件结构及应力仿真结果如图 16.

比较图 14 和图 16 结果 (见图 17), 可以发现, 当将覆盖在源/漏边界的两块 SiN 膜刻蚀后, 沟道应力进一步下降.

再考虑不同位置开孔对沟道应力引入的影响, 若将源/漏上方刻孔逐渐外移, 直至将刻孔移至无限远处, 分别选取 X 为 0 nm, 25.4 nm, 45.4 nm,

90.4 nm, 115.4 nm 以及无限大的 6 个刻孔位置, 得出仿真结果如图 18 所示.

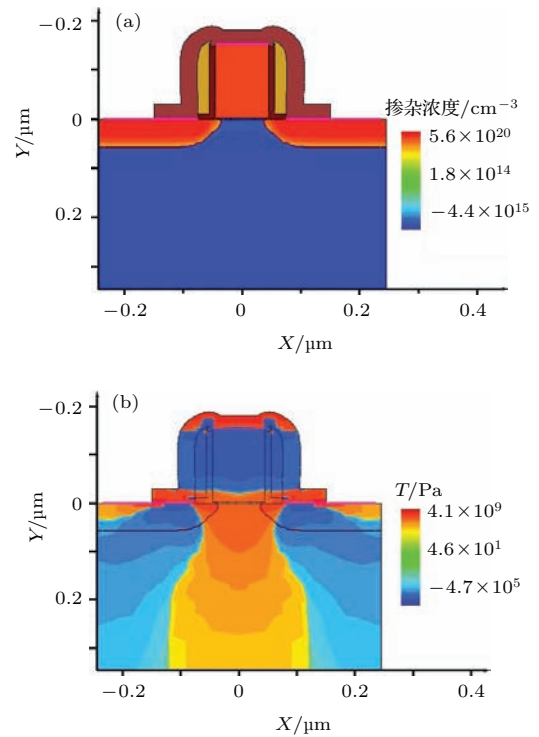


图 16 (网刊彩色) 边缘刻蚀 SiN 膜 MOS 结构与应力分布 (a) 结构示意图; (b) 应力分布图

Fig. 16. (color online) Structure and stress pattern of MOS with SiN film edge etching: (a) structure diagram; (b) stress pattern.

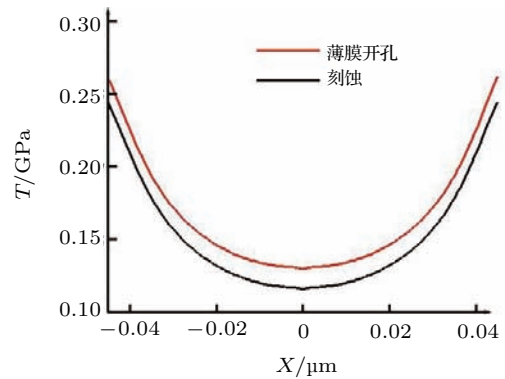


图 17 (网刊彩色) 两种 SiN 开孔结构 MOS 沟道内应力分布比较

Fig. 17. (color online) Comparison of stress pattern in MOS channel of two structures of SiN film with opening hole.

显然由图 18 可见, 器件沟道内应力随着应力与开孔距离 x 呈现出先缓慢减小后迅速增大的趋势. 这很好的说明了完整的 SiN 膜结构对于应力由源漏区域传导至沟道内部具有不可或缺的作用, 而在源/漏上方的 SiN 膜的正中央开孔, 并不能在

源/漏上形成足够的形变, 所以此时沟道内的应力最小.

综合分段模型、闭环模型以及整体性模型, 可以认为, SiN膜致MOS沟道应变主要机理有三种: 1) 源/漏上方SiN膜致沟道应变; 2) “闭环结构”引起的沟道应变; 3) SiN膜整体完整性致沟道应变的作用.

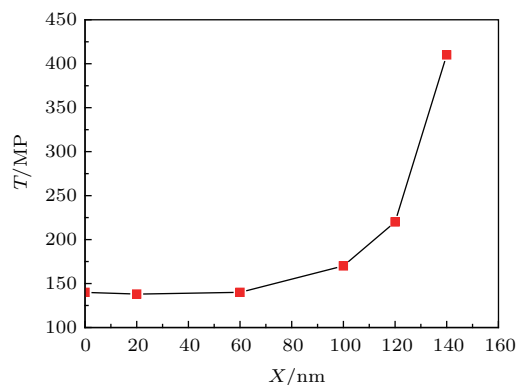


图 18 (网刊彩色) 沟道中心处应力与开孔位置的关系
Fig. 18. (color online) Relation between the stress in the center of the channel and the position of opening hole.

4 结 论

本文系统分析了SiN膜栅、侧墙以及源漏等部分对沟道产生张应力的机理、作用范围及在总的沟道应力中所占的比重, 揭示了SiN膜在应变MOS器件沟道产生应力的机理.

研究发现: 1) SiN膜具有收缩或者扩张的趋势, SiN膜主要通过引起MOS源/漏区域Si材料的形变, 进而引起沟道区Si材料发生形变; 2) 整体SiN膜对沟道的应力等于源/漏上方SiN膜在源/漏

所施加的应力、“闭环结构”对沟道内部所施加的应力以及SiN膜整体在沟道产生的应力的总和.

本文模型可为小尺寸MOS工艺制造, 以及MOS器件新型应力引入的研究提供有价值的参考.

参考文献

- [1] Bai M, Xuan R X, Song J J, Zhang H M, Hu H Y, Shu B 2015 *J. Comput Theor Nanos* **12** 1610
- [2] Wu W R, Liu Ch, Sun J B, Yu W J, Wang X, Shi Y, Zhao Y 2014 *IEEE Electr Device L* **35** 714
- [3] Liu W F, Song J J 2014 *Acta Phys. Sin.* **63** 238501 (in Chinese) [刘伟峰, 宋建军 2014 物理学报 **63** 238501]
- [4] Cai W L, Takenaka M, Takagi S 2014 *J. Appl. Phys.* **115** 094509
- [5] Song J J, Yang Ch, Zhu H, Zhang H M, Xu R X, Hu H Y, Shu B 2014 *Acta Phys. Sin.* **63** 118501 (in Chinese) [宋建军, 杨超, 朱贺, 张鹤鸣, 宣荣喜, 胡辉勇, 舒斌 2014 物理学报 **63** 118501]
- [6] EngSiew K A, Sohail I R 2013 *J Comput Theor Nanos* **10** 1231
- [7] Song J J, Yang Ch, Wang G Y, Zhou Ch Y, Wang B, Hu H Y, Zhang H M 2012 *Jpn. J. Appl. Phys.* **51** 104301
- [8] Song J J, Zhang H M, Hu H Y, Dian X Y, Xuan R X 2007 *Chin. Phys. B* **16** 3827
- [9] Song J J, Zhang H M, Hu H Y, Wang X Y, Wang G Y 2012 *Sci. China Phys. Mech.* **55** 1399
- [10] Song J J, Zhang H M, Hu H Y, Wang X Y, Wang G Y 2012 *Acta Phys. Sin.* **61** 057304 (in Chinese) [宋建军, 张鹤鸣, 胡辉勇, 王晓艳, 王冠宇 2012 物理学报 **61** 057304]
- [11] Huang J, Chang Sh T, Hsieh B F, Liao M H, Wang W C, Lee C C 2010 *Thin Solid Films* **518** 241
- [12] Yamashita T, Nishida Y, Okagaki T, Miyagawa Y 2008 *Jpn. J. Appl. Phys.* **47** 2569
- [13] Huang, H L, Chen J K, Houng M P 2013 *Solid State Electron* **79** 31
- [14] Sentaurus TCAD, G2012-06 Manual, Synopsys, Inc., Mountain View, CA, USA, 2012

Physical mechanism of uniaxial strain in nano-scale metal oxide semiconductor transistor caused by sin film*

Yang Min-Yu^{1)†} Song Jian-Jun¹⁾ Zhang Jing²⁾ Tang Zhao-Huan²⁾
Zhang He-Ming¹⁾ Hu Hui-Yong¹⁾

1) (*Key Lab of Wide Band-Gap Semiconductor Materials and Devices, School of Microelectronics, Xidian University, Xi'an 710071, China*)

2) (*National key Laboratory of Analog Integrated Circuitry, NO.24 Research Institute of CETC, Chongqing 400060, China*)

(Received 12 July 2015; revised manuscript received 14 August 2015)

Abstract

Performance of a nano-scale MOS (metal-oxide-semiconductor) can be significantly improved by uniaxial stress, caused by the SiN film deposited on the surface of MOS. Although this technique has been widely used in the performance improvement of CMOS and integrated circuit, the physical mechanism for instance, how is the strain in MOS channel caused by the SiN film? how about the relation between the kinds of the structure of SiN film needed to be discussed in depth. On the basis of the ISE TCAD, three typical models for stress analysis—such as the segmentation structure model, the closed-loop structure model and the integrity structure model—are proposed. And then, this paper reveals the physical mechanism about how the stress in MOS channel is caused by the SiN film and how much the magnitude of the stress in MOS channel is induced. Results shows that: 1) The “step” structure is the necessary condition for the strain in the MOS channel to be caused by the SiN film. 2) With the tendency for SiN film to shrink or expand, the film may lead to the deformation along the MOS source/drain region of the Si material, which causes the deformation of Si in the channel. 3) The whole of the channel stress in SiN film is equal to the sum of the stress in the source/drain imposed by the SiN film above the source/drain, the stress which the “closed loop structure” applies to the channel, and the stress generated in the channel by the whole SiN film. Our conclusions may provide the valuable references to the manufacture of nano-scaled MOS and the research of the novel inducing stress technique.

Keywords: uniaxial-strain, metal-oxide-semiconductor transistor, silicon nitride, physical mechanism

PACS: 85.30.De, 85.30.Pq, 85.30.Tv

DOI: [10.7498/aps.64.238502](https://doi.org/10.7498/aps.64.238502)

* Project supported by the National key Laboratory of Analog Integrated Circuitry (Grant No. P140c090303110c0904) and the Natural Science Basic Research Plan in Shaanxi Province of China (Grant No. 2014JQ8329).

† Corresponding author. E-mail: minyu_muyi@qq.com