

阶梯氧化层新型折叠硅横向双扩散功率器件

段宝兴 李春来 马剑冲 袁嵩 杨银堂

New folding lateral double-diffused metal-oxide-semiconductor field effect transistor with the step oxide layer

Duan Bao-Xing Li Chun-Lai Ma Jian-Chong Yuan Song Yang Yin-Tang

引用信息 Citation: [Acta Physica Sinica](#), 64, 067304 (2015) DOI: 10.7498/aps.64.067304

在线阅读 View online: <http://dx.doi.org/10.7498/aps.64.067304>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn/CN/Y2015/V64/I6>

---

您可能感兴趣的其他文章

Articles you may be interested in

新型缓冲层分区电场调制横向双扩散超结功率器件

New super junction lateral double-diffused MOSFET with electric field modulation by differently doping the buffered layer

物理学报.2014, 63(24): 247301 <http://dx.doi.org/10.7498/aps.63.247301>

具有 N 型缓冲层 REBULF Super Junction LDMOS

New REBULF super junction LDMOS with the N type buffered layer

物理学报.2014, 63(22): 227302 <http://dx.doi.org/10.7498/aps.63.227302>

SnO<sub>2</sub>/p<sup>+</sup>-Si 异质结器件的电致发光: 利用 TiO<sub>2</sub> 盖层提高发光强度

Electroluminescence from SnO<sub>2</sub>/p<sup>+</sup>-Si heterostructured light-emitting device: enhancing its intensity via capping a TiO<sub>2</sub> film

物理学报.2014, 63(17): 177302 <http://dx.doi.org/10.7498/aps.63.177302>

GaN HEMT 欧姆接触模式对电学特性的影响

Effect of different ohmic contact pattern on GaN HEMT electrical properties

物理学报.2014, 63(11): 117302 <http://dx.doi.org/10.7498/aps.63.117302>

阶梯 AlGa<sub>N</sub> 外延新型 Al<sub>0.25</sub>Ga<sub>0.75</sub>N/GaN HEMTs 击穿特性分析

Breakdown voltage analysis for the new Al<sub>0.25</sub>Ga<sub>0.75</sub>N/GaN HEMTs with the step AlGa<sub>N</sub> layers

物理学报.2014, 63(5): 057302 <http://dx.doi.org/10.7498/aps.63.057302>

# 阶梯氧化层新型折叠硅横向双扩散功率器件\*

段宝兴<sup>†</sup> 李春来 马剑冲 袁嵩 杨银堂

(西安电子科技大学微电子学院, 宽禁带半导体材料与器件教育部重点实验室, 西安 710071)

(2014年8月20日收到; 2014年10月20日收到修改稿)

为了设计功率集成电路所需的低功耗横向功率器件, 提出了一种具有阶梯氧化层折叠硅横向双扩散金属-氧化物-半导体 (step oxide folding LDMOS, SOFLDMOS) 新结构. 这种结构将阶梯氧化层覆盖在具有周期分布的折叠硅表面, 利用阶梯氧化层的电场调制效应, 通过在表面电场分布中引入新的电场峰而使表面电场分布均匀, 提高了器件的耐压范围, 解决了文献提出的折叠积累型横向双扩散金属-氧化物-半导体器件击穿电压受限的问题. 通过三维仿真软件 ISE 分析获得, SOFLDMOS 结构打破了硅的极限关系, 充分利用了电场调制效应、多数载流子积累和硅表面导电区倍增效应, 漏极饱和电流比一般 LDMOS 提高 3.4 倍左右, 可以在 62 V 左右的反向击穿电压条件下, 获得  $0.74 \text{ m}\Omega\cdot\text{cm}^2$  超低的比导通电阻, 远低于传统 LDMOS 相同击穿电压下  $2.0 \text{ m}\Omega\cdot\text{cm}^2$  比导通电阻, 为实现低压功率集成电路对低功耗横向功率器件的要求提供了一种可选的方案.

**关键词:** 折叠硅, 横向双扩散金属氧化物半导体场效应晶体管, 击穿电压, 比导通电阻

**PACS:** 73.40.Kp, 73.40.Vz, 73.61.Ey

**DOI:** 10.7498/aps.64.067304

## 1 引言

功率集成电路 (power integrated circuit, PIC) 和高压集成电路 (high voltage integrated circuit, HVIC) 是实现第二次电子革命的关键技术<sup>[1]</sup>. 实现 PIC 技术除了要求横向功率金属-氧化物半导体器件 (LDMOS) 具有驱动电路简单、频率高、与低压电路易于隔离和兼容等优点外, 最关键的是 LDMOS 必须具有低的导通电阻以减小 PIC 集成电路的功率损耗<sup>[2,3]</sup>. 而 LDMOS 类器件存在的主要问题是关态击穿电压 ( $BV$ ) 与开态导通电阻 ( $R_{on}$ ) 之间的矛盾<sup>[4]</sup>. 所以在满足一定击穿电压的条件下, 获得尽可能低的导通电阻以降低导通损耗一直是国内外研究的热点. 近年来, 研究者将 Super Junction 思想<sup>[5-10]</sup> 应用于 LDMOS 中获得了低的比导通电阻, 然而 N 沟道 LDMOS 具有的 P 型衬底对要求电荷完全补偿的 Super Junction 结构带来了衬

底辅助耗尽问题<sup>[5-7]</sup>. 而且, 当设计小于 100 V 耐压的横向 LDMOS 时, 工艺上实现电荷完全补偿的较窄 N 区和 P 区非常困难, 这使得探索实现获得极低比导通电阻的中、低压 LDMOS 成为 PIC 领域研究的关键.

突破传统 LDMOS 结构击穿电压与比导通电阻矛盾的有效方法有两种: 一种是在满足关态  $BV$  的条件下, 通过扩展的栅电极使器件开态时漂移区形成载流子积累层以提供低阻导通通道, 这就是 UMOS 的思想<sup>[11]</sup>; 另一种是通过在器件的不同维度上引入新的电场来调制漂移区的浓度或通过对比已有维度上的电场进一步优化电场分布, 这就是 SJ 和 OBVDMOS 的思想<sup>[12]</sup>. 作者在国际上首次提出了利用电场调制效应优化功率半导体器件击穿电压与比导通电阻矛盾关系的思想<sup>[13-15]</sup>, 提出的多种结构已被同行认可<sup>[16-25]</sup>, 成为优化 LDMOS 器件的一种新技术.

其中, 由作者提出的 FALDMOS<sup>[19]</sup> 和完全

\* 国家重点基础研究发展计划 (批准号: 2014CB339900, 2015CB351906)、国家自然科学基金重点项目 (批准号: 61234006, 61334002) 资助的课题.

<sup>†</sup> 通信作者. E-mail: [bxduan@163.com](mailto:bxduan@163.com)

3D-RESURF 结构<sup>[20]</sup>同时利用了上述两种方法,即通过将 LDMOS 的栅电极扩展,在漂移区形成多数载流子积累;且扩展栅电极的电场调制作用,在满足一定  $BV$  条件时的漂移区浓度增加;通过刻蚀技术从沟道到漏端形成的折叠硅表面使沟道反型载流子和漂移区积累载流子在器件开态时浓度成倍增加,已经证明这种结构可以获得超低的比导通电阻,打破了传统硅器件击穿电压与比导通电阻的矛盾关系.然而,为了进一步优化表面电场分布,提高 FALDMOS 结构的耐压范围,本文提出了新型阶梯氧化层折叠硅 LDMOS (step oxide folding LDMOS, SOFLDMOS) 结构,新结构将覆盖在折叠硅表面的氧化层设计为阶梯分布,利用阶梯氧化层的电场调制效应,通过在电场分布中引入新的电场峰而使得电场分布均匀,击穿电压提高.利用仿真软件 ISE<sup>[26]</sup> 分析获得 SOFLDMOS 结构充分利用了电场调制效应、多数载流子积累和硅表面导电区倍增效应,打破了硅的极限关系,可以在 62 V 左右的反向击穿电压条件下,获得超低的比导通电阻  $0.74 \text{ m}\Omega\cdot\text{cm}^2$ ,远低于传统 LDMOS 相同击穿电压下  $2.0 \text{ m}\Omega\cdot\text{cm}^2$  比导通电阻.

## 2 器件结构

图 1 所示为具有阶梯场氧化层 N 沟道 SOFLDMOS 结构示意图,其中图 1 (a) 为三维结构的一个周期性单元,实际的结构是由这些单元沿  $OZ$  方向周期排列而成;图 1 (b) 和 (c) 分别为沿  $OA$  和  $OB$  方向的剖面图. SOFLDMOS 与作者提出的 FALDMOS 结构不同在于将覆盖在漂移区表面的场氧化层设计为阶梯状,图 1 所示的结构为具有一个阶梯的情况,根据不同的结构参数和耐压要求,可以通过增加阶梯数目进一步优化.图 1 (b), (c) 中示意了 SOFLDMOS 结构沟道和漂移区中形成的电子积累.由于扩展的栅电极使器件开态时漂移区表面形成多数载流子电子的积累层,积累的电子层提供了低的导电通道;同时沿  $Y, Z$  方向的电场调制效应增强了电荷的补偿作用,使器件关断时承受一定击穿电压的漂移区浓度增加,这个效应与 Super Junction 的作用类似, Super Junction 是通过与 N 型漂移区相邻的 P 型掺杂实现电荷补偿以提高 N 型漂移区的浓度;由于从沟道到漏端的折叠硅结构,在刻蚀槽的侧面也形成了多数载流子积累,使积累的多数载流子翻倍,这进一步降低了沟道区的

电阻和漂移区的电阻.阶梯分布的场氧化层产生的附加电场调制,使 SOFLDMOS 结构表面电场分布中出现新的电场峰而进一步优化了电场分布,提高了器件的耐压范围.

图 1 所示的器件结构参数为  $T_s$  表示漂移区厚度;  $N_d$  表示 N 型漂移区浓度;  $L_d$  表示漂移区长度;  $L_{O1}$  和  $L_{O2}$  分别表示扩展的阶梯场氧化层长度;  $T_{O1}$  和  $T_{O2}$  分别表示阶梯场氧化层厚度;  $W$  和  $H$  分别表示折叠硅表面刻蚀的宽度和深度. FALDMOS 结构的击穿电压范围仅为 30 V 左右,而 PIC 根据不同应用所需的耐压可高达 100 V 以上,所以,必须进一步设计具有 30 V 以上击穿电压的超低导通电阻 LDMOS.

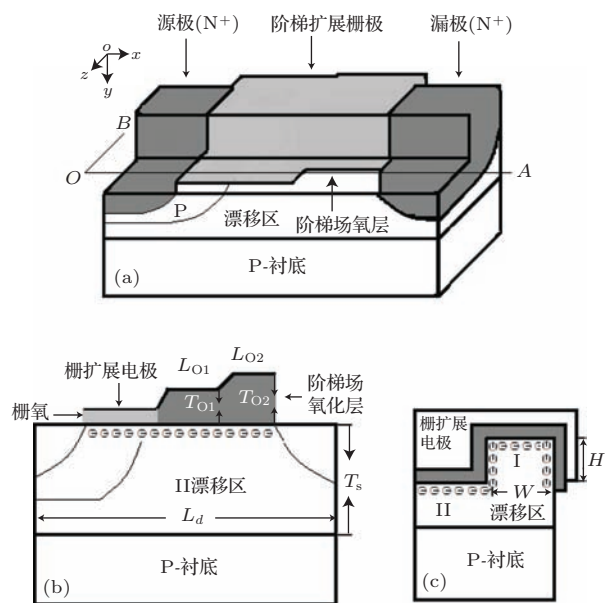


图 1 (a) SOFLDMOS 3D 结构示意图; (b) 沿  $OA$  方向的剖面示意图; (c) 沿  $OB$  方向的剖面示意图

## 3 仿真结果与分析

图 2 为常规 LDMOS, FALDMOS 和本文提出的 SOFLDMOS 三种结构在击穿条件下的表面电场分布.从图 2 的表面电场分布中可以看出,对于 LDMOS 结构,当满足 RESURF (reduced surface field)<sup>[27]</sup> 条件时,表面电场分布中出现两个明显的电场峰,分别位于沟道的栅边缘和漏电极末端,对于漏端形成电场峰的物理解释,可以通过文献<sup>[28]</sup> 详细获得.所以,对于 LDMOS 结构,由于纵向电场的作用,即使满足 RESURF 条件,表面电场分布也需要进一步优化,即通过新的设计使表面电场分布均匀,提高横向单位长度的耐压量.文献<sup>[19]</sup> 提出的 FALDMOS 虽然将优化 LDMOS 击穿电压与

比导电阻的三种方法有机结合, 但横向表面电场分布极不均匀, 限制了器件的耐压范围. 由图 2(a) 可以看出, 由于覆盖在场氧化层上均匀的电极, 形成了统一的电势, 表面电场分布中只有漏端的电场峰, 击穿电压仅为 65 V. 为了进一步优化表面电场, 提高器件的耐压范围, 提出的 SOFLDMOS 利用了阶梯场氧化层的电场调制效应, 使表面电场分布中出现新的电场峰  $P_k$  而趋于均匀, 击穿电压提高为 94 V.

图 2(b) 为 SOFLDMOS 当阶梯场氧化层位置变化时的表面电场分布, 器件漂移区的长度为 4  $\mu\text{m}$ . 不同的阶梯位置使表面电场峰  $P_k$  在表面电场分布中移动, 这即为阶梯场氧化层对表面电场调制效应的体现. 对于图 2(b) 所示的一个阶梯情况, 当电场峰位于表面电场分布中间时, 电场分布最为均匀, 击穿电压最高, 这为设计 SOFLDMOS 结构的阶梯场氧化层位置提供了依据.

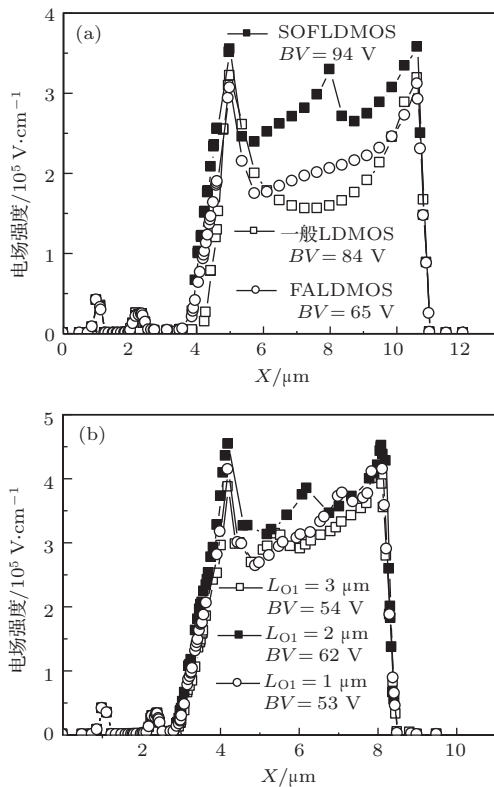


图2 表面电场分布 (a) 一般 LDMOS, FALDMOS 和 SOFLDMOS 结构,  $L_d = 6 \mu\text{m}$ ;  $W = H = 1 \mu\text{m}$ ; (b) SOFLDMOS 结构不同阶梯位置情况,  $L_d = 4 \mu\text{m}$ ;  $W = H = 1 \mu\text{m}$

图 3 为 SOFLDMOS 结构阶梯场氧化层参数变化对器件表面电场的影 响, 作者已经通过 BODS 结构 [17] 和 SOB VDMOS 结构 [21] 验证了阶梯氧化层对表面电场的调制效应. 图 3 为一个阶梯, 且阶梯

位于漂移区中间时随  $T_{O2}$  变化的表面电场分布. 从图中可以看出, 随  $T_{O2}$  的增加, 产生的电场峰  $P_k$  值增大, 器件的击穿电压增加, 当电场峰与栅边缘或漏端的电场峰等高时, 击穿电压达到最大, 这是电场调制的最优效果. 然而, 对于  $T_{O2}$  的选择, 也必须结合扩展栅电极对漂移区浓度的调制补偿效应, 随着扩展栅电极下场氧化层厚度的增加, 由电场调制引起的电荷补偿作用变弱, 而且器件正向工作时由扩展栅电极形成的多数载流子积累浓度变小. 电荷补偿作用变弱和积累的多数载流子浓度变小都会使比导电阻增加, 这正是提高器件击穿电压付出的代价, 这种矛盾关系体现了 LDMOS 设计中同时优化击穿电压和比导电阻的困难. 所以, 对于  $T_{O2}$  的设计必须折中击穿电压与比导电阻的选择.

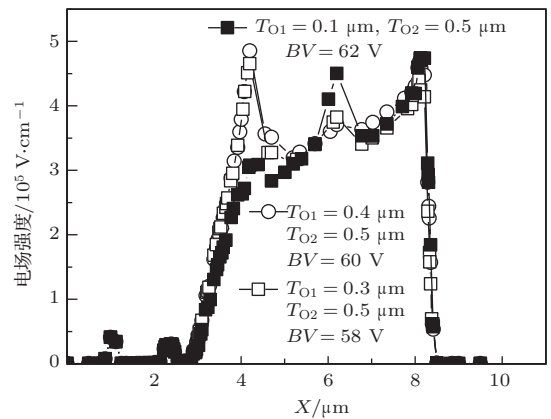


图3 SOFLDMOS 结构阶梯场氧化层参数变化时的表面电场

随阶梯数的增加, 击穿电压逐渐增大, 这是由于增加的阶梯数引入新的电场峰而使表面电场分布趋于均匀, 均匀的表面电场提高了器件单位长度的耐压量, 从而使击穿电压增加. 当阶梯数为 3 时, 击穿电压达到饱和, 说明此时表面电压已经最优, 为设计 SOFLDMOS 阶梯场氧化层阶梯数目提供了依据.

对于硅基 LDMOS, 当没有电场调制效应时, 获得高的击穿电压必须通过一定长度的低阻漂移区实现, 满足 RESURF 条件下, 击穿电压随低阻漂移区长度增加而饱和, 击穿电压与比导电阻受限于 (1) 式的硅极限关系 [29]:

$$R_{on,sp} \propto BV^2, \quad (1)$$

(1) 式中  $R_{on,sp}$  表示比导电阻,  $BV$  表示器件的击穿电压. 随着击穿电压的增加, 比导电阻将以平

方关系剧增, 这种矛盾关系其实也存在于利用其他半导体材料, 包括宽带隙半导体 SiC 和 GaN 设计的 MOS 类器件中, 限制了 MOS 类功率器件应用于高压大电流领域. 本文提出的 SOFLDMOS 将优化击穿电压与比导通电阻的现有技术有机结合, 通过阶梯场氧化层电场调制, 进一步优化了表面电场分布, 在 60 V 左右击穿条件下, 获得超低的比导通电阻, 打破了硅的极限关系. 图 4 所示为 LDMOS 击穿电压与比导通电阻的关系曲线, 可以看出, 由于受 (1) 式的限制, 一般 LDMOS 的比导通电阻随击穿电压的增加而增大, 当击穿电压为 63 V 时, 比导通电阻为  $2.0 \text{ m}\Omega\cdot\text{cm}^2$ ; 对于 SOFLDMOS, 比导通电阻与击穿电压的关系突破了传统的硅极限关系, 当击穿电压为 62 V 时, 比导通电阻仅为  $0.74 \text{ m}\Omega\cdot\text{cm}^2$ . 图 4 也比较了现有文献报道下 100 V 左右击穿电压时的比导通电阻情况, 文献 [30] 的实验结果为击穿电压 98.6 V, 比导通电阻  $1.01 \text{ m}\Omega\cdot\text{cm}^2$ ; 文献 [31] 的实验测试结果表明当击穿电压为 72.3 V 时, 比导通电阻也为  $1.01 \text{ m}\Omega\cdot\text{cm}^2$ . 可以看出, SOFLDMOS 可以在低压范围获得超低的比导通电阻, 这为满足低压 PIC 对低损耗 LDMOS 的需求提供了一种有效的设计方法, 突破了超结 Super Junction 应用于低压 PIC 具有的困难.

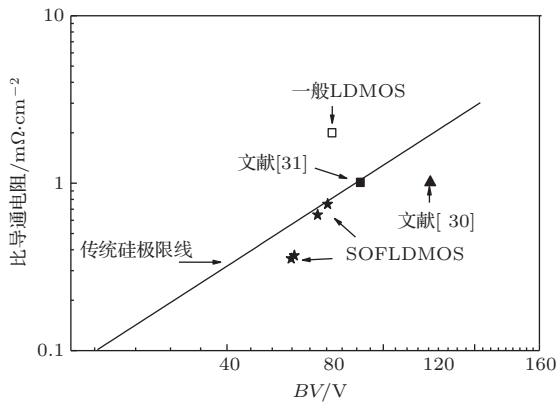


图 4 击穿电压与比导通电阻关系曲线

图 5 所示为一般 LDMOS 与 SOFLDMOS 结构的输出曲线和电流密度比较. 由图 5 (a) 可以看出, SOFLDMOS 具有超低的比导通电阻, 当器件开启时, 漏极饱和电流比一般 LDMOS 提高了 3.4 倍. 从图 5 (b), (c) 的正向电流分布可以看出, 由于 SOFLDMOS 扩展栅电极的作用, 器件正向工作时, 漂移区表面产生了一定浓度的多数载流子积累, 而且折叠的槽型结构使积累的多数载流子成倍

增加, 相同栅压下 SOFLDMOS 结构的漂移区最大电流密度较一般 LDMOS 结构提高了将近一个数量级; 当器件反向工作时, 扩展栅电极的电场调制效应使具有高浓度的漂移区辅助耗尽, 满足了一定击穿电压的要求. 所以, 具有电场调制效应的阶梯场氧化层 SOFLDMOS 打破了传统硅基 LDMOS 击穿电压与比导通电阻受限于硅极限的设计, 为中、低压 HVIC 和 PIC 所需的功率器件提供了一种新的设计思路.

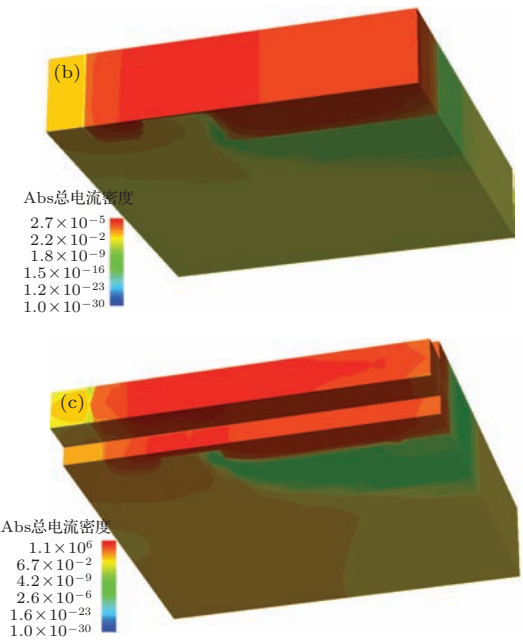
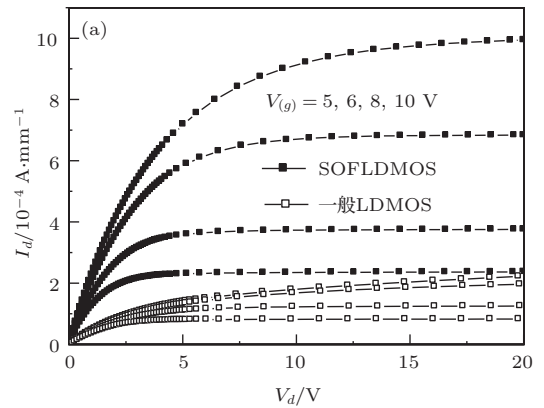


图 5 (网刊彩色) 一般 LDMOS 与 SOFLDMOS 结构的输出曲线和电流密度比较 (a) 两种结构  $I_d-V_d$  输出曲线; (b) 一般 LDMOS 电流密度; (c) SOFLDMOS 电流密度

## 4 结 论

本文为了满足低压 PIC 功率集成电路对低损耗 LDMOS 的要求, 提出了阶梯场氧化层折叠硅 SOFLDMOS 新结构, 新结构在折叠硅 LDMOS 基

础上, 通过电场调制效应将阶梯型场氧化层覆盖在折叠的LDMOS表面, 利用场氧化层阶梯处新产生的电场峰使表面电场分布均匀, 提高了器件的击穿电压, 将折叠硅LDMOS的耐压范围拓展到60 V左右. 阶梯场氧化层折叠硅SOFLDMOS同时具有漂移区开态多数载流子积累, 关态时可使高掺杂浓度完全耗尽, 以及折叠表面有效导通通道倍增的效应, 漏极饱和电流比一般LDMOS提高了3.4倍. 当器件击穿电压为62 V时, 比导通电阻仅为 $0.74 \text{ m}\Omega\cdot\text{cm}^2$ , 远小于相同击穿电压条件下一般LDMOS受硅极限关系确定的 $2.0 \text{ m}\Omega\cdot\text{cm}^2$ , 所以, SOFLDMOS打破了硅的极限关系, 为低压PIC的功率器件设计提供了一种新的方法.

### 参考文献

- [1] Chen X B, Wang X, Johnny K O S 2000 *IEEE Trans. Electron Dev.* **47** 1280
- [2] Yoshiaki T, Katakura H, Takatoshi O, Masanobu I, Hitoshi S 2013 *Proceedings of the 25th International Power Semiconductor Devices and ICs Kanazawa*, May 26–30, 2013 p145
- [3] Mao K, Qiao M, Jiang L L, Jiang H P, Li Z H, Chen W Z, Li Z L, Zhang B 2013 *Proceedings of the 25th International Power Semiconductor Devices and ICs Kanazawa*, May 26–30, 2013 p397
- [4] Chen X B, Johnny K O S 2001 *IEEE Trans. Electron Dev.* **48** 344
- [5] Sameh G, Khalil N, Salama C A T 2003 *IEEE Trans. Electron Dev.* **50** 1385
- [6] Sameh G, Khalil N, Li Z H, Salama C A T 2004 *IEEE Trans. Electron Dev.* **51** 1185
- [7] Park Y, Salama C T 2005 *Proceedings of the 17th International Power Semiconductor Devices and ICs Santa Barbara, California*, May 26–30, 2005 p163
- [8] Zhang B, Chen L, Wu J, Li Z J 2005 *International Conference on Communications, Circuits and System Hong Kong*, 2005 p1399
- [9] Duan B X, Yang Y T, Zhang B 2009 *IEEE Electron Dev. Lett.* **30** 305
- [10] Duan B X, Yang Y T 2011 *Micro & Nano Lett.* **6** 881
- [11] Nakagawa A, Kawaguchi Y 2000 *Proceedings of the 25th International Power Semiconductor Devices and ICs Toulouse, France*, May 22–25, 2000 p47
- [12] Yung C L, Gan K P, Ganesh S S 2001 *IEEE Electron Dev. Lett.* **22** 407
- [13] Duan B X, Yang Y T 2011 *IETE Tech. Rev.* **28** 503
- [14] Duan B X, Yang Y T 2012 *IETE Tech. Rev.* **29** 36
- [15] Duan B X, Yang Y T 2012 *IETE Tech. Rev.* **29** 276
- [16] Duan B X, Zhang B, Li Z J 2005 *Solid-State Electron.* **49** 1965
- [17] Duan B X, Zhang B, Li Z J 2006 *IEEE Electron Dev. Lett.* **27** 377
- [18] Duan B X, Zhang B, Li Z J 2007 *Chin. Phys. Lett.* **24** 1342
- [19] Duan B X, Yang Y T, Zhang B, Hong X F 2009 *IEEE Electron Dev. Lett.* **30** 1329
- [20] Duan B X, Yang Y T 2011 *IEEE Trans. Electron Dev.* **58** 2057
- [21] Duan B X, Yang Y T, Zhang B, Li Z J 2008 *J. Semicond.* **29** 677
- [22] Duan B X, Yang Y T, Zhang B 2010 *Solid-State Electron.* **54** 685
- [23] Duan B X, Yang Y T 2012 *Chin. Phys. B* **21** 057201
- [24] Duan B X, Yang Y T, Chen J 2012 *Acta Phys. Sin.* **61** 227302 (in Chinese) [段宝兴, 杨银堂, 陈敬 2012 物理学报 **61** 227302]
- [25] Duan B X, Yang Y T 2014 *Acta Phys. Sin.* **63** 057302 (in Chinese) [段宝兴, 杨银堂 2014 物理学报 **63** 057302]
- [26] ISE TCAD Manuals, release 10.0, Synopsys
- [27] Appels J A, Collet M G, Hart P A H, Vaes H M J, Verhoeven J F C M 1980 *Philips J. Res.* **35** 1
- [28] Duan B X, Yang Y T 2012 *Science China Inform. Sci.* **55** 473
- [29] Michael A, Vladimir R 1985 *International Electron Devices Meeting Washington, DC*, December 1–4, 1985 p736
- [30] Park I Y, Choi Y K, Ko K Y, Yoon C J, Kim Y S, Kim M Y, Kim H T, Lim H C, Kim N J, Yoo K D 2009 *Proceedings of the 21th International Power Semiconductor Devices and ICs Barcelona, Spain*, June 15–17, 2009 p192
- [31] Chen Y, Buddharaju K D, Liang Y C, Samudra G S, Feng H H 2007 *19th International Power Semiconductor Devices and ICs Jeju, Korea*, May 27–30 p177

# New folding lateral double-diffused metal-oxide-semiconductor field effect transistor with the step oxide layer\*

Duan Bao-Xing<sup>†</sup> Li Chun-Lai Ma Jian-Chong Yuan Song Yang Yin-Tang

(Key Laboratory of the Ministry of Education for Wide Band-Gap Semiconductor Materials and Devices, School of Microelectronics, Xidian University, Xi'an 710071, China)

( Received 20 August 2014; revised manuscript received 20 October 2014 )

## Abstract

In order to design the power devices with the low loss required for the power integrated circuits (PIC), a new folded silicon LDMOS with the folding step oxide layer (SOFLDMOS) is proposed in this paper for the first time. In this structure, the step oxide layer is covered on the folded silicon surface with a periodic distribution. The surface electric field is optimized to be uniform by introducing a new electric field peak due to the electric field modulation effect by the step oxide layer. The breakdown voltage is improved to solve the breakdown voltage limitation problem in FALDMOS. Obtained in virtue of the ISE simulation are the results that the silicon limit is broken by applying the effects of the electric field modulation, accumulation of majority carriers, and conductive silicon region multiplier in the proposed SOFLDMOS. The saturation current of the drain electron is increased by about 3.4 times compared with that of the conventional LDMOS. When the breakdown voltage is 62 V, an ultra-low specific on-resistance of  $0.74 \text{ m}\Omega\cdot\text{cm}^2$  is obtained, which is far less than  $2.0 \text{ m}\Omega\cdot\text{cm}^2$  in the conventional LDMOS with the same breakdown voltage. The low loss requirements is achieved for the PIC with the low voltage region by the proposed SOFLDMOS.

**Keywords:** folding silicon, lateral double-diffused metal oxide semiconductor field effect transistor, breakdown voltage, specific on resistance

**PACS:** 73.40.Kp, 73.40.Vz, 73.61.Ey

**DOI:** [10.7498/aps.64.067304](https://doi.org/10.7498/aps.64.067304)

---

\* Project supported by the National Basic Research Program of China (Grant Nos. 2014CB339900, 2015CB351906), and the Key Program of National Natural Science Foundation of China (Grant Nos. 61234006, 61334002).

<sup>†</sup> Corresponding author. E-mail: [bxduan@163.com](mailto:bxduan@163.com)