

工艺偏差下PMOS器件的负偏置温度不稳定效应分布特性

汤华莲 许蓓蕾 庄奕琪 张丽 李聪

Distribution characteristic of p-channel metal-oxide-semiconductor negative bias temperature instability effect under process variations

Tang Hua-Lian Xu Bei-Lei Zhuang Yi-Qi Zhang Li Li Cong

引用信息 Citation: *Acta Physica Sinica*, 65, 168502 (2016) DOI: 10.7498/aps.65.168502

在线阅读 View online: <http://dx.doi.org/10.7498/aps.65.168502>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn/CN/Y2016/V65/I16>

---

您可能感兴趣的其他文章

Articles you may be interested in

绝缘栅双极型晶体管感性负载关断下电压变化率的建模与仿真研究

Modeling and simulation of the insulated gate bipolar transistor turn-off voltage slope under inductive load

物理学报.2016, 65(15): 158501 <http://dx.doi.org/10.7498/aps.65.158501>

纳米静态随机存储器低能质子单粒子翻转敏感性研究

Single event upsets sensitivity of low energy proton in nanometer static random access memory

物理学报.2016, 65(6): 068501 <http://dx.doi.org/10.7498/aps.65.068501>

(100)Si基应变p型金属氧化物半导体[110]晶向电导率有效质量双椭球模型

Double ellipsoid model for conductivity effective mass along [110] orientation in (100) Si-based strained p-channel metal-oxide-semiconductor

物理学报.2016, 65(1): 018501 <http://dx.doi.org/10.7498/aps.65.018501>

氮化硅膜致小尺寸金属氧化物半导体晶体管沟道单轴应变物理机理

Physical mechanism of uniaxial strain in nano-scale metal oxide semiconductor transistor caused by sin film

物理学报.2015, 64(23): 238502 <http://dx.doi.org/10.7498/aps.64.238502>

Si/Ge/Si异质横向SPiN二极管固态等离子体解析模型

Analytic models for solid state plasma of Si/Ge/Si heterogeneous and lateral SPiN diode

物理学报.2015, 64(23): 238501 <http://dx.doi.org/10.7498/aps.64.238501>

# 工艺偏差下PMOS器件的负偏置温度不稳定效应分布特性\*

汤华莲<sup>†</sup> 许蓓蕾 庄奕琪 张丽 李聪

(西安电子科技大学微电子学院, 宽带隙半导体国家重点实验室, 西安 710071)

(2016年3月18日收到; 2016年5月18日收到修改稿)

当器件特征尺寸进入纳米级, 负偏置温度不稳定性(NBTI)效应和工艺偏差都会导致p型金属氧化层半导体(PMOS)器件性能和可靠性的下降. 基于反应-扩散(R-D)模型, 本文分析了工艺偏差对NBTI效应的影响; 在此基础上将氧化层厚度误差和初始阈值电压误差引入到R-D模型中, 提出了在工艺偏差下PMOS器件的NBTI效应统计模型. 基于65 nm工艺, 首先蒙特卡罗仿真表明在工艺偏差和NBTI效应共同作用下, PMOS器件阈值电压虽然会随着应力时间增大而沿着负方向增加, 但是阈值电压的匹配性却随着时间推移而变好; 其次验证本文提出的统计模型准确性, 以R-D模型为参考, 在 $10^4$  s应力时间内, PMOS器件阈值电压退化量平均值和均方差的最大相对误差分别为0.058%和0.91%; 最后将此模型应用到电流舵型数模转换器中, 仿真结果显示在工艺偏差和NBTI效应共同作用下, 数模转换器的增益误差会随着应力时间的推移而增大, 而线性误差会逐渐减小.

**关键词:** p型金属氧化层半导体, 负偏置温度不稳定性, 工艺偏差, 阈值电压

**PACS:** 85.30.De, 85.40.-e

**DOI:** 10.7498/aps.65.168502

## 1 引言

随着集成电路技术快速发展, 半导体加工工艺已从微米时代发展到了纳米时代. 器件特征尺寸和氧化层厚度的不断缩小, 一些在微米时代可以忽略的失效模式对器件和电路的影响越来越显著, 其中p型金属氧化层半导体(PMOS)器件的负偏置温度不稳定性NBTI (negative bias temperature instability) 效应已经成为影响集成电路可靠性的关键问题<sup>[1]</sup>. 以往对NBTI效应的研究集中在NBTI失效机理方面, 建立经典的反应-扩散(R-D)模型<sup>[2]</sup>和电荷俘获脱离模型<sup>[3]</sup>; 考虑到实际应用中大多数PMOS器件工作在交流偏置下, 进一步研究NBTI

恢复效应, 建立NBTI动态模型<sup>[4-6]</sup>.

当器件特征尺寸降低到纳米级以下, 对工艺制造的精确控制要求很高. 此时由于工艺误差会导致器件尺寸和电学参数的变化, 如器件的有效沟道长度、氧化层厚度及阈值电压等, 这同样会影响到器件的性能. 在以往的研究中通常将工艺偏差和NBTI效应作为两个无关项单独分析, 分别研究它们对集成电路可靠性及性能的影响<sup>[7-9]</sup>, 然而集成电路可靠性是多种因素综合影响的结果, 工艺偏差和NBTI效应也会相互影响. 因此本文拟在NBTI效应分析中引入氧化层厚度误差和阈值电压误差等工艺误差因素, 研究器件在工艺偏差下NBTI效应导致的非一致性失配问题, 并建立相关的理论模型.

\* 国家自然科学基金(批准号: 61574109)、微光夜视技术重点实验室基金项目(批准号: 9140C380502150C38001)和中央高校基本科研业务费(批准号: JB141109)资助的课题.

<sup>†</sup> 通信作者. E-mail: [lily\\_thl@126.com](mailto:lily_thl@126.com)

## 2 工艺偏差下的NBTI分布模型

根据R-D模型, PMOS器件在直流应力下由NBTI效应导致的阈值电压随时间的退化量 $\Delta V_{th}$ 为<sup>[10]</sup>

$$\Delta V_{th}(t) = (K_v^2 t)^n, \quad (1)$$

其中 $t$ 是应力时间, 参数 $n$ 是衰减因子, 参数 $K_v$ 等于为

$$K_v = \left( \frac{qt_{ox}}{\varepsilon_{ox}} \right) K_1^2 C_{ox} (V_{gs} - V_{th}) \sqrt{C} \times \exp\left(\frac{2E_{ox}}{E_0}\right), \quad (2)$$

式中 $q$ 是电子电荷,  $\varepsilon_{ox}$ 是氧化层介电常数,  $t_{ox}$ 是氧化层厚度,  $C_{ox}$ 是单位面积的栅氧化层电容,  $V_{th}$ 和 $V_{gs}$ 分别是PMOS器件的阈值电压和栅-源电压,  $E_{ox}$ 为栅氧化层电场强度,  $K_1$ 与 $E_0$ 是和工艺相关的拟合参数. 参数 $C = \exp(-E_a/(kT))/T_0$ , 其中 $E_a$ 为激活能,  $T$ 为温度,  $k$ 是玻尔兹曼常数,  $T_0$ 为拟合参数. 从(2)式可看出在固定温度下,  $\Delta V_{th}$ 的变化不仅与栅-源电压 $V_{gs}$ 相关, 还和工艺参数如初始阈值电压 $V_{th}$ , 栅氧厚度 $t_{ox}$ 有关联.

当器件特征尺寸进入90 nm以下, 通过对纳米尺度下的工艺偏差研究发现: 工艺偏差导致的阈值电压误差 $\Delta V_{th,mis}$ 、氧化层厚度误差 $\Delta t_{ox,mis}$ 均呈现一种均值为零的正态分布随机性, 如(3)式所示<sup>[11]</sup>.

$$\begin{aligned} \Delta V_{th,mis} &\sim N(0, \sigma_{v_{th}}) \\ \Delta t_{ox,mis} &\sim N(0, \sigma_{t_{ox}}), \end{aligned} \quad (3)$$

其中参数 $\sigma_{v_{th}}$ 和 $\sigma_{t_{ox}}$ 分别是阈值电压误差和氧化层厚度误差的均方差. 结合(1)式—(3)式可知: 若考虑到工艺偏差, 具有相同偏压的PMOS器件由于NBTI效应导致阈值电压随时间的退化量 $\Delta V_{th}$ 互不相同, 具有一定的随机特性.

利用栅氧化层电场强度 $E_{ox} = (V_{gs} - V_{th})/t_{ox}$ 和栅氧化层电容 $C_{ox} = \varepsilon_{ox}/t_{ox}$ , 对(2)式重新整理得到

$$K_v = A t_{ox}^3 E_{ox} \exp\left(\frac{2E_{ox}}{E_0}\right), \quad (4)$$

其中系数 $A = q^3 K_1^2 \sqrt{C} / \varepsilon_{ox}^2$ . 由于器件阈值电压和氧化层厚度的偏差会导致栅氧化层电场产生误差 $\Delta E_{ox,mis}$ . 将工艺参数偏差量 $\Delta E_{ox,mis}$ 和 $\Delta t_{ox,mis}$ 代入(4)式, 得到

$$\begin{aligned} K_v &= A (t_{ox,nom} + \Delta t_{ox,mis})^3 (E_{ox,nom} + \Delta E_{ox,mis}) \\ &\times \exp\left(\frac{2E_{ox,nom}}{E_0}\right) \exp\left(\frac{2\Delta E_{ox,mis}}{E_0}\right) \\ &= K_{v,nom} \left(1 + \frac{\Delta t_{ox,mis}}{t_{ox,nom}}\right)^3 \left(1 + \frac{\Delta E_{ox,mis}}{E_{ox,nom}}\right) \\ &\times \exp\left(\frac{2\Delta E_{ox,mis}}{E_0}\right), \end{aligned} \quad (5)$$

其中 $t_{ox,nom}$ ,  $E_{ox,nom}$ 和 $K_{v,nom}$ 分别是不考虑工艺偏差的氧化层厚度、栅氧化层电场和参数 $K_v$ 的标准值. 由于 $\Delta t_{ox,mis} \ll t_{ox,nom}$ ,  $\Delta E_{ox,mis} \ll E_0$ , 则(5)式可化简成

$$\begin{aligned} K_{v,nom} &\approx K_{v,nom} \left(1 + \frac{3\Delta t_{ox,mis}}{t_{ox,nom}}\right) \\ &\times \left(1 + \frac{\Delta E_{ox,mis}}{E_{ox,nom}}\right) \\ &\times \left(1 + \frac{2\Delta E_{ox,mis}}{E_0}\right), \end{aligned} \quad (6)$$

令 $\alpha_1 = 3/t_{ox,nom}$ ,  $\alpha_2 = 1/E_{ox,nom}$ ,  $\alpha_3 = 2/E_0$ , 得到工艺偏差下的PMOS器件NBTI效应分布模型为

$$\begin{aligned} \Delta V_{th}(t) &= [K_{v,nom}^2 (1 + \alpha_1 \Delta t_{ox,mis})^2 \\ &\times (1 + \alpha_2 \Delta E_{ox,mis})^2 \\ &\times (1 + \alpha_3 \Delta E_{ox,mis})^2 t]^n. \end{aligned} \quad (7)$$

由于(7)式中的 $\Delta t_{ox,mis}$ 项、 $\Delta E_{ox,mis}$ 均远小于1, 将(7)式进一步化简为

$$\begin{aligned} \Delta V_{th}(t) &\approx \Delta V_{th,nom}(t) [1 + 2n(\alpha_1 \Delta t_{ox,mis} \\ &+ \alpha_2 \Delta E_{ox,mis} + \alpha_3 \Delta E_{ox,mis})], \end{aligned} \quad (8)$$

其中 $\Delta V_{th,nom}$ 是不考虑工艺偏差下阈值电压随时间的退化量. 当工艺尺寸较大时, 氧化层厚度误差和栅氧化层电场误差较小, 工艺偏差对NBTI效应的影响不显著; 当工艺尺寸进入到纳米级, 氧化层厚度误差或栅氧化层电场误差变大, 此时在工艺偏差影响下NBTI效应导致的阈值电压漂移会产生明显的非一致性. 基于(8)式得到 $\Delta V_{th}$ 随时间的正态分布情况为

$$\Delta V_{th}(t) \sim N\{\Delta V_{th,nom}(t), 2n\Delta V_{th,nom}(t)\sigma_{mis}\}, \quad (9)$$

其在 $t$ 时刻的均值是 $\Delta V_{th,nom}(t)$ , 均方差为 $2n\Delta V_{th,nom}(t)\sigma_{mis}$ . 其中 $\sigma_{mis}$ 是上述所有误差因素产生的均方差. 根据工艺厂商提供的 $\Delta V_{th,mis}$ 和 $\Delta t_{ox,mis}$ 的统计分布情况就可计算得到 $\sigma_{mis}$ 因子.

受氧化层厚度和栅氧化层电场强度失配的影响, 阈值电压漂移量  $\Delta V_{th}$  不尽相同, 但由于工艺误差都遵循均值为0的正态分布, 导致  $\Delta V_{th}$  也近似为一种正态分布, 在任意时刻的均值等于无工艺误差器件的阈值电压退化量  $\Delta V_{th,nom}$ . 同时, 从(9)式中的均方差表达式可知  $\Delta V_{th}$  在任意时刻  $t$  的分布情况受NBTI 衰减因子  $n$  及工艺误差  $\sigma_{mis}$  共同作用. 结合(1)式和(5)分析, 当器件之间的工艺失配  $\sigma_{mis}$  增大, 在相同应力时间下器件之间的阈值电压漂移量  $\Delta V_{th}$  差异加大; 在固定工艺失配条件下, 由于器件在NBTI效应下的阈值电压漂移量随时间呈指数增长, 导致不同器件的  $\Delta V_{th}$  差异也会随着时间推移而放大, 其增长速度受衰减因子  $n$  控制; 当  $n$  增大, 经历相同应力时间的阈值电压漂移量  $\Delta V_{th}$  之间的差异就会加剧, 导致  $\Delta V_{th}$  分布特性变差.

### 3 仿真与分析

利用 CMOS 65 nm 工艺库中的 PMOS 器件进行 NBTI 效应仿真, 仿真所用 R-D 模型中相关参数来源于文献[12]. 设器件尺寸  $W = 130$  nm,  $L = 65$  nm, 偏压  $V_{gs} = -1.2$  V, 标准氧化层厚度  $t_{ox,nom} = 2.6$  nm, 阈值电压  $V_{th,nom} = -0.3698$  V. 对此类型器件进行器件个数  $N = 100$  的蒙特卡罗仿真, 得到氧化层厚度和阈值电压的分布情况如图1所示. 从图1中可以看出工艺偏差使每个器件的氧化层厚度和阈值电压不尽相同, 近似呈现正态分布趋势.

首先利用 R-D 模型, 从上述 100 个器件选取 3 个器件分别计算在  $10^4$  s 应力时间作用后的阈值电压退化量  $\Delta V_{th}$ , 如表1所示. 其中器件2没有工艺误差, 器件1具有最大正向工艺误差, 器件3具有最大负向工艺误差. 根据器件物理知识可知氧化层厚度越薄, 阈值电压就越低, 导致栅氧化层电场强度  $E_{ox}$  越高; 电场强度增大会促使更多的  $H^+$  向 Si-SiO<sub>2</sub> 界面传输, 从而产生更多的界面陷阱, 导致 NBTI 退化效应增大[13], 反之亦然. 因此经过相同应力时间, 器件3的阈值电压退化量大于器件1和2, 即在工艺偏差存在的情况下, 相同 PMOS 器件阈值电压在 NBTI 作用下的  $\Delta V_{th}$  存在失配.

将图1中 100 个器件工艺参数分别代入 R-D 模型, 得到这 100 个器件各自的阈值电压随时间的退化量  $\Delta V_{th}$ , 并计算它们的平均值和均方差随时间

的变化趋势, 见图2. 从图2可以看到随着时间的推移,  $\Delta V_{th}$  均值和均方差都随着时间的推移而增大. 均值增大是因为所有器件在 NBTI 效应作用下的  $\Delta V_{th}$  和时间存在指数增长关系; 同时根据(9)式可知各个器件之间的工艺偏差导致  $\Delta V_{th}$  的失配也会随着应力时间的推移而线性放大, 使这 100 个器件的  $\Delta V_{th}$  分布特性越来越差.

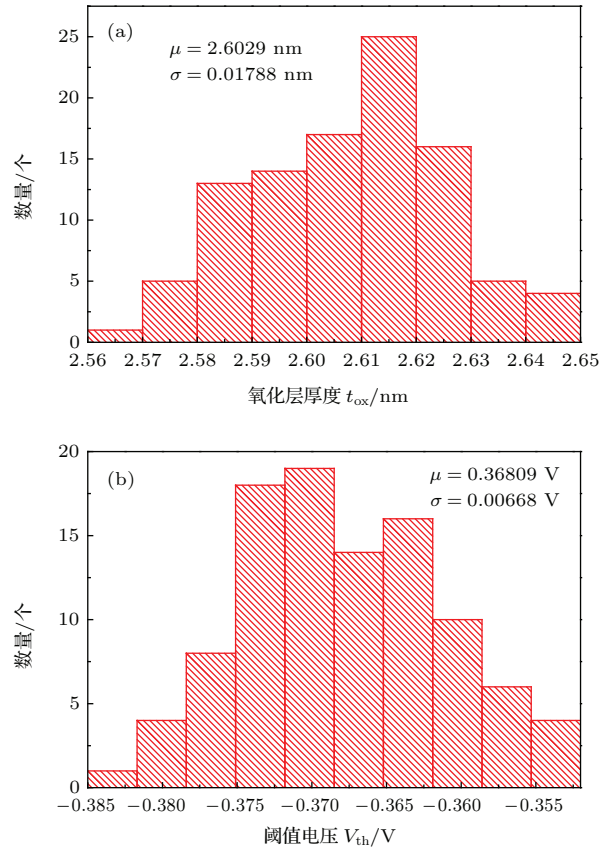


图1 100个PMOS器件的(a)氧化层厚度分布; (b) 阈值电压分布

Fig. 1. For one hundred PMOS devices (a) distribution of oxide thickness; (b) distribution of threshold voltage.

表1 不同工艺参数下的阈值电压变化

Table 1. Shifts of threshold voltage under different process parameters.

	器件1	器件2	器件3
氧化层厚度 $t_{ox}/nm$	2.64	2.60	2.57
氧化层厚度偏差 $\Delta t_{ox-mis}/nm$	0.04	0	-0.03
阈值电压初始值 $ V_{th} /mV$	381.5	369.8	355.1
阈值电压偏差 $\Delta V_{th-mis}/mV$	11.7	0	-14.3
阈值电压漂移量 $\Delta V_{th}/mV$	0.64	0.7	0.75

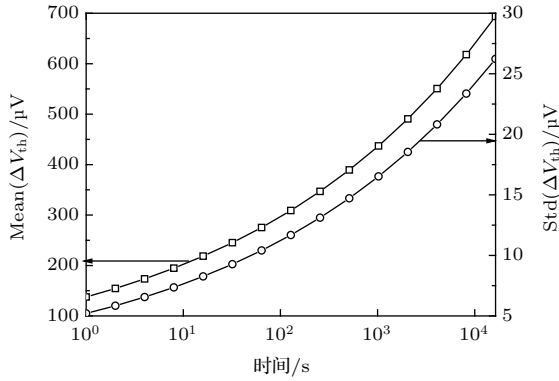


图2 100个PMOS器件 $\Delta V_{th}$ 均值和均方差随时间的变化

Fig. 2. The plot of mean ( $\Delta V_{th}$ ) and standard deviation ( $\Delta V_{th}$ ) for one hundred of PMOS devices.

下面分析在工艺偏差和NBTI效应共同作用下PMOS器件的阈值电压 $V_{th}$ 随时间的统计分布情况. 将上述得到的100个器件 $\Delta V_{th}$ 分别与各自阈值电压初始值 $V_{th0}$ 相加; 再计算得到 $V_{th}$ 平均值和均方差随时间的变化趋势, 见图3. 首先受NBTI效应影响, 每个器件的阈值电压都会随着时间的推移而沿着负方向增大, 因此它们的平均值也会随着时间的推移而增大. 其次从图3观察到阈值电压的均方差随着时间的推移而变小, 表示阈值电压的匹配性变好. 在初始时刻, 若某个器件的 $V_{th}$ 初始值偏大, 则对应的栅氧化层电场强度 $E_{ox}$ 偏小, NBTI效应减弱, 经过应力时间 $t$ 后的 $\Delta V_{th}$ 值偏小; 相反, 若 $V_{th}$ 偏小, NBTI效应增强, 则 $\Delta V_{th}$ 值偏大. 因此经过一段应力时间后这100个器件的阈值电压相对误差越来越小, 即在工艺偏差和NBTI效应共同作用下, 阈值电压虽然会随着时间的推移沿着负方向增加, 但是器件之间的阈值电压匹配性却往好的方向发展.

下面验证本文提出的NBTI分布模型((9)式)有效性. 首先利用工艺厂商提供的 $\Delta V_{th,mis}$ 和 $\Delta t_{ox,mis}$ 的数值计算100个器件的 $\Delta E_{ox,mis}$ 值; 再计算得到 $\sigma_{mis}$ 因子, 在本工艺中 $\sigma_{mis} = 0.0128$ ; 将

$\sigma_{mis}$ 代入(9)式得到阈值电压变化量 $\Delta V_{th}$ 随时间的统计值. 表2分别列举了在1 s和 $10^4$  s的统计模型计算值与R-D模型得出的 $\Delta V_{th}$ 均值和均方差, 可看出最大相对误差分别为0.058%和0.91%, 因此本文提出的NBTI统计模型可以很好地评估在工艺偏差和NBTI效应共同作用下的阈值电压随时间变化的统计分布情况.

为了实现NBTI效应的电路仿真与可靠性分析, 将PMOS器件阈值电压随时间的退化量转移到其栅极电压上, 如图4所示. 在原栅极电压和PMOS的栅极之间插入一个与时间相关的所谓压控电压源VCVS<sup>[12]</sup>, 此压控电压源是用Verilog-ASM语言实现的工艺偏差下NBTI模型((8)式).

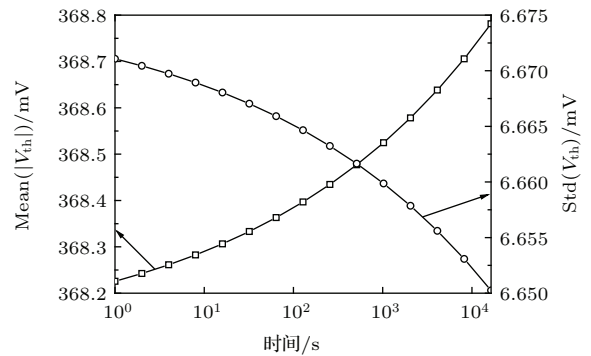


图3 100个PMOS器件 $V_{th}$ 均值和均方差随时间的变化  
Fig. 3. The plot of mean ( $V_{th}$ ) and standard deviation ( $V_{th}$ ) for one hundred of PMOS devices.

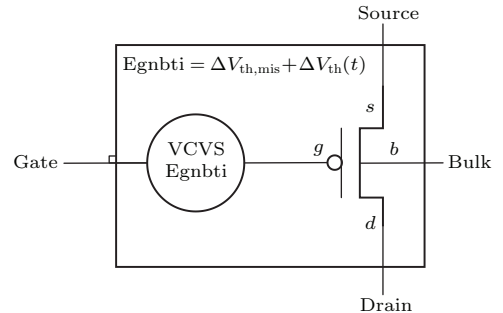


图4 用于NBTI效应仿真的PMOS子电路  
Fig. 4. Subcircuit model for the PMOS NBTI effect.

表2 本文提出的模型与R-D模型计算 $\Delta V_{th}$ 相关统计数值对比  
Table 2. The different statistical values about  $\Delta V_{th}$  between R-D model and the proposed model.

时间/s	R-D 模型		统计模型		相对误差	
	Mean( $\Delta V_{th}$ )/ $\mu V$	Std( $\Delta V_{th}$ )/ $\mu V$	Mean( $\Delta V_{th}$ )/ $\mu V$	Std( $\Delta V_{th}$ )/ $\mu V$	Mean( $\Delta V_{th}$ )/%	Std( $\Delta V_{th}$ )/%
1	137.7	5.203	137.6	5.163	0.072	0.77
$10^4$	693.7	26.26	693.3	26.02	0.058	0.91

在电流舵型数模转换器(DAC)中利用PMOS电流源阵列实现数字到模拟的转换,如图5所示. PMOS电流源输出电流误差和电流源之间的失配会影响电流舵型DAC的增益和线性度. DAC增益误差定义为最大输出值与最小输出值的实际差值与理想值之间的差异,如下式所示:

$$\text{gain error} = 100 \times \left[ \frac{I_{\max} - I_{\text{LSB}}}{I_{\text{nom,max}} - I_{\text{nom,LSB}}} - 1 \right], \quad (10)$$

其中最大电流输出值  $I_{\max}$  是数字输入信号为  $2^N - 1$  时的输出,  $I_{\text{LSB}}$  是单位电流源输出,  $I_{\text{nom,max}}$  和  $I_{\text{nom,LSB}}$  分别是理想情况下的DAC最大电流输出值和单位电流源输出. 在图5中  $I_{\max} = (2^N - 1) I_{\text{LSB}}$ ,  $N$  是DAC的位数. 考虑到工艺偏差和NBTI效应,  $I_{\text{LSB}} = I_{\text{nom,LSB}} + \Delta I_{\text{mis-error,LSB}} + \Delta I_{\text{LSB}}(t)$ , 其中  $\Delta I_{\text{mis-error,LSB}}$  是  $t = 0$  时刻由于工艺偏差导致的电流误差,  $\Delta I_{\text{LSB}}$  是在工艺偏差下NBTI效应产生的误差. 因此考虑到NBTI效应,增益误差随时间的变化趋势为

$$\text{gain error}(t) = 100 \times \left( \frac{\Delta I_{\text{mis-error,LSB}} + \Delta I_{\text{LSB}}(t)}{I_{\text{nom,LSB}}} \right). \quad (11)$$

文献[14]给出了单位电流源的相对均方差  $\sigma I_{\text{LSB}}/I_{\text{nom,LSB}}$  与积分非线性误差的良率 yield 之间的统计关系如下:

$$\frac{\sigma I_{\text{LSB}}}{I_{\text{nom,LSB}}} = \frac{1}{2C\sqrt{2^N}}, \quad (12)$$

$$C = \text{inv\_norm} \left( 0.5 + \frac{\text{yield}}{2} \right), \quad (13)$$

其中  $\text{inv\_norm}$  为反正态分布函数.

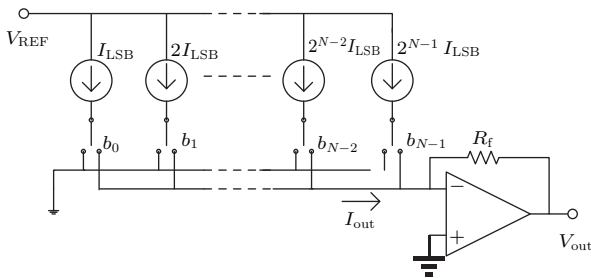


图5 电流舵型DAC结构框图

Fig. 5. Schematic for the Current Steering DAC.

利用图4的子电路在Cadence环境中仿真饱和区PMOS单位电流源的输出电流相对误差随时间的统计分布情况,如图6所示. 在  $t = 0$  时

刻,受工艺偏差影响,DAC单位电流相对误差  $\Delta I_{\text{LSB}}/I_{\text{nom,LSB}}$  具有一定的分布特性,其均值为0.38%,均方差是1.6%.随着应力时间的增加,PMOS器件在NBTI效应作用下,其阈值电压均值不断增大,导致单位电流源输出电流减小,其相对误差均值向负方向递增;根据(11)式可知这会导致DAC增益误差也具有向负方向不断增大的趋势.其次,在图6中  $\Delta I_{\text{LSB}}/I_{\text{nom,LSB}}$  的均方差随着应力时间的推移而减小,这是因为PMOS器件阈值电压的均方差随着应力时间的推移而减小.根据(12)式和(13)式可知,单位电流源输出电流误差的均方差越小,非线性误差的良率 yield 就越大,这代表DAC线性误差变小,其线性度更好.因此在电流舵型DAC这种对器件匹配性要求较高的模拟电路中,工艺偏差下的NBTI效应会导致电路的增益误差随工作时间的推移向负方向增大;而电路的匹配性随着时间的推移而呈现好的趋势.

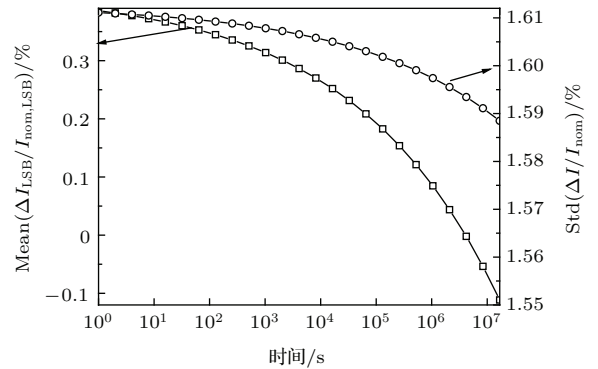


图6 PMOS电流源输出电流均值和均方差随时间的变化  
Fig. 6. The plot of mean ( $I_{\text{out}}$ ) and standard deviation ( $I_{\text{out}}$ ) for PMOS current sources.

## 4 结 论

本文重点分析了纳米尺度下不可避免的工艺偏差对PMOS器件NBTI效应的影响.在R-D模型中加入器件氧化层厚度误差和阈值电压误差,提出了NBTI分布模型.基于65 nm工艺,仿真表明在工艺偏差和NBTI效应共同作用下,随着应力时间的推移,虽然PMOS器件阈值电压退化量分布特性会变差,但是阈值电压本身的匹配性却往好的方向发展.将本文提出的NBTI统计模型代入电流舵型DAC的电流源阵列中,结果表明在对匹配性要求高的模拟电路中,工艺偏差下的NBTI效应主要会导致电路的增益误差向负方向增大,而非线性误差逐渐减小.

参考文献

- [1] Tibor G, Karina R, Hans R 2014 *IEEE Trans. Electron Devices* **61** 3586
- [2] Blat C E, Nicollian E H 1991 *J. Appl. Phys.* **69** 1712
- [3] Shigeo O, Masakazu S 1995 *J. Appl. Phys.* **77** 1137
- [4] Li Z H, Liu H X, Hao Y 2006 *Acta Phys. Sin.* **55** 820 (in Chinese) [李忠贺, 刘红霞, 郝跃 2006 物理学报 **55** 820]
- [5] Chen S M, Chen J J, Chi Y Q, Liu F Y, He Y B 2012 *Sci. China Ser. E* **55** 1101
- [6] Tsai Y S 2010 *IEEE International Reliability Physics Symposium* Anaheim, USA, May 2–6, 2010 p665
- [7] Cenk Y, Leonhard H, Christoph W, Doris S L 2013 *IEEE International Reliability Physics Symposium* Monterey, USA, April 14–18, 2013 p2A.4.1
- [8] Mahapatra S, Huard V, Kerber A, Reddy V, Kalpat S, Haggag A 2014 *IEEE International Reliability Physics Symposium* Waikoloa, USA, June 1–5, 2014 p3B.1
- [9] Tang H L, Zhuang Y Q, Xi W, Zhang L 2013 *J. Huazhong Univ. Sci. Tech.* (Natural Science Edition) **41** 22 (in Chinese) [汤华莲, 庄奕琪, 席望, 张丽 2013 华中科技大学学报 (自然科学版) **41** 22]
- [10] Bhardwaj S, Wang W, Vattikonda R, Cao Y, Vrudhula S 2006 *Proceedings of the IEEE 2006 Custom Integrated Circuits Conference* San Jose, USA, September 10–13, 2006 p189
- [11] Pelgrom, Marcel J M, Duinmaijer, Aad C J, Welbers, Anton P G 1989 *IEEE J. Solid State Circuits* **24** 1433
- [12] Wen P W, Vijay R, Anand T 2007 *IEEE Trans. Device Mater. Reliab.* **7** 509
- [13] Jeppson K, Svensson C 1977 *J. Appl. Phys.* **48** 2004
- [14] Van Den Bosch A, Borremans M A F, Steyaert M S J, Sansen W 2001 *IEEE J. Solid State Circuits* **36** 315

# Distribution characteristic of p-channel metal-oxide-semiconductor negative bias temperature instability effect under process variations\*

Tang Hua-Lian<sup>†</sup> Xu Bei-Lei Zhuang Yi-Qi Zhang Li Li Cong

(Key Laboratory of Wide Band-Gap Semiconductor, School of Microelectronics, Xidian University, Xi'an 710071, China)

( Received 18 March 2016; revised manuscript received 18 May 2016 )

## Abstract

Negative bias temperature instability (NBTI) is a p-channel metal-oxide-semiconductor (PMOS) degradation mechanism, which becomes one of the important reliability concerns. The NBTI drastically influences device performance and circuit lifetime. On the other hand, the circuit performance is also affected by the fabrication-induced process variation when the transistor size shrinks to a nanometer-scale. In the presence of the fabrication-induced random variations, the NBTI aging process and its influence on PMOS device become a random process. In this paper, the joint effects of NBTI and process variations on PMOS device are investigated. Firstly, the influence of process variation on NBTI aging is analyzed based on the reaction-diffusion (R-D) mechanism. The NBTI-induced PMOS threshold voltage degradation depends not only on stress time but also on fabrication-determined process parameters, such as the initial threshold voltage and oxide thickness. Then the statistical model is proposed to model NBTI-induced aging under process variation, which captures the threshold voltage variation and oxide thickness variation as random vectors with normal distributions. For 100-times Monte-Carlo simulation based on 65 nm technology, the threshold voltage error and oxide thickness error of the PMOS device are obtained. Applying these process errors to the statistical model, the results show that mean value of threshold voltages is increased along the negative direction with the stress time going on under the process variation and NBTI effect interaction. Meanwhile the standard deviation of threshold voltage is reduced, which represents that the matching between those PMOS devices becomes better. The proposed statistical model accuracy is verified by R-D model theoretical solutions. The maximum relative error of the mean value and of the standard deviations for the threshold voltages degradation of the PMOS device are only 0.058% and 0.91% respectively in  $10^4$  s. The distribution characteristic of PMOS NBTI effect is more serious to analog circuit, because analog circuit is more sensitive to device mismatch. For current steering digital-to-analog converter (DAC), PMOS device is always adopted as current source due to its good isolating properties. The PMOS current source requires good matching, and mismatch error could cause circuit failure. To realize aging simulation on DAC circuit in Spectre environment, the above statistical NBTI model is realized by Verilog-ASM language as the subcircuit module to PMOS device. Finally, this module is applied to the current steering DAC. Considering the NBTI effect under process variations, the simulation results show that the DAC gain error is increased with the stress time going on, while its linearity error is gradually reduced.

**Keywords:** p-channel metal-oxide-semiconductor, negative bias temperature instability, process variations, threshold voltage

**PACS:** 85.30.De, 85.40.-e

**DOI:** 10.7498/aps.65.168502

\* Project supported by the National Natural Science Foundation of China (Grant No. 61574109), the Science and Technology on Low-Light-Level Night Vision Laboratory, China (Grant No. 9140C380502150C38001), and the Fundamental Research Fund for the Central Universities, China (Grant No. JB141109).

<sup>†</sup> Corresponding author. E-mail: [lily\\_thl@126.com](mailto:lily_thl@126.com)