

基于金属氧化物薄膜晶体管的高速行集成驱动电路

张立荣 马雪雪 王春阜 李冠明 夏兴衡 罗东向 吴为敬 徐苗 王磊 彭俊彪

High speed gate driver circuit basd on metal oxide thin film transistors

Zhang Li-Rong Ma Xue-Xue Wang Chun-Fu Li Guan-Ming Xia Xing-Heng Luo Dong-Xiang Wu Wei-Jing Xu Miao Wang Lei Peng Jun-Biao

引用信息 Citation: [Acta Physica Sinica](#), 65, 028501 (2016) DOI: 10.7498/aps.65.028501

在线阅读 View online: <http://dx.doi.org/10.7498/aps.65.028501>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn/CN/Y2016/V65/I2>

您可能感兴趣的其他文章

Articles you may be interested in

高迁移率 Ge 沟道器件研究进展

[Research progress of high mobility germanium based metal oxide semiconductor devices](#)

物理学报.2015, 64(20): 208501 <http://dx.doi.org/10.7498/aps.64.208501>

非制冷红外探测器读出电路的非均匀性研究

[Non-uniformity study on readout circuit for uncooled IR detector](#)

物理学报.2015, 64(11): 118503 <http://dx.doi.org/10.7498/aps.64.118503>

基于液晶空间光调制器的全息显示

[Holographic display based on liquid crystal spatial light modulator](#)

物理学报.2015, 64(12): 124213 <http://dx.doi.org/10.7498/aps.64.124213>

一种液晶透镜盒间隙的测试方法

[A measurement method of cell gap for liquid crystal lens](#)

物理学报.2013, 62(17): 174210 <http://dx.doi.org/10.7498/aps.62.174210>

恒定温度应力加速实验失效机理一致性快速判别方法

[Rapid identification of the consistency of failure mechanism for constant temperature stress accelerated testing](#)

物理学报.2013, 62(6): 068502 <http://dx.doi.org/10.7498/aps.62.068502>

基于金属氧化物薄膜晶体管的高速行集成驱动电路*

张立荣¹⁾ 马雪雪²⁾ 王春阜¹⁾ 李冠明³⁾ 夏兴衡³⁾ 罗东向³⁾
吴为敬^{3)†} 徐苗³⁾ 王磊³⁾ 彭俊彪³⁾

1) (广州新视界光电科技有限公司, 广州 510730)

2) (华南理工大学电子与信息学院, 广州 510640)

3) (华南理工大学, 发光材料与器件国家重点实验室, 广州 510640)

(2015年7月20日收到; 2015年10月6日收到修改稿)

本文提出了一种基于非晶铟锌氧化物薄膜晶体管的高速行集成驱动电路, 该电路采用输入级复用的驱动结构, 一级输入级驱动三级输出级, 不仅减少电路输入级2/3晶体管的数量, 实现AMOLED或AMLCD显示屏的窄边框显示, 而且输入级的工作频率是输出级的1/3, 该结构适用于高速驱动电路. 电路内部产生了三次电容耦合效应, 每一次电容耦合效应都可以提高相应节点的电压, 保证了信号完整传输. 输出级采用了一个二极管接法的薄膜晶体管, 该薄膜晶体管连接了输出级的控制信号和上拉薄膜晶体管的栅极, 利用的每一级输出级输出时所产生的电容耦合效应, 增加上拉薄膜晶体管的栅极电压, 有效地提高电路输出能力和工作速度. 仿真表明电路能够输出脉宽达到4 μs 速度. 最后成功地制作了10级行集成驱动电路, 包括10级输入级电路和30级输出级电路, 负载为 $R = 10 \text{ k}\Omega$ 和 $C = 110 \text{ pF}$, 实验结果验证, 该电路满足 $4 \text{ k} \times 8 \text{ k}$ 显示屏在120 Hz刷新频率下的驱动需求.

关键词: In-Zn-O 薄膜晶体管, 高速行集成驱动电路, 输入级复用, 电容耦合效应

PACS: 85.40.-e, 42.79.Kr, 77.55.hf

DOI: 10.7498/aps.65.028501

1 引言

平板显示领域中, AMOLED^[1]和AMLCD^[2]显示器最引人注目, 大尺寸、高分辨率目前是国内外关注的平板显示领域的重点, 薄膜晶体管(thin film transistor, TFT)技术是实现大尺寸、高分辨率显示的关键^[3-6]. 大尺寸、高分辨率的显示屏中: 显示屏行选通时间非常短, 如4 k电视在60 Hz的刷新频率下的行选通时间为约8 μs , 8 k电视约为4 μs , 如此短的时间内需要列信号完整写进像素电路, 驱动电路的工作频率要达到240 kHz, 需要较高

速的驱动电路完成, 如专用的驱动IC, 高迁移率的TFT集成驱动电路. 信号的延迟在大尺寸、高分辨率显示中有重要影响, 要求延迟时间 $\tau = T_O + T_{RC}$ (包括驱动电路输出级延迟 T_O 、阵列的方块电阻 R_{\square} 和单位面积电容 C_{ox} 延迟 T_{RC})必须小于行选通时间和像素充电时间, 阵列的 RC 延迟属于工艺的范畴. 而驱动电路输出级延迟 T_O 与电路输出级尺寸 W/L 、器件的迁移率 μ 和输出级的栅极电压 V_{GS} 相关^[7].

随着TFT的技术发展, 由TFT组成行集成驱动电路技术, 代替传统IC作为显示屏的行扫描驱

* 国家重点基础研究发展计划(973计划)(批准号: 2015CB6500)、国家自然科学基金(批准号: 61204089)、广东省自然科学基金(批准号: S2012010008648, 2014A030310253)、广东省科技厅科技计划项目(批准号: 2013B090500015)、广州市珠江科技新星项目(批准号: 201506010015)、中国博士后科学基金(批准号: 2015M572313)和中央高校基本科研业务费(批准号: 2015ZM072, 2015ZM070)资助的课题.

† 通信作者. E-mail: wuwj@scut.edu.cn

动电路已经成为平板显示领域的主流技术 [8-11]. 电容耦合效应提高关键节点电平在行集成驱动电路中经常使用, 文献已报道过多种结构的行集成驱动电路 [12-14], 但这些电路在起始信号输入到存储电容后只采用了一次耦合效应, 当时钟信号电平由低变高时, 存储电容产生电容耦合效应, 使上拉 TFT 栅极电压进一步提高, 提高器件的输出能力, 使得输出全摆幅. 但是由于输入信号在储存电容充电的过程中会有电压损失, 节点达不到输入信号的电平, 因此会影响到输出级的驱动能力和速度. 当显示屏尺寸和分辨率不断增大, 电路工作速度不断提高的情况下, 存储电容的充电时间越短, 电压损失更严重. 本文设计出了一种输入级复用的行集成驱动电路, 该电路采用了一级输入级驱动三级输出级 [15], 有效地减少了器件数量, 电路输入级的工作频率是输出级的 1/3, 增加了存储电容的充电时间, 提高了信号的完整性. 利用三次电容耦合效应, 提高关键节点处 TFT 的导通能力, 确保信号传输都没有损失, 而且有效地提高了电路输出级栅极电平, 使得电路获得较强的驱动能力和工作速度. 该电路采用我们自主研发的非晶铟锌氧化物 TFT (indium-zinc oxide TFT, IZO-TFT) 器件组成行集成驱动电路, 在仿真和实验上, 该电路都满足驱动大尺寸, 高分辨率显示屏的需求.

2 器件结构和性能

本文介绍的行集成驱动电路采用了 In-Zn-O TFT, 该 TFT 的制作工艺如下 [16]: 首先在玻璃衬底上沉积一层 200 nm 厚的金属钼作为栅极金属; 然后, 在 310 °C 条件下采用等离子化学气相沉积方法, 沉积一层 200 nm 厚的 SiO₂ 层作为栅绝缘层; 有源层采用了 In : Zn 为 1 : 1 的靶材, 通过射频磁控溅射方法, 在 SiO₂ 层上沉积一层 30 nm 厚的半导体层作为有源层; 接着, 采用干法刻蚀的方法, 在有源层上图像化一层刻蚀阻挡层作为有源层的保护层; 源、漏电极通过直流溅射方法, 把源、漏金属沉积在刻蚀阻挡层上, 并采用湿法刻蚀进行图形化; 最后, 制作一层 SiO₂ 作为一层钝化层保护整个 TFT 器件.

图 1 为宽长比为 20 μm/10 μm 的器件的转移特性曲线, 从器件的特性曲线可以提取器件的参数: 阈值电压、开启电压、迁移率、开关比分别为 1.28 V, -0.95 V, 15 cm²/(V·s), 2.96 × 10⁹.

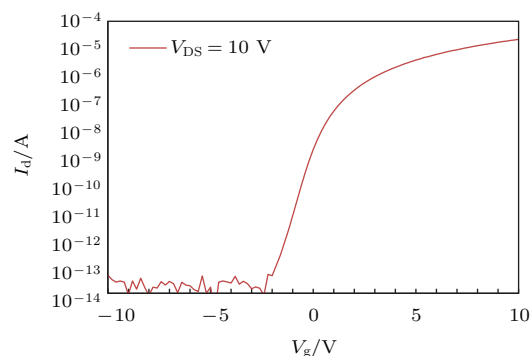


图 1 宽长比为 20 μm/10 μm TFT 的转移曲线
Fig. 1. Measured transfer curves of TFTs ($W/L = 20 \mu\text{m}/10 \mu\text{m}$).

3 电路设计和工作原理

图 2 为该行集成驱动电路的原理图、时序图和模块图. 该行集成驱动电路采用了一级输入级驱动三级电路结构. 电路包括了 23 个晶体管和 2 个耦合电容. 电路工作期间共产生了 3 次电容耦合效应, 分别提高了相应 TFT 的输出能力, 提高了电路速度. T6, T7, T9 和 C₁ 构成了输入级内部信号耦合模块, Q1 点电平通过电容耦合效应, 提高 T6, T7 的输出能力. T10, T11 和 C₂ 构成级联信号输出模块, Q2 点电平通过电容耦合效应提高 T10 的输出能力, 将级联输出信号输送给下一级电路. 三级输出级分别为 OUT1, OUT2, OUT3, 分别由四个 TFT 构成, 二极管接法的 TFT 将 Q2 点信号连接到 QO1, QO2, QO3, 每一级输出时, 利用上拉管 TFT 的寄生电容产生的耦合效应, 使得 QO1, QO2, QO3 耦合到更高的电平. 该电路包括了 CLK1, CLK2, CLK3, CLK4, CLK5, CLKA 等 6 个时钟信号, 其中 CLK1, CLK2, CLKA 的低电平为 V_{SSL}, CLK3, CLK4, CLK5 的低电平为 V_{SS}. 电路的工作原理可以分为六个状态说明.

1) 当起始信号 V_{IN} 变为高电平时, 同时 CLK1 变高, 打开 T1, T2, T3, T8, T19, T21 和 T23. T1 和 T2 的打开使得 V_{IN} 信号存储在电容 C₁ 一端 Q1 节点上, Q1 节点变高的同时打开了 T4, T5, T6, T7; 由于 T3, T4 和 T5 的导通, QB 点变高电平, 使得 T11, T13, T15 和 T17 等下拉管导通; T8 管的导通, 使得节点 Q2 电平为 V_{SSL}; 由于 T19, T21 和 T23 导通, QO1, QO2 和 QO3 电平变为 V_{SSL}, 输出级上拉管 T12, T14, T16 关断. 因此, 级联输出 COUT 和输出 OUT1, OUT2, OUT3 输出在此阶段输出低电平, 分别为 V_{SSL} 和 V_{SS}.

2) CLK1变为低电平, 关断T1, T2, T3, T8, T19, T21和T23, CLK2继续维持低电平, CLKA变高, 节点Q1的电压由于 C_1 电容的耦合效应, 变得更高, 使得T6和T7的栅极电压进一步提高, Q2节点通过T6和T7完全可以充电至高电平, 同时QO1, QO2, QO3分别通过二极管接法的T18, T21, T23管充电至高电平; T4和T5管的栅极电压进一步提高, 可快速地将QB点放电至低电平 V_{SS} , 使得下拉管T11, T13, T15和T17关断; 由于CLK2, CLK3, CLK4, CLK5为低电平, 因此, 级联输出COUT和输出OUT1, OUT2, OUT3在此阶段输出低电平, 分别为 V_{SS} 和 V_{SS} .

3) CLK1继续保持低电平, T1, T2, T3, T8, T19, T21和T23保持关断状态; CLK2变高电平, T9管打开, 节点Q1放电至 V_{SS} , 使得T4, T5, T6, T7管关断, Q2点由于电容 C_1 的耦合效应, 自举到

更高的电平, 提高T10管的输出能力, 此时级联输出COUT输出高电平, 此时节点QO1, QO2, QO3电平低于Q2, T18, T20和T22处于导通状态, 节点QO1, QO2, QO3充电至与Q2点相同的电平, 与此同时, CLK3变高, OUT1输出高电平.

4) CLK2保持高电平, CLK4变高, 由于T20处于亚阈值区 $V_{GS} = 0$ V, 因此QO2由于电容耦合, 自举到比原来更高的电平, 提高T14管的输出能力.

5) 同4)分析, CLK5变高时T16管通过自举也可以获得更高的栅极电压, 提高导通能力.

6), 7) 等到下次CLK1变高时, 节点Q1, Q2, QO1, QO2, QO3皆变为低电平, QB变为高电平, 打开T11, T13, T15和T17, 使得级联输出COUT和输出OUT1, OUT2, OUT3都输出低电平.

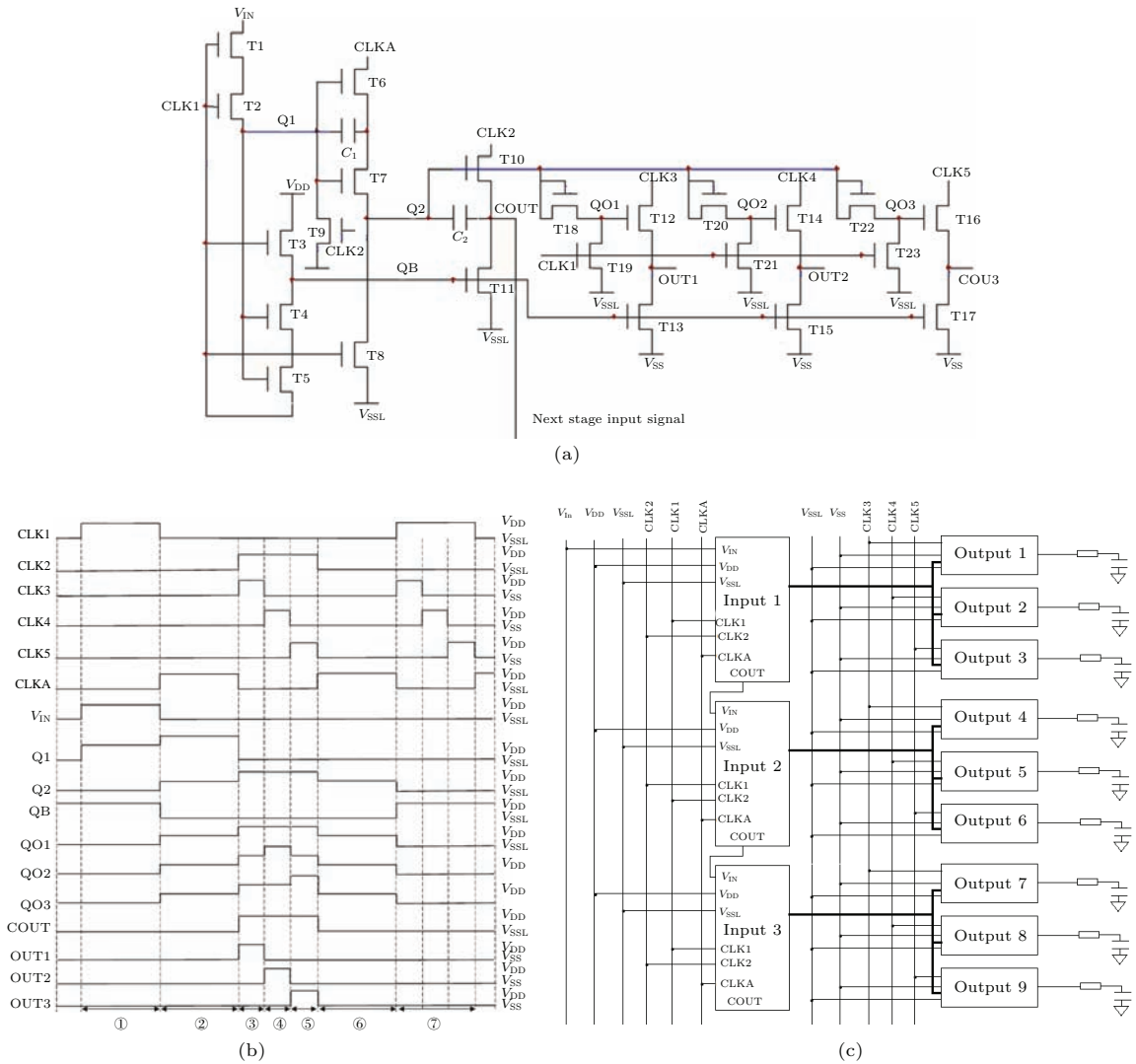


图2 行集成驱动电路 (a) 电路原理图; (b) 时序图; (c) 电路模块图

Fig. 2. Proposed gate driver circuit: (a) Schematic of a single stage; (b) driving diagram; (c) block diagram.

图3为电路仿真图, 电路充分利用电容耦合效应, 很好地提高电路的关键节点上的电平. 第一次耦合效应发生在Q1点上, 当电容 C_1 一端Q1点存储了 V_{IN} 信号后, Q1电平为 V_1 , 时钟CLKA变高, Q1点电平跟着跳变 ΔV_1 , 见图3(a).

$$\Delta V_1 = [C_1 / (C_1 + C_{S2} + C_{D4} + C_{S4} + C_{D5} + C_{S5} + C_{D6} + C_{S6} + C_{D7} + C_{S7} + C_{D9})] \times V_{CLK}, \quad (1)$$

其中 V_{CLK} 是时钟由低电平跳变到高电平的电压变化, C_{Sn} , C_{Dn} 分别对应的是 T_n 管的源、漏的寄生电容. Q1在电容耦合后的电平是

$$V_{Q1} = V_1 + \Delta V_1 = V_1 + [C_1 / (C_1 + C_{S2} + C_{D4} + C_{S4} + C_{D5} + C_{S5} + C_{D6} + C_{S6} + C_{D7} + C_{S7} + C_{D9})] \times V_{CLKA}, \quad (2)$$

(2)式中, 增加 C_1 的值, 可以增加耦合电压的变化, 同时也会增加 V_{IN} 对Q1的充电时间, 影响 V_1 的大小, 合理地设计电容值 C_1 的大小, 可以最大程度地提高 V_{Q1} 的值, 电路中的 C_1 取值为2 pF.

第二次耦合发生在Q2点上, 当CLK2变高, COUT输出高电平, Q2点从 V_2 自举到更高的电平 V_{Q2} , 见图3(a)和图3(b).

$$V_{Q2} = V_2 + \Delta V_2$$

$$= V_2 + [C_2 / (C_2 + C_{S7} + C_{D8} + C_{S10} + C_{D10} + C_{S18} + C_{S20} + C_{S22})] \times V_{CLK2}, \quad (3)$$

(3)式中的 V_2 为Q2点在电路第一次耦合时获得的电平, ΔV_2 为耦合后电压变化值. 由于 C_2 在Q2点耦合后, Q2点电平高于QO1, QO2, QO3的电平, 因此 C_2 上的电荷会转移到QO1, QO2, QO3, 使之四个节点电平相当. 因此 C_2 需要存储相当的电荷, 电路中的 C_2 取值为8 pF.

第三次耦合发生在QO1, QO2, QO3点上, 当CLK3, CLK4, CLK5分别变高, 相对应的QO1, QO2, QO3在 V_3 电平基础上再自举到更高的电平 V_{Q3} , 见图3(a)和图3(c).

$$V_3 = \frac{(V_{Q2} - V_2) \times C_2}{3(C_{S12} + C_{D12} + C_{D19} + C_{S18}) + C_2} + V_1, \quad (4)$$

$$V_{Q3} = V_3 + \Delta V_3 = V_3 + \frac{C_{S12} + C_{D12}}{C_{S12} + C_{D12} + C_{D19} + C_{S18}} \times V_{CLK3}. \quad (5)$$

第三次耦合是利用大尺寸输出级的源漏寄生电容作为耦合电容, 在 V_2 基础上耦合到 V_{Q3} , V_3 是Q2点电荷传输到QO1, QO2, QO3点所获得的电平, V_3 的大小取决于 C_2 的大小.

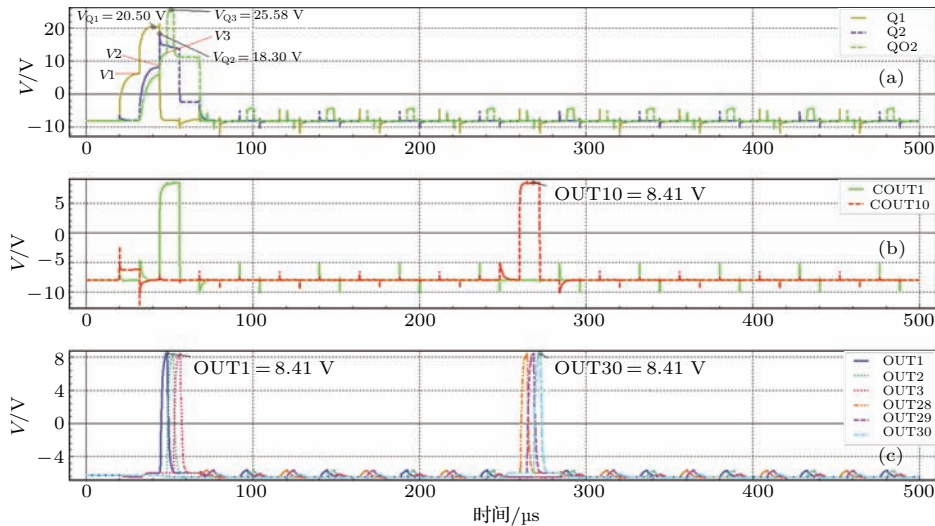


图3 电路的仿真波形图 (a) 第1级和第10级电路的节点Q2和QO2的波形; (b) COUT1与COUT10级联输出波形; (c) 前三级和最后三级电路的输出波形

Fig. 3. Simulation waveforms of the proposed circuit: (a) Waveforms of Q2 and QO2 of the first and last stages; (b) cascade output waveform of COUT1 and COUT10; (c) output waveforms of the first three stages and the last three stages circuits.

表1为电路的设计参数,如图3(b)和图3(c)所示,仿真的负载条件为 $R = 10\text{ k}\Omega$ 和 $C = 110\text{ pF}$,级联信号COU1和COUT10输出 $12\text{ }\mu\text{s}$ 的脉宽波形,由于输入级驱动三级输出级,每一级输出级的脉冲宽度为输入级的1/3,即为 $4\text{ }\mu\text{s}$.如图3(a)所示,电路关键节点Q1, Q2和QO2点分别产生了电容耦合效应, Q1点通过CLKA耦合出来的高电平为 20.5 V , Q2点可以完全地被充电至CLKA的高电平. Q2点通过CLK2耦合,电平升高至 18.3 V ,由于此时的电容 C_2 的电荷转移到了输出级各个节点QO1, QO2和QO3, Q2电平会出现小幅度下降. QO1, QO2和QO3经Q2点的两次充电,电平已达到了 12 V ,当CLK3, CLK4和CLK5变高时, QO1, QO2和QO3电平提升到更高的电平,可达到 25 V ,大大地提高了输出级的驱动能力和输出速度.由前面分析, $4\text{ k} \times 8\text{ k}$ 的分辨率的显示器在 60 Hz 的现实条件下,行扫描的选通时间为 $4.1\text{ }\mu\text{s}$,因此该电路满足 $4\text{ k} \times 8\text{ k}$ 分辨率显示器的需求.

表1 电路的设计参数

Table 1. Design parameters of the proposed circuit.

设计参数	数值
CLK1, CLK2, CLKA 电平/V	-8—8.5
CLK3, CLK4, CLK5, 电平/V	-6—8.5
$V_{DD}, V_{SS}, V_{SSL}/V$	8.5, -6.5, -8
负载 $R/k\Omega, C/pF$	10, 110
(W/L) T1, T2, T4, T5, T6, T7, T8, T9, T18, T20, T22($\mu\text{m}/\mu\text{m}$)	50/10
(W/L) T3($\mu\text{m}/\mu\text{m}$)	40/10
(W/L), T10, T13, T15, T17($\mu\text{m}/\mu\text{m}$)	160/10
(W/L) T11, T19, T21, T23 ($\mu\text{m}/\mu\text{m}$)	80/10
(W/L) T12, T14, T16 ($\mu\text{m}/\mu\text{m}$)	800/10
C_1/pF	8
C_2/pF	2
电路尺寸 长 \times 宽	$961\text{ }\mu\text{m} \times 653\text{ }\mu\text{m}$

4 实验和讨论

根据本文第三部分的设计和仿真,我们成功地制作了10级行集成电路,包括10级输入级和30级输出级电路.图4为电路的光学显微图,输入级尺寸制作较小,位于输入级信号和输出级信号中间,充分利用了三级输出级的高度,输入级可以设计成长条状,减少了电路的宽度,能够实现显示屏

窄边框显示.如图5所示,在 50 kHz 的工作频率,负载为 $R = 10\text{ k}\Omega$ 和 $C = 110\text{ pF}$ 的输出波形下,电路可以很好地工作.如图5(a), OUT1和OUT30全摆幅输出,由于电路输出级的节点经过3次电压提升,输出级的上拉TFT等效电阻进一步变小;如图5(b)所示, COUT1和OUT1的波形, OUT1的延迟的时间几乎可以忽略, COUT1输出波形脉宽为 $60\text{ }\mu\text{s}$, OUT1的脉宽为 $20\text{ }\mu\text{s}$,因此输入级电路工作时间为输出级的3倍,输入级的电容 C_1 和 C_2 具有相对宽裕的充电时间,该结构的电路更适用于高速的驱动电路.

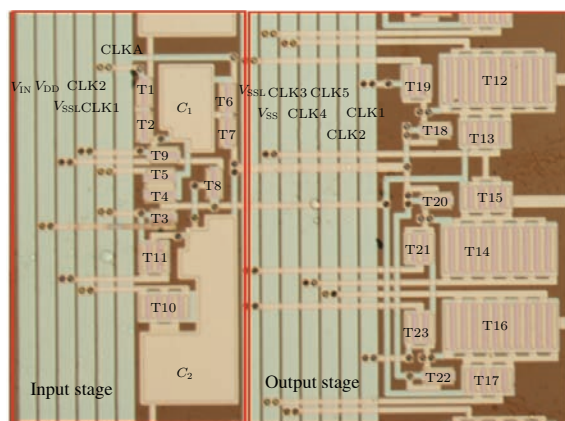


图4 行集成电路的光学显微图

Fig. 4. Optical image of the proposed gate driver circuit.

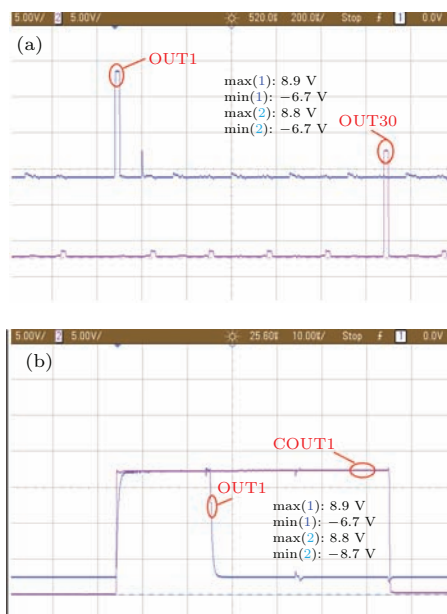


图5 电路测试结果 (a) OUT1与OUT30的输出波形; (b) COUT1与OUT1的输出波形

Fig. 5. Test result of the gate driver circuit: (a) Output waveform of OUT1 and OUT30; (b) output waveform of COUT1 and OUT1.

图6为该电路高速测试结果,图6(a)中的红色波形为起始信号 V_{IN} ,脉宽为12 μs ,OUT2的脉宽为4 μs ,带负载的OUT2输出级波形几乎没有延迟,因此可以避免显示屏的串扰现象.输出级的工作频率为240 kHz,满足了4 k \times 8 k电视在60 Hz刷新频率下的行选通速度,而输入级的频率仅为80 kHz.图6(b)中,电路进行了480 kHz频率的测试, V_{IN} 信号的脉宽为6 μs ,OUT2脉宽为2 μs ,此时输出波形的延迟主要负载RC延迟,并不影响电路的工作和显示信号的传输,因此该电路也满足了4 k \times 8 k电视在120 Hz刷新频率下的行选通速度,适用于3D显示^[17].

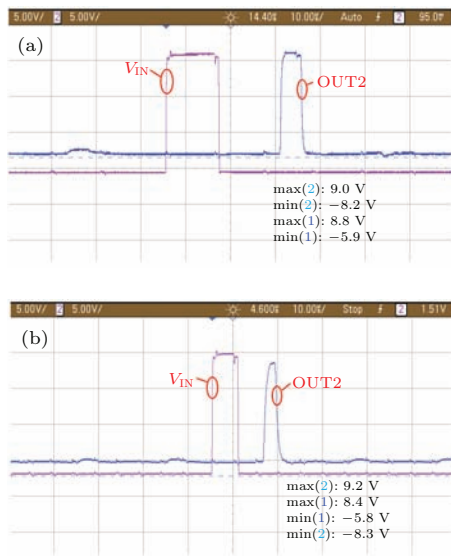


图6 电路高速测试结果 (a) 电路工作在240 kHz频率下 V_{IN} 与OUT2的波形; (b) 电路工作在480 kHz频率下 V_{IN} 与OUT2的波形

Fig. 6. High speed test result of the gate driver circuit: (a) Output waveform of V_{IN} and OUT2 under the frequency of 240 kHz; (b) output waveform of V_{IN} and OUT2 under the frequency of 480 kHz.

功耗是衡量行集成电路的一个重要指标,行集成驱动电路的功耗分为两部分:动态功耗 P_D 和静态功耗 P_S ,根据本文第三部分的分析,电路的静态功耗 P_S 很小,几乎可以忽略.因此电路功耗的表达式为

$$P_D = P_{Din} + P_{Dout} + P_{RC} = \frac{1}{2}C_{in}\Delta V_1^2 f_{CLKin} + \frac{1}{2}C_{out}\Delta V_2^2 f_{CLKout} + \frac{1}{2}C_{RC}\Delta V_2^2 f_{RC}$$

其中 P_{Din} , P_{Dout} 和 P_{RC} 分别为输入级、输出级和负载的功耗; C_{in} , C_{out} 和 C_{RC} 分别为输入级、输出级的TFT寄生电容和负载电容; ΔV_1 和 ΔV_2 分

别是输入级和输出级时钟高低电平差; f_{CLKin} , f_{CLKout} 和 f_{RC} 分别是输入级、输出级时钟频率和帧频频率.由公式可得,电路功耗与TFT的寄生电容、负载电容、时钟高低电平差、时钟频率、帧频频率成正比.当面板工艺一定,即TFT的寄生电容、负载电容、时钟高低电平差一定,电路的功耗与时钟频率和帧频成正比.如图7所示,显示屏的扫描级数越多,行集成的工作频率越大,因此行集成驱动电路的功耗越大,工作帧频120 Hz电路的功耗约为帧频60 Hz电路功耗的两倍.显示屏的扫描级数为240时,工作帧频120 Hz的电路功耗约为4.3 mW,工作帧频60 Hz的电路功耗约为2.2 mW.显示屏的扫描级数为4320时,工作帧频为120 Hz的电路功耗约为1.3 W,工作帧频为60 Hz的电路功耗约为0.65 W.大尺寸、高分辨率的显示屏中,降低TFT的寄生电容和阵列的寄生电容,可以有效地较少行集成驱动电路功耗.

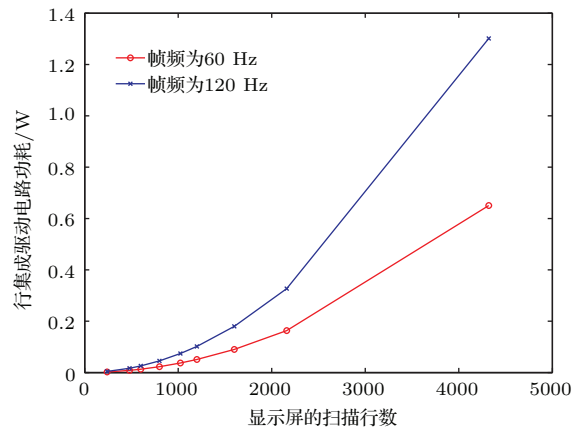


图7 行集成驱动电路功耗与显示屏扫描级数的关系
Fig. 7. Relationship of the power consumption of the gate driver and the quantity of the gate in the display.

5 结 论

本文设计了基于In-Zn-O薄膜晶体管的高速行集成驱动电路,采用了高速驱动结构,输入级复用的驱动结构,一级输入级驱动三级输出级,可以减少输入级2/3的晶体管的数量,而且输入级的工作频率是输出级的1/3.电路内部产生了三次电容耦合效应,每一次电容耦合效应都可以提高相应节点的电压,可有效地提高电路速度.输出级采用了一个二极管接法的TFT,该TFT连接了输出级的控制信号和上拉TFT的栅极,利用每一级输出级输出时的电容耦合效应,增加上拉TFT的

输出级能力, 提高电路输出级的输出能力和工作速度. 仿真表明电路内部关键节点 Q1, Q2, QO1, QO2, QO3 等都会自举到更高电平, 电路可以在 240 kHz 的工作频率. 我们成功地制作了 10 级电路, 包括 10 级输入级驱动 30 级输出级. 通过实验测试, 电路在负载为 10 k Ω 和 110 pF 的条件下可以正常工作, 在高速测试时, 电路工作频率可达到 480 kHz, 功耗为 3.013 mW, 满足 4 k \times 8 k 电视在 120 Hz 刷新频率下的现实要求, 实现 3D 显示.

参考文献

- [1] Liu B Q, Lan L F, Zou J H, Peng J B 2013 *Acta Phys. Sin.* **62** 087302 (in Chinese) [刘佰全, 兰林锋, 邹建华, 彭俊彪 2013 物理学报 **62** 087302]
- [2] Liu B Q, Tao H, Su Y J, Gao D Y, Lan L F, Zou J H, Peng J B 2013 *Chin. Phys. B* **22** 077303
- [3] Liu Y, Wu W J, Li B, Si Y F, Wang L, Liu Y R 2014 *Acta Phys. Sin.* **63** 098503 (in Chinese) [刘远, 吴为敬, 李斌, 思云飞, 王磊, 刘玉荣 2014 物理学报 **63** 098503]
- [4] Cao Y, Tao H, Zou J H, Xu M, Lan L F, Wang L, Peng J B 2012 *Journal of South China University of Technology* **40** 1 (in Chinese) [曹镛, 陶洪, 邹建华, 徐苗, 兰林锋, 王磊, 彭俊彪 2012 华南理工大学学报(自然科学版) **40** 1]
- [5] Lan L, Xiong N, Xiao P, Li M, Xu H, Yao R, Wen S, Peng J 2013 *Appl. Phys. Lett.* **102** 242102
- [6] Xu H, Lan L F, Li M, Luo D X, Xiao P, Lin Z G, Ning H L, Peng J B 2014 *Acta Phys. Sin.* **63** 038501 (in Chinese) [徐华, 兰林锋, 李民, 罗东向, 肖鹏, 林振国, 宁洪龙, 彭俊彪 2014 物理学报 **63** 038501]
- [7] Zhou L, Xu M, Wu W J, Xia X H, Wang L, Peng J B 2015 *Chinese Journal of Luminescence* **36** 577 (in Chinese) [周雷, 徐苗, 吴为敬, 夏兴衡, 王磊, 彭俊彪 2015 发光学报 **36** 577]
- [8] Chih L L, Chun D T, Min C C, Jian S Y 2011 *Journal of Display Technology* **7** 10
- [9] Jae E P, Min K R, Chi S H, Shin H Y, Sang H K P, Sung M Y, Hong K L, Youn K K, Joon D K, Hwan S O, Kee C P 2012 *Electron Device Letters* **33** 1144
- [10] Arokia N, Anil K, Kapil S, Peyman S, Sanjiv S, Denis S 2004 *Journal of Solid-State Circuit* **39** 1477
- [11] Lee Y W, Kim S J, Lee S Y, Lee W G, Yoon K S, Park J W, Kwon J Y, Han M K 2012 *Electrochemical and Solid-State Letters* **15** H126
- [12] Binn K, Seung C C, Jeong S L, Sun J K, Yong H J, Soo Y Y, Chang D K, Min K H 2011 *Transactions on Electron Devices* **58** 3012
- [13] Wu W J, Li G M, Xia X H, Zhang L R, Zhou L, Xu M 2014 *Journal of Display Technology* **10** 523
- [14] Wu W J, Song X F, Zhang L R, Zhou L, Xu M, Wang L, Peng J B *Transactions on Electron Devices* **61** 3335
- [15] Binn K, Lee Y U, Han M K, Seung C C, Yong H J, Park K S, Kim C D 2011 *Society for Information Display* **27** 1191
- [16] Li M, Lan L F, Xu M, Luo D X, Xiao P, Peng J B 2014 *Solid State Electron* **91** 9
- [17] Di G, Dong H K, Man J S, Mallory M, Jin J 2012 *Society for Information Display* **3** 38

High speed gate driver circuit based on metal oxide thin film transistors*

Zhang Li-Rong¹⁾ Ma Xue-Xue²⁾ Wang Chun-Fu¹⁾ Li Guan-Ming³⁾ Xia Xing-Heng³⁾
Luo Dong-Xiang³⁾ Wu Wei-Jing³⁾† Xu Miao³⁾ Wang Lei³⁾ Peng Jun-Biao³⁾

1) (Guangzhou New Vision Opto-Electronic Technology Company, Ltd., Guangzhou 510730, China)

2) (School of Electronic and Information Engineering, South China University of Technology, Guangzhou 510640, China)

3) (State Key Laboratory of Luminescent Materials and Devices, South China University of Technology, Guangzhou 510640, China)

(Received 20 July 2015; revised manuscript received 6 October 2015)

Abstract

This paper presents a new high speed gate driver circuit driven by In-Zn-O thin film transistors. Two methods are employed to improve the speed of this driver. First, the input stage multiplex structure is adopted, one input stage drives three output stages; this could reduce the quantity of thin film transistors and also could achieve the narrow bezels in the AMOLED or AMLCD displays. Even the work frequency of the input stage becomes 1/3 of the output stage. When the speed of the circuit increases, there is enough time for input stage charging and discharging. So this kind of driver is suitable for high speed driving method. Second, three times the capacitance coupled effect generated in the gate driver can pull up the voltage level of the key nodes in the circuit, ensuring the signal integrity, while the first time the effect generated in the input stage is to reduce the charge time of the cascade signal and improve the speed of input stage. The second time that generated between input stage and output stage contributes to the integrity of cascade output signal and output control signal. A diode-connected thin film transistor applied to connect the output control signal and the gate of pull-up thin film transistors in output stage generates the three time capacitance coupled effects. Since the capacitance coupled effect can pull up the gate voltage of the pull-up thin film transistors during output period, the driving ability of the pull-up thin film transistors and the working speed could be promoted effectively. Simulation result shows that the capacitance coupled effect of each key node can pull up the voltage level considerably and the gate driver can normally work at the speed of 4 μ s. Finally, ten stage gate driver circuits have been fabricated successfully including ten input stages and thirty output stages. The test result shows that the proposed gate driver could work normally with a load of $R = 10$ k Ω and $C = 100$ pF. Furthermore, the high speed test result shows that the output signal pulse width of the circuit is 2 μ s meeting the driving demands of the 4 k \times 8 k display at the frame rate of 120 Hz. The power consumption of the gate driver circuit is measured in different resolutions under the frame frequencies of 60 and 120 Hz respectively.

Keywords: In-Zn-O thin film transistor, high speed gate driver circuit, input stage multiplex, capacitance coupled effect

PACS: 85.40.-e, 42.79.Kr, 77.55.hf

DOI: 10.7498/aps.65.028501

* Project supported by the National Basic Research Program of China (Grant No. 2015CB6500), the National Natural Science Foundation of China (Grant No. 61204089), the Guangdong Natural Science Foundation, China (Grant Nos. S2012010008648, 2014A030310253), the Guangdong Province (Institute) Research Project, China (Grant No. 2013B090500015), the Pearl River S&T Nova Program of Guangzhou, China (Grant No. 201506010015), the China Post-doctoral Science Foundation (Grant No. 2015M572313), and the Fundamental Research Funds for the Central Universities, China (Grant Nos. 2015ZM072, 2015ZM070).

† Corresponding author. E-mail: wuwj@scut.edu.cn