

总剂量效应致 0.13 μm 部分耗尽绝缘体上硅 N 型金属氧化物半导体场效应晶体管热载流子增强效应

周航 郑齐文 崔江维 余学峰 郭旗 任迪远 余德昭 苏丹丹

Enhanced channel hot carrier effect of 0.13 μm silicon-on-insulator N metal-oxide-semiconductor field-effect transistor induced by total ionizing dose effect

Zhou Hang Zheng Qi-Wen Cui Jiang-Wei Yu Xue-Feng Guo Qi Ren Di-Yuan Yu De-Zhao Su Dan-Dan

引用信息 Citation: *Acta Physica Sinica*, 65, 096104 (2016) DOI: 10.7498/aps.65.096104

在线阅读 View online: <http://dx.doi.org/10.7498/aps.65.096104>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn/CN/Y2016/V65/I9>

您可能感兴趣的其他文章

Articles you may be interested in

超深亚微米互补金属氧化物半导体器件的剂量率效应

Dose-rate sensitivity of deep sub-micro complementary metal oxide semiconductor process

物理学报.2016, 65(7): 076102 <http://dx.doi.org/10.7498/aps.65.076102>

电离辐射环境下的部分耗尽绝缘体上硅 n 型金属氧化物半导体场效应晶体管可靠性研究

Reliability of partially-depleted silicon-on-insulator n-channel metal-oxide-semiconductor field-effect transistor under the ionizing radiation environment

物理学报.2015, 64(8): 086101 <http://dx.doi.org/10.7498/aps.64.086101>

深亚微米金属氧化物场效应晶体管及寄生双极晶体管的总剂量效应研究

Radiation effect of deep-submicron metal-oxide-semiconductor field-effect transistor and parasitic transistor

物理学报.2014, 63(22): 226101 <http://dx.doi.org/10.7498/aps.63.226101>

静态随机存储器总剂量辐射损伤的在线与离线测试方法

Online and offline test method of total dose radiation damage on static random access memory

物理学报.2014, 63(8): 086101 <http://dx.doi.org/10.7498/aps.63.086101>

^{60}Co - γ 射线辐照 CMOS 有源像素传感器诱发暗信号退化的机理研究

Research on dark signal degradation in ^{60}Co γ -ray-irradiated CMOS active pixel sensor

物理学报.2014, 63(5): 056102 <http://dx.doi.org/10.7498/aps.63.056102>

总剂量效应致 $0.13\ \mu\text{m}$ 部分耗尽绝缘体上硅N型金属氧化物半导体场效应晶体管热载流子增强效应*

周航¹⁾²⁾³⁾ 郑齐文¹⁾²⁾ 崔江维¹⁾²⁾ 余学峰^{1)2)†} 郭旗¹⁾²⁾ 任迪远¹⁾²⁾
余德昭¹⁾²⁾³⁾ 苏丹丹¹⁾²⁾³⁾

1) (中国科学院特殊环境功能材料与器件重点实验室, 新疆电子信息材料与器件重点实验室, 中国科学院新疆理化技术研究所, 乌鲁木齐 830011)

2) (新疆电子信息材料与器件重点实验室, 乌鲁木齐 830011)

3) (中国科学院大学, 北京 100049)

(2015年11月16日收到; 2016年2月4日收到修改稿)

空间科学的进步对航天用电子器件提出了更高的性能需求, 绝缘体上硅(SOI)技术由此进入空间科学领域, 这使得器件的应用面临深空辐射环境与地面常规可靠性的双重挑战. 进行SOI N型金属氧化物半导体场效应晶体管电离辐射损伤对热载流子可靠性的影响研究, 有助于对SOI器件空间应用的综合可靠性进行评估. 通过预辐照和未辐照、不同沟道宽长比的器件热载流子试验结果对比, 发现总剂量损伤导致热载流子损伤增强效应, 机理分析表明该效应是STI辐射感生电场增强沟道电子空穴碰撞电离率所引起. 与未辐照器件相比, 预辐照器件在热载流子试验中的衬底电流明显增大, 器件的转移特性曲线、输出特性曲线、跨导特性曲线以及关键电学参数 V_T , GM_{max} , ID_{SAT} 退化较多. 本文还对宽沟道器件测试中衬底电流减小以及不连续这一特殊现象进行了讨论.

关键词: 绝缘体上硅, 电离辐射, 热载流子

PACS: 61.80.Ed, 61.82.Fk, 85.30.Tv

DOI: 10.7498/aps.65.096104

1 引言

航天用电子元器件在实际应用中面临着复杂且恶劣的太空辐射环境, 其可靠性问题显得异常突出; 航天飞行器昂贵的造价、巨大的社会影响力以及无法修复性, 使得器件可靠性成为设计制造须考虑的最重要的因素^[1,2]. 因此, 开展应用于空间电子系统的元器件、特别是新型元器件的可靠性研究, 对保证航天器安全、性能及寿命具有重要的科学意义和应用价值.

迄今, 半导体工艺沿着摩尔定律发展到了微纳

米时代. 虽然新工艺下的微纳器件具有高速度、高工作频率、低功耗、高集成度等优点^[3], 满足了航天器对于高性能及小型轻便化的迫切要求, 受到军事、航天等领域的青睐, 但正是源于“微纳”的尺寸和结构, 使得互补金属氧化物半导体(complementary metal oxide semiconductor, CMOS)微纳器件在空间飞行器、特别是长寿命空间飞行器中的应用面临着来自于器件内部及外部的可靠性挑战.

首先是外部辐射环境因素: 由于CMOS微纳器件尺寸急剧减小、集成度极大提高, 使得其对空间辐射更加敏感, 主要表现在单粒子效应及产生边缘隔离漏电等新的总剂量损伤效应^[4]; 而

* 国家自然科学基金(批准号: 11475255)资助的课题.

† 通信作者. E-mail: yuxf@ms.xjb.ac.cn

且新器件还面临着新的辐射效应,如绝缘衬底上的硅基 (silicon-on-insulator, SOI) 器件由于埋氧 (buried oxide, BOX) 的存在其抗总剂量效应的能力较差^[5]. 其次是内在的可靠性退化因素: 器件尺寸缩小至微纳量级时, 栅氧化层的变薄、工作电压的不等比缩小等, 使得器件常规可靠性隐患变得突出, 例如热载流子效应 (hot carrier injection, HCI) 随着器件沟道电场的增大已经成为影响 0.13 μm 技术节点器件使用寿命的关键因素.

HCI 与电离辐射效应都是积累性的效应, 一般情况下不会对电路造成瞬间灾难性损伤, 二者对器件的影响均为与时间正相关的函数. 在空间应用中, N 型金属氧化物半导体场效应晶体管 (N-metal-oxide-semiconductor field-effect transistor, NMOSFET) 器件同时面临着深空电离辐射与自身常规可靠性 (如 HCI 效应) 的双重影响, 电离辐射对 0.13 μm 技术节点 CMOS 器件的影响主要为在 STI (shallow trench isolation, STI) 区域产生氧化物陷阱电荷与界面态, 该带正电的氧化物陷阱电荷是造成器件漏电与阈值电压漂移的关键因素. 同时, HCI 效应也是由于沟道电场的增大而产生的电学参数退化, 更重要的是电离辐射产生的氧化物陷阱电荷与界面态对器件沟道电场与载流子迁移率有直接影响. 为此, 有必要对空间电离辐射环境下的热载流子损伤进行研究.

国内外对于 SOI 器件的热载流子效应研究已经很成熟, 建立了热载流子损伤的幸运电子模型, 提出了相应的加固方法^[6]. 对 SOI 器件总剂量的研究已经比较透彻, 特别是对于 0.13 μm 技术节点, 总剂量效应的主要影响是 STI 漏电. 虽然对 SOI 器件的辐射性能与热载流子的研究国内外已有很多报道, 但是对于辐射环境下的 SOI 器件的常规可靠性 (HCI 等) 的相关报道却很少. 文献^[7] 独立分析了总剂量效应与热载流子效应对器件特性曲线、关键电参数的影响, 但文中没有涉及器件在深空应用的真实环境, 即辐射损伤与热载流子损伤在实际应用中是同时发生的. 意大利帕多瓦大学 Silvestri 等^[8] 较早开展了体硅器件辐照后的可靠性研究, 结果表明: 辐射损伤与可靠性损伤存在耦合效应, 对体硅器件进行预辐照处理将加剧随后进行的热载流子试验损伤程度. Silvestri 等^[9] 报道了薄栅体硅器件经伽马射线、重离子辐照后的栅氧化层可靠性, 表明 X 射线辐照对 130 nm 工艺体硅器件栅氧

可靠性造成了影响 (延长了栅氧寿命), 且这一影响与辐照偏置相关: 最劣辐照偏置对随后的栅氧可靠性试验影响小于最优偏置, 导致这一试验结果的主要原因是辐照感生氧化物陷阱电荷与界面态减少了栅氧可靠性试验中的高能载流子注入. 文献^[10] 则得出了与文献^[9] 完全相反的结论, 即重离子对 130 nm 体硅器件栅氧可靠性的影响是消极的, 重离子辐照后的器件由于辐照预损伤造成了栅氧寿命的降低.

上述研究主要集中在 130 nm 体硅器件, 所以本文对在总剂量损伤后不同宽长比的 0.13 μm 部分耗尽型 (partially depleted, PD) 型 SOI NMOSFET 的热载流子可靠性进行了研究, 对比了预辐照与未辐照器件的转移、跨导、输出特性曲线和关键电学参数.

2 试验条件

试验选取器件为 0.13 μm I/O (input/output) PD SOI NMOSFET, 四组器件编号为 A, A', B, B'. A 与 B 宽长比为 0.15 $\mu\text{m}/0.13 \mu\text{m}$, A' 与 B' 宽长比为 10 $\mu\text{m}/0.13 \mu\text{m}$, 器件正常工作电压为 $V_{GS} = V_{DS} = 3.3 \text{ V}$.

A 与 A' 组芯片进行预辐照 (总剂量 3000 Gy(Si)), 辐照试验采用 ON 态偏置, 即 $V_G = 3.3 \text{ V}$, 其余端口接地. 辐照源使用中国科学院新疆理化技术研究所 ^{60}Co - γ 辐照源, 剂量率选取 0.8 Gy(Si)/s, 剂量点分别为 500, 1000, 2000, 3000 Gy. 根据总剂量辐射退火机理, 热载流子试验中产生的高能电子将会隧穿至 SiO_2 层中造成氧化物陷阱电荷的快速退火, 该效应使得随后进行的热载流子试验附加了退火效应的影响, 为了避免辐照后损伤对热载流子试验精度造成影响, 所以辐照试验先对 AA' 组进行一周常温 (20 $^\circ\text{C}$) 退火处理, 退火偏置与辐照偏置保持一致. 退火一周后各电学参数稳定, 再进行热载流子试验, 试验条件见表 1.

热载流子试验条件用最大衬底电流 (I_{Sub}) 法选取栅压 V_G , 测试中性体区到地电流^[11], 对 SOI 型器件, 认为 $I_{\text{Sub}} = I_{\text{Body}}$. 选取漏压时, 在不引起其他失效机理的情况下选择使得试验现象明显的合适电压值; 寿命预测试验一般为扫描器件源漏击穿特性曲线, 从而选取 90% 击穿电压为热载流子应力漏压. 本文漏压选取

为: $V_{DSstress} = 130\%V_{DSnormal}$ (正常工作电压) = 4.6 V. 在时间点 10, 100, 500, 1000, 5000 s 对器件进行在线测试正背栅转移特性曲线、输出特性曲

线. 整个热载流子试验在 4200-SCS 高精度半导体全参数测试仪上进行. 各器件热载流子应力条件与应力时间完全相同.

表 1 各器件试验条件
Table 1. Test conditions of each device.

| 器件编号 | 宽长比/ μm | 辐照偏置 | 退火偏置 | 热载流子应力条件 | | | | |
|------|--------------------|------|------|----------|-----|-----|-------|-----|
| | | | | G/V | S/V | D/V | Sub/V | B/V |
| A | 0.15/0.13 | ON | ON | 实测 | 0 | 4.6 | 0 | 0 |
| B | 0.15/0.13 | 无 | 无 | 实测 | 0 | 4.6 | 0 | 0 |
| A' | 10/0.13 | ON | ON | 实测 | 0 | 4.6 | 0 | 0 |
| B' | 10/0.13 | 无 | 无 | 实测 | 0 | 4.6 | 0 | 0 |

3 试验结果

热载流子试验中, 每个应力时间结束后, 测试转移输出特性. 转移特性曲线的测试方法为: 固定 $V_{DS} = 0.1 \text{ V}$, 从 -0.5 V 到 3.3 V 扫描栅压 V_{GS} , 其余引脚接公共端 (GND), 得到 $I_{DS} - V_{GS}@V_{DS} = 0.1 \text{ V}$; 器件阈值电压的提取采用亚阈值斜率法, 即在该转移特性曲线亚阈值区域求一阶微分 dI_{DS}/dV_{GS} , 选取此一阶微分最大值对应的栅压 V_{GS} , 在此点利用线性外插法拟合一条直线, 该直线与横坐标的截距为 $V_{(GS-Intercept)}$, 阈值电压表达式定义为 $V_T = V_{GS} - V_{(GS-Intercept)} - (V_{DS}/2)$. 跨导测试方法为: 在转移特性曲线下提取 V_{GS} 对 I_{DS} 的一阶微分. 输出特性曲线的测试方法为: 固定 $V_{GS} = 3.3 \text{ V}$, 从 -0.5 V 到 3.3 V 扫描漏压 V_{DS} , 其余管脚接 GND, 得到 $I_{DS} - V_{DS}@V_{GS} = 3.3 \text{ V}$, AB 两组器件的窄沟道器件转移特性曲线如图 1, 整个热载流子应力期间阈值电压 (threshold voltage, V_T) 的变化如图 1 中的插图所示, B 组器件应力前后转移特性曲线退化极小, 且亚阈值区域几乎无变化, A 组器件随着应力时间曲线退化很大, 出现了明显的阈值电压漂移.

跨导 (transconductance, GM) 是另一个体现热载流子对器件损伤的标志性电参数, 图 2 为 AB 组跨导特性曲线 ($GM - V_{GS}$). 亚阈值区域 B 组退化较少, 特别是在 0—1000 s 时间段, 而 A 组器件整个栅压范围器件 GM 退化明显, 提取 GM_{max} 变化量如图 3 所示. A 组器件由于受到电离辐射的影响, 器件最大跨导退化较未辐照的 B 组严重.

AB 组器件热载流子试验各时间点的输出特性曲线如图 4 所示, 经过 5000 s 热载流子试验, 从输

出特性曲线提取沟道饱和电流 ID_{SAT} , 如图 4 中插图所示, 辐照后的器件退化较严重. CMOS 技术广泛应用的原因之一是其集成度高, 理论上上门级电

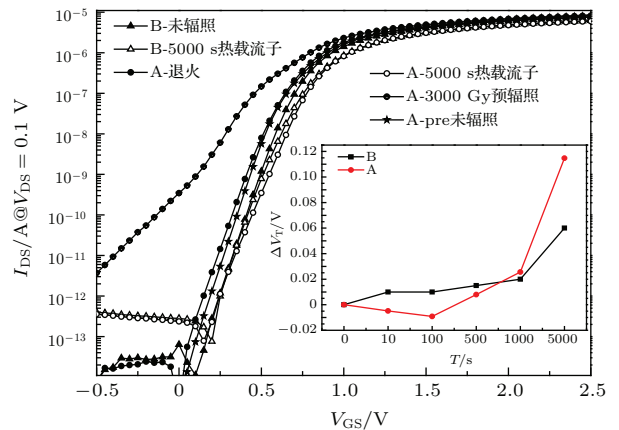


图 1 器件 A, B 热载流子应力前后转移特性曲线 (插图为热载流子应力前后器件阈值的变化)
Fig. 1. Transfer characteristic of devices A and B before and after HCI stress (the inserted figure is the change of V_T before and after HCI stress).

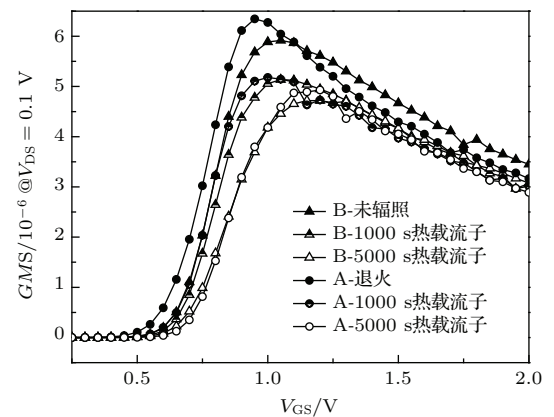


图 2 器件 A, B 热载流子应力前后跨导特性曲线
Fig. 2. Transconductance characteristics of devices A and B before and after HCI stress.

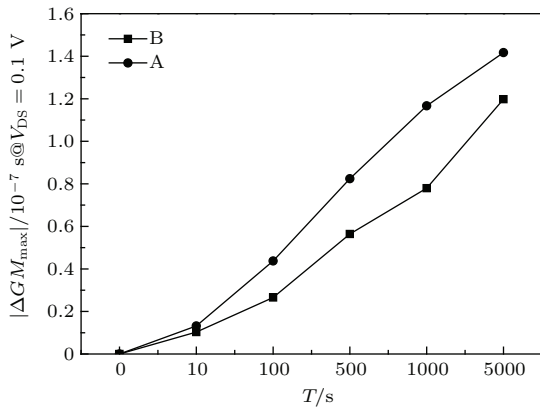


图3 器件 A, B 热载流子应力前后最大跨导 ΔGM_{\max} 变化

Fig. 3. The change of ΔGM_{\max} of devices A and B before and after HCI stress.

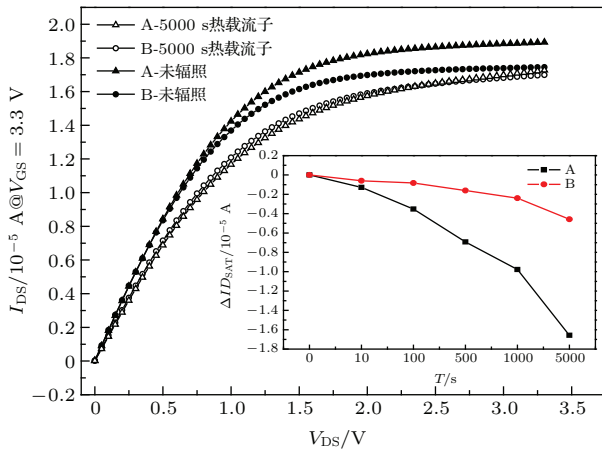


图4 器件 A 热载流子应力前后输出特性曲线 (插图为 ΔID_{SAT} 的变化, $ID_{SAT} = I_{DS}@V_{DS} = V_{GS} = 3.3 V$)

Fig. 4. The output characteristic of devices A before and after HCI stress (the inserted figure is the change of ΔID_{SAT} , $ID_{SAT} = I_{DS}@V_{DS} = V_{GS} = 3.3 V$).

路可以驱动无数下级门电路,但是实际应用中下级门电路个数是有限的, ID_{SAT} 的急剧下降,直接导致驱动下级门电路数目的降低(集成度的降低),甚至由于后端电路电阻过大,出现驱动能力不足,会直接导致输出电压下降,对于数字电路来说,意味着无法保持高低电平,以至出现逻辑混乱,造成电路工作中的风险.

4 机理分析

最有效最直观地表征热载流子效应激烈程度的电学参数是衬底电流,对于 SOI 器件,电子在沟道电场加速作用下在漏端碰撞电离,产生的空穴扩散到电势较低的中性体区形成衬底电流.在器件辐照的每个剂量点进行一次衬底电流测试,辐照前后

的衬底电流如图 5 和图 6 所示,随着辐照总剂量的增加,衬底电流增大的趋势是非常明显的,而且最大衬底电流所对应的栅压随着总剂量增加负漂.

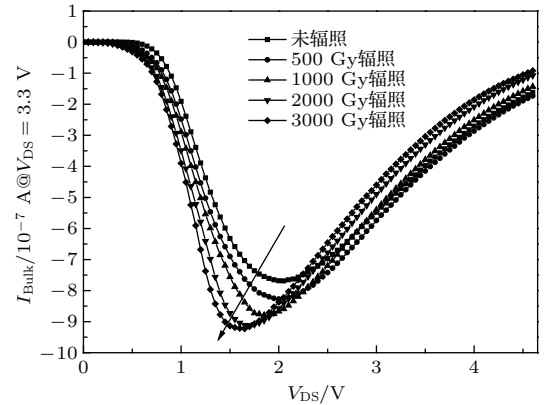


图5 A 组窄沟道器件辐照过程衬底电流的变化

Fig. 5. The substrate current changes in the irradiation process of group A (narrow channel device).

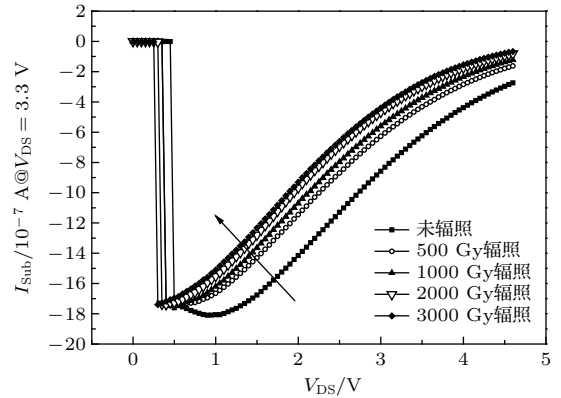


图6 A' 组宽沟道器件辐照过程衬底电流的变化

Fig. 6. The substrate current changes in the irradiation process of group A' (wide channel device).

图 5 显示器件 A 最大衬底电流随着辐照剂量的增加而增大,PD 型 SOI 器件存在中性体区,且器件工作时体区电势较低,漏端碰撞电离产生的热空穴将会漂移到此区域形成衬底电流,对于 $0.13 \mu m$ 工艺,采用 STI 隔离的器件,辐照后器件最大的变化是 STI 区域氧化物陷阱电荷与界面态的生成.图 5 显示衬底电流最大值对应的栅压负漂,证明总剂量在 3000 Gy 的情况下,栅氧化层与 STI 区域氧化物陷阱电荷产生量多于界面态,这相当于在沟道附加了正的“辐射电场”.电子从源端漂移到漏端形成热载流子的条件与沟道电场大小正相关,如图 8 所示,辐照后的 STI 区域产生附加电场,这一部分电场与沟道电场叠加,使得电子成为热载流子的概率提高,试验结果表现为衬底电流的增大.

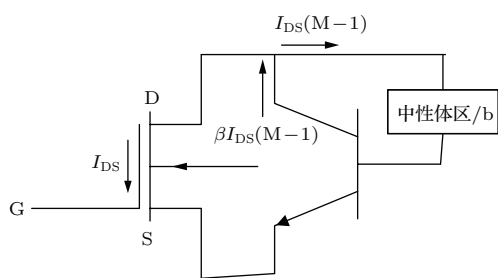


图7 宽沟道器件浮体效应产生的寄生BJT电路图
Fig. 7. Floating body effect induced parasitic BJT circuitry of wide device.

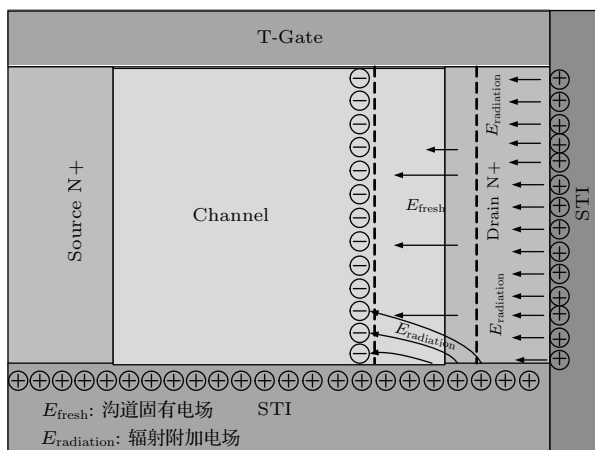


图8 电离辐射在器件沟道附加电场示意图(平行于沟道的俯视图, T型栅, STI隔离, 源极与漏极为N⁺材料, 沟道为P型材料)
Fig. 8. TID induced channel additional electric field (parallel to the top view of the channel, T-Gate, STI, the source and drain are N⁺ material, and the channel is p-type material).

附加电场的大小与沟道宽度相关. 根据公式 $E = U/W$ (E 为场强, U 为电势, W 为沟道宽度), 当辐照剂量相同, 器件STI区域附加电荷量相同, 窄沟道器件由于沟道宽度窄, 附加电场较大, 而宽沟道器件电场相对于窄沟道器件, 辐射导致的附加电场较小. 为了证明这一推论, 进行宽沟道器件试验, 沟道宽长比为 $10\ \mu\text{m}/0.13\ \mu\text{m}$, 试验条件见表1. A' 器件衬底电流如图7所示: 随着总剂量的增加, 衬底电流变小, 且最大衬底电流对应的栅压负漂, 最大栅压的负漂对应着器件阈值电压的漂移, 因为总剂量辐照后NMOSFET阈值电压负漂. 宽沟道器件的试验现象与我们的推论是相符的, 最大衬底电流变小, 但这并不意味着热载流子损伤的减小或者碰撞电离率的减小, 该衬底电流来自于漏端碰撞电离产生的高能空穴, 对于SOI器件, 中性体区紧邻BOX层, 在电离辐射之后, BOX层与体区界面会产生大量的界面态, 该界面态是复

合中心, 空穴漂移到中性体区与BOX层界面便有一部分会在该复合中心与电子复合, 宽沟道器件BOX氧化层面积远大于窄沟道器件(约67倍), 那么空穴被复合的概率远大于窄沟道器件, 衬底电流会有一定减小, 但是由于空穴的隧穿深度与迁移率远小于电子^[12], 所以界面态的影响不会使得衬底电流急剧减小. 更重要的是, 在较高总剂量下(1 Mrad), SOI MOSFET器件独有的背栅结构会产生较多辐照感生氧化物陷阱电荷, 该正电荷使得器件背部沟道呈弱反型甚至强反型. 反型沟道中的自由电子是复合器件漏端碰撞产生空穴的主要原因, 在试验现象上表现为器件体区空穴电流的减小, 如图6所示. 此外, 宽沟道器件衬底电流在0.3—0.5 V处呈不连续性, 这是因为当SOI器件沟道宽度大于 $5\ \mu\text{m}$ 时, 体接触效果就不理想, 表现出严重的“浮体效应”, 如图8. 引起寄生是双极结型晶体管(bipolar junction transistor, BJT)的产生(器件源、漏、中性体区分别对应BJT的发射极、集电极、基极), 进行HCI衬底电流测试, V_{DS} 大于工作电压, 那么在漏端会碰撞电离产生大量的电子空穴对, 电子被电场快速抽走, 空穴漂移到电势比较低的中性体区, 该体区相当于寄生BJT的基极, 随着漏压的增大(扫描 V_{DS}), 从漏端漂移到中性体区的空穴电流越来越大, 该基区电流被寄生BJT放大进入沟道, 当寄生BJT的增益 β 与漏端电流倍增因子 $M = (I_{Sub}/I_{DS} + 1)$ 的乘积大于1便形成正反馈, 导致沟道电流与衬底电流急剧增大, 表现为图6所示的不连续衬底电流曲线. 其辐照与热载流子试验过程中的转移特性曲线如图9(a), 表现为宽沟道器件辐照与未辐照其热载流子损伤都很小. 空穴复合机理如图9(b)所示, 空穴与反型沟道的电子或者在辐照感生界面态附近复合.

热载流子试验前后转移特性曲线的变化表征高能电子对器件的损伤情况, 从转移特性曲线提取阈值电压 V_T , 饱和电流 ID_{SAT} , 如图1和图4所示. 器件(NMOS)的阈值电压变化表现为 $\Delta V_T = \Delta V_{Tnot} - \Delta V_{Tnit}$ ^[4], A组器件 V_T 0—100 s 负漂, 100—5000 s 正漂, B组器件始终正漂. 热载流子损伤的基本原理是由于高能电子对沟道Si-SiO₂界面进行碰撞, 一部分电子可以隧穿栅极形成栅电流, 一部分电子进入SiO₂氧化层, 高能电子对晶格原子的碰撞会打断Si—Si, Si—O或者Si—H键, 这些碰撞形成的材料缺陷会形成氧化物陷阱电

荷与界面态^[13]. 热载流子试验在前期(100 s)之前氧化物陷阱电荷产生量大于界面态, 后期(100 s之后)界面态的产生占主导地位, 试验结果表现为 V_T 先负漂, 后正漂^[14].

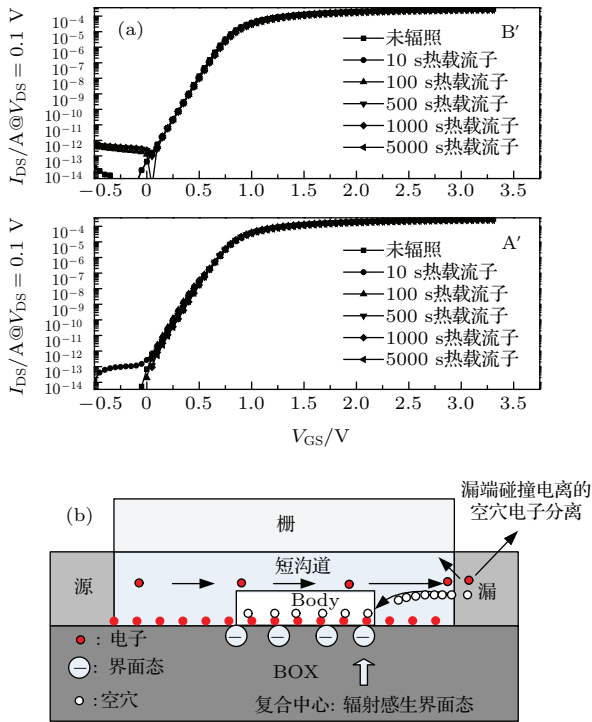


图9 (a) 器件B'A'热载流子应力前后转移特性曲线; (b) 漏端碰撞电离空穴在BOX界面的复合(沟道侧视图, 白色部(Body)分代表PD型SOI未耗尽的中性体区本征P型材料)

Fig. 9. (a) Transfer characteristic of devices B' and A' before and after HCI stress; (b) the recombination of holes at the BOX interface (channel side elevation, Body is the eigen P type material which doesn't deplete).

跨导表征器件沟道对电子的散射情况, 整个热载流子试验中器件跨导处于退化状态(见图2). 对比A组与B组跨导退化曲线, B器件亚阈值区域退化较少, A器件亚阈值区域退化明显. 根据公式 $\sigma = nqu$ (σ 为电导率, n 为载流子浓度, q 为电荷量, u 为迁移率), 跨导退化的主要原因是由于载流子迁移率的下降, 即沟道电场对载流子的散射加强. 根据半导体物理学, 载流子受到散射的根本原因是材料周期性的势场被破坏^[15]. 对于热载流子试验, 破坏该势场的主要因素是Si-SiO₂界面处的带电界面态, 对于NMOSFET, 该界面态在P衬底反型情况下带负电. 对于试验器件NMOSFET, 阈值电压在0.7 V左右, 已知硅材料禁带宽度为1.024 eV, 热载流子效应产生的受主界面态处于 E_1 能级之上, P型衬底费米能级 E_F 接近价带底, 当施加正栅压, P材

料能带弯曲, 若栅压较低, 为阈值电压水平, 然而0.7 eV的能带弯曲不足以使得受主界面态低于费米能级 E_F , 那么该界面态没有俘获电子, 不带电. 若栅压继续增加, 降落在P材料的电压远大于1 V时, 能带弯曲剧烈, 界面态受主能级将全部低于费米能级 E_F , 成为带负电的界面态, 如图10所示.

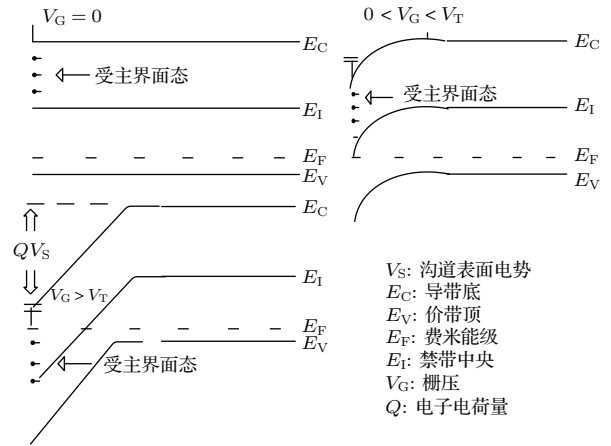


图10 不同栅压情况下Si(P型)界面态能级与 E_F 相对位置分布情况

Fig. 10. Interface state (P-Si) level and E_F relative position distribution at different grid voltage.

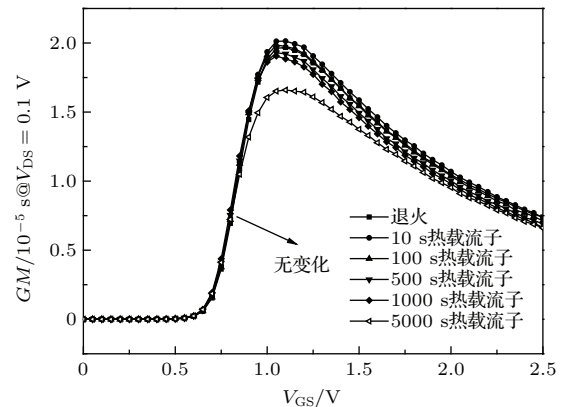


图11 A' 器件在热载流子应力期间跨导特性曲线

Fig. 11. Transconductance characteristic during HCI stress of device A'.

该界面态对载流子散射加强使得器件跨导呈现如图2的退化趋势. 在低栅压情况下的退化也很剧烈: 因为该器件为T型栅, 辐照后STI隔离区产生了大量带正电的氧化物陷阱电荷, 而且该器件为窄沟道器件, 在沟道与STI接触的区域P材料便会反型, 使得即使处于低栅压情况下, 热载流子试验产生的界面态也会由于辐照产生的氧化物陷阱电荷附加电场带上负电, 造成B组器件在整个栅压范围内跨导的退化. 最大跨导 GM_{max} 的退化表现如图3, 即A组最大跨导退化较B组大. 宽沟道器件

A'与B'组, 辐照产生的沟道附加电场较小, 不足以在低栅压区使沟道P材料反型, 其中A'跨导退化如图11所示, 亚阈值区域无变化.

5 结 论

深亚微米PD SOI NMOSFET器件预辐照后产生的电离辐射损伤增强了随后的热载流子效应, 在预辐照试验中, 随着总剂量的增加, 表征器件沟道电子空穴碰撞电离率的衬底电流随之增加, 在随后的热载流子试验中表现为转移特性曲线、输出特性曲线、跨导特性曲线以及从这三条曲线中提取的关键电学参数如 V_T , GM , ID_{SAT} 退化量较未辐照的器件多. 导致该结果的主要原因是由于电离辐射在栅氧层与STI隔离区域产生的氧化物陷阱电荷, 这些正电荷使得器件沟道横向电场增大, 由于电离辐射附加的横向电场增强了漏端热载流子碰撞电离率, 尤其是对于窄沟道器件, 辐射在沟道附加电场的影响更大, 比未辐照器件损伤明显上升. 对器件进行航空应用可靠性评价时, 如不考虑对小尺寸深亚微米器件常规可靠性机理(如HCI, TDDB, NBTI等)的退化, 会造成航天应用中的乐观估计. 尤其是针对存储器, 为了提高集成度, 存储阵列大多采用小尺寸器件. 在设计包含小尺寸器件的深空应用元器件或者集成电路时, 应综合考虑电离辐射环境与常规可靠性, 规避辐射环境下热载流子效应加剧器件的退化.

参考文献

[1] Shen J B 1999 *Missiles and Space Vehicles* **211** 55 (in Chinese) [沈剑波 1999 导弹与航天运载技术 **211** 55]

- [2] Lin D J 2004 *Missiles and Space Vehicles* **267** 73 (in Chinese) [林德健 2004 导弹与航天运载技术 **267** 73]
- [3] Ning B X, Hu Z Y, Zhang Z X, Bi D W, Huang H X, Dai R F, Zhang Y W, Zou S C 2013 *Acta Phys. Sin.* **62** 319 (in Chinese) [宁冰旭, 胡志远, 张正选, 毕大炜, 黄辉祥, 戴若凡, 张彦伟, 邹世昌 2013 物理学报 **62** 319]
- [4] Oldham T R, McLean F B 2003 *IEEE Trans. Nucl. Sci.* **50** 483
- [5] Schwank J R, Ferlet-Cavrois V, Shaneyfelt M R, Paillet P, Dodd P E 2003 *IEEE Trans. Nucl. Sci.* **50** 522
- [6] Hao Y, Liu H X 2008 *Micro-nano MOS Device Reliability and Failure Mechanism* (Beijing: Science Press) p115, 148 (in Chinese) [郝跃, 刘红侠 2008 微纳米MOS器件可靠性与失效机理(北京: 科学出版社)第115, 148页]
- [7] Cui J W, Yu X F, Ren D Y, Lu J 2012 *Acta Phys. Sin.* **61** 026102 (in Chinese) [崔江维, 余学峰, 任迪远, 卢健 2012 物理学报 **61** 026102]
- [8] Silvestri M, Gerardin S, Paccagnella A, Faccio F, Gonella L, Pantano D, Re V, Manghisoni M, Ratti L, Ranieri A 2008 *IEEE Trans. Nucl. Sci.* **55** 1960
- [9] Silvestri M, Gerardin S, Schrimpf R D, Fleetwood D M, Faccio F, Paccagnella A 2009 *IEEE Trans. Nucl. Sci.* **56** 3244
- [10] Silvestri M, Gerardin S, Faccio F, Paccagnella A 2010 *IEEE Trans. Nucl. Sci.* **57** 1842
- [11] Huang R, Zhang G Y, Li Y X, Zhang X 2005 *SOI CMOS Technology and its Application* (Beijing: Science Press) p142 (in Chinese) [黄如, 张国艳, 李映雪, 张兴 2005 SOI CMOS技术及其应用(北京: 科学出版社)第142页]
- [12] Wu X, Lu W, Wang X, Xi S B, Guo Q, Li Y D 2013 *Acta Phys. Sin.* **62** 136101 (in Chinese) [吴雪, 陆妩, 王信, 刁善斌, 郭旗, 李豫东 2013 物理学报 **62** 136101]
- [13] Liang B, Cheng J J, Chi Y Q 2014 *Chin. Phys. B* **23** 117304
- [14] Yu X F, Ai E K, Ren D Y, Zhang G Q, Lu W, Guo Q 2006 *Res. Prog. SSE.* **26** 560 (in Chinese) [余学峰, 艾尔肯, 任迪远, 张国强, 陆妩, 郭旗 2006 固体电子学研究与进展 **26** 560]
- [15] Liu E K, Zhu B S, Luo J S 2003 *Semiconductor Physics* (Beijing: Publishing House of Electronics Industry) pp111-118 (in Chinese) [刘恩科, 朱秉升, 罗晋升 2003 半导体物理学(北京: 电子工业出版社)第111-118页]

Enhanced channel hot carrier effect of 0.13 μm silicon-on-insulator N metal-oxide-semiconductor field-effect transistor induced by total ionizing dose effect*

Zhou Hang¹⁾²⁾³⁾ Zheng Qi-Wen¹⁾²⁾ Cui Jiang-Wei¹⁾²⁾ Yu Xue-Feng¹⁾²⁾† Guo Qi¹⁾²⁾
Ren Di-Yuan¹⁾²⁾ Yu De-Zhao¹⁾²⁾³⁾ Su Dan-Dan¹⁾²⁾³⁾

1) (Key Laboratory of Functional Materials and Devices for Special Environments, Xinjiang Technical Institute of Physics and Chemistry, Chinese Academy of Sciences, Urumqi 830011, China)

2) (Xinjiang Key Laboratory of Electric Information Materials and Devices, Urumqi 830011, China)

3) (University of Chinese Academy of Sciences, Beijing 100049, China)

(Received 16 November 2015; revised manuscript received 4 February 2016)

Abstract

In this paper, a series of hot carriers tests of irradiated 130 nm partially depleted silicon-on-insulator NMOSFETs is carried out in order to explore the HCI influence on the ionizing radiation damage. Some devices are irradiated by up to 3000 Gy before testing the hot carriers, while other devices experience hot carriers test only. All the devices we used in the experiments are fabricated by using a 130 nm partially depleted (PD) SOI technology. The devices each have a 6 nm-thick gate oxide, 100 nm-thick silicon film, and 145 nm-thick buried oxide, with using shallow trench isolation (STI) for isolation scheme. The irradiation experiments are carried by ^{60}Co - γ ray at the Xinjiang Technical Institute of Physics and Chemistry, Chinese Academy of Sciences, with a dose rate of 0.8 Gy(Si)/s. During irradiation all the samples are biased at 3.3 V, i.e., $V_{\text{GS}} = 3.3$ V and other pins are grounded, and when the devices are irradiated respectively by total doses of 500, 1000, 2000 and 3000 Gy(Si), we test the characteristic curves again. Then 168-hour room temperature anneal experiments are carried out for the irradiated devices, using the same biases under irradiation. The HCI stress condition is chosen by searching for the maximum substrate current. The cumulative stress time is 5000 s, and the time intervals are 10, 100, 500, 1000 and 5000 s respectively. After each stress interval, the device parameters are measured until stress time termination appears. Through the comparison of characteristic between pre-irradiated and unirradiated devices, we find that the total dose damage results in the enhanced effect of hot carriers: the substrate current value which characterizes the hot carrier effect (for SOI device are the body to the ground current) increases with the increase of total dose, as the pre-irradiated and unirradiated device do under the same conditions of hot carrier stress, the degradations of key electrical parameters are more obvious for the pre-irradiated one. In order to analyze the physical mechanism of the experimental phenomena, the wide channel device is tested too, we also analyze the phenomenon of the decrease of the substrate current of the wide channel device. From the contrasts of pre-irradiated and unirradiated devices, and narrow and wide channel device test results, we can obtain the following conclusions: SOI devices (especially the narrow channel device) with additional ionization irradiation field induced by ionizing radiation enhance the rate of injecting electrons into the silicon dioxide, and produce oxide trap charge and interface states, which leads to the fact that the channel carrier scattering becomes stronger, transfer characteristic curve of the device, output characteristic curve, transconductance curves and the related parameters of V_{T} , GM_{max} , ID_{SAT} degradation degree increase. So, when designing 130 nm PD SOI NMOSFETs which are applied to the space environment, one should make a compromise between radiation resistance and HCI reliability.

Keywords: silicon-on-insulator, ionizing radiation, hot carriers

PACS: 61.80.Ed, 61.82.Fk, 85.30.Tv

DOI: 10.7498/aps.65.096104

* Project supported by the National Natural Science Foundation of China (Grant No. 11475255).

† Corresponding author. E-mail: yuxf@ms.xjb.ac.cn