

**InGaZnO薄膜晶体管背板的栅极驱动电路静电释放失效研究**

马群刚 周刘飞 喻玥 马国永 张盛东

**Electro-static discharge failure analysis and design optimization of gate-driver on array circuit in InGaZnO thin film transistor backplane**

Ma Qun-Gang Zhou Liu-Fei Yu Yue Ma Guo-Yong Zhang Sheng-Dong

引用信息 Citation: *Acta Physica Sinica*, 68, 108501 (2019) DOI: 10.7498/aps.68.20190265

在线阅读 View online: <https://doi.org/10.7498/aps.68.20190265>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn>

---

**您可能感兴趣的其他文章**

**Articles you may be interested in**

**InGaZnO薄膜晶体管泄漏电流模型**

Leakage current model of InGaZnO thin film transistor

物理学报. 2019, 68(5): 057302 <https://doi.org/10.7498/aps.68.20182088>

**基于金属氧化物薄膜晶体管的高速行集成驱动电路**

High speed gate driver circuit based on metal oxide thin film transistors

物理学报. 2016, 65(2): 028501 <https://doi.org/10.7498/aps.65.028501>

**同步对称双栅InGaZnO薄膜晶体管电势模型研究**

Analytical channel potential model of amorphous InGaZnO thin-film transistors with synchronized symmetric dual-gate

物理学报. 2017, 66(9): 097101 <https://doi.org/10.7498/aps.66.097101>

**铟镓锌氧薄膜晶体管的悬浮栅效应研究**

Floating gate effect in amorphous InGaZnO thin-film transistor

物理学报. 2018, 67(4): 047302 <https://doi.org/10.7498/aps.67.20172325>

**退火温度和Ga含量对溶液法制备InGaZnO薄膜晶体管性能的影响**

Effects of annealing temperature and Ga content on properties of solution-processed InGaZnO thin film

物理学报. 2016, 65(12): 128502 <https://doi.org/10.7498/aps.65.128502>

# InGaZnO 薄膜晶体管背板的栅极驱动电路 静电释放失效研究

马群刚<sup>1)2)</sup> 周刘飞<sup>3)</sup> 喻玥<sup>3)</sup> 马国永<sup>3)</sup> 张盛东<sup>1)2)†</sup>

1) (北京大学信息工程学院, 深圳 518055)

2) (北京大学信息科学技术学院, 北京 100871)

3) (南京中电熊猫平板显示科技有限公司, 南京 210033)

(2019年2月27日收到; 2019年3月11日收到修改稿)

本文通过解析阵列基板栅极驱动 (gate driver on array, GOA) 电路中发生静电释放 (electro-static discharge, ESD) 的 InGaZnO 薄膜晶体管 (InGaZnO thin-film transistor, IGZO TFT) 器件发现: 栅极 Cu 金属扩散进入了  $\text{SiN}_x/\text{SiO}_2$  栅极绝缘层; 源漏极金属层成膜前就发生了 ESD 破坏; 距离 ESD 破坏区域越近的 IGZO TFT, 电流开关比越小, 直到源漏极与栅极完全短路. 本文综合 IGZO TFT 器件工艺、GOA 区与显示区金属密度比、栅极金属层与绝缘层厚度非均匀性分布等因素, 采用 ESD 器件级分析与系统级分析相结合的方法, 提出栅极  $\text{Cu}:\text{SiN}_x/\text{SiO}_2$  界面缺陷以及这三层薄膜的厚度非均匀分布是导致 GOA 电路中沟道宽长比大的 IGZO TFT 发生 ESD 失效的关键因素, 并针对性地提出了改善方案.

**关键词:** Cu 互连, InGaZnO 薄膜晶体管, 阵列基板栅极驱动, 静电释放

**PACS:** 85.30.De, 77.22.Jp, 72.20.-i, 73.40.-c

**DOI:** 10.7498/aps.68.20190265

## 1 引言

InGaZnO 薄膜晶体管 (InGaZnO thin-film transistor, IGZO TFT) 已成为大尺寸超高分辨率显示的主流驱动技术, 但其背板发生静电释放 (electro-static discharge, ESD) 的失效风险较高. 目前的研究主要是针对单个 IGZO TFT 器件进行传输线脉冲 (transmission line pulse, TLP) 或者人体静电放电模式 (human body model, HBM) 测试分析, 找出 ESD 影响因素并提出 ESD 鲁棒性高的器件结构与保护结构. Marko 等<sup>[1]</sup> 从 IGZO TFT 的器件结构上对 ESD 进行了研究. Liu 等<sup>[2]</sup> 用 TLP 测试方法研究发现, TFT 的沟道击穿仅取决于 ESD 应力电压水平, 而应力电压水平与栅极绝缘层有关. Tai 等<sup>[3]</sup> 发现, 导致 IGZO TFT 静电

击穿的 ESD 功率主要受源漏极接触电阻的影响, 而不受 IGZO 有源层质量的影响. Scholz 等<sup>[4]</sup> 提出, IGZO 有源层的低迁移率导致 ESD 的鲁棒性仅为  $0.3 \text{ mA}/\mu\text{m}$ , 优化 ESD 保护设计是关键. Ning 等<sup>[5]</sup> 和 Kim 等<sup>[6]</sup> 提出, 源漏极采用 Cu-Mo 或者 Mo-Ti/Cu 叠层结构的 IGZO TFT 具有较高的迁移率和更低的接触电阻, 有利于提高 IGZO TFT 的可靠性.

大尺寸超高分辨率面板为了实现无边框设计, 需要在显示区周边集成阵列基板栅极驱动 (gate driver on array, GOA) 电路<sup>[7,8]</sup>. 显示区的 IGZO TFT 尺寸都采用同样的宽长比 ( $W/L$ ), 而 GOA 电路的每个单元都密集分布着十多个不同  $W/L$  的 IGZO TFT. 这样的 GOA 单元在扫描线两侧同时设计, UHD 和 QUHD 面板上的数量分别达到 4320 个和 8640 个. 另外, GOA 电路位于基板玻璃

† 通信作者. E-mail: zhangsd@pku.edu.cn

或者面板的周边, ESD 风险相对更高. 通过调整 GOA 电路单元的器件组合、扫描线 ESD 保护电路结构、TFT 开关态电压大小等参数, 发现 ESD 破坏的改善效果并不明显. 所以, 有必要在分析 IGZO TFT 器件的 ESD 应力的基础上, 对玻璃基板上的 IGZO TFT, 特别是 GOA 电路中的 IGZO TFT, 进行系统级的 ESD 研究, 并通过规模生产进行对策验证.

综合 IGZO TFT 器件工艺、GOA 区与显示区金属密度比、栅极金属层与绝缘层厚度非均匀性分布等因素, 采用系统级 ESD 分析方法, 提出栅极 Cu:SiN<sub>x</sub>/SiO<sub>2</sub> 界面缺陷是导致 GOA 电路中 IGZO TFT 发生 ESD 失效的基本要素, GOA 电路区域金属密度比高以及 Cu:SiN<sub>x</sub>/SiO<sub>2</sub> 三层薄膜厚度分布的非均匀性是诱发 ESD 失效的重要因素. Cu 原子晶界扩散和界面扩散的激活能分别只有 1.2 eV 和 0.7—1.0 eV, 小于 Al 的扩散激活能 1.48 eV<sup>[9,10]</sup>. Cu 会扩散进入 SiN<sub>x</sub>/SiO<sub>2</sub><sup>[11]</sup>. 因此, 栅极 Cu:SiN<sub>x</sub>/SiO<sub>2</sub> 界面性质关系到 IGZO TFT 可靠性. GOA 区与显示区的 Cu 金属密度相差悬殊, 在工艺上容易引起 GOA 区的 Cu:SiN<sub>x</sub>/SiO<sub>2</sub> 界面缺陷<sup>[12–14]</sup>. 对应地, 我们提出了降低 GOA 电路中大尺寸 IGZO TFT 发生 ESD 失效风险的设计结构.

## 2 GOA 电路和 ESD 实验分析

### 2.1 GOA 电路

本研究的 IGZO TFT 背板的各层薄膜自玻璃基板起依次是 Mo/Cu 栅极层、SiN<sub>x</sub>/SiO<sub>2</sub> 栅极绝缘层、IGZO 有源层、Mo/Cu 源漏极层、SiO<sub>2</sub>/SiN<sub>x</sub> 保护层. 扫描线左右两侧的 GOA 驱动电路采用由 13 个 IGZO TFT 和 1 个电容构成的 13T1C 架构(图 1). 该架构在 4T1C 架构基础上增加了 GOA 电路信赖性提升单元和辅助帧电荷清除单元, 其输入信号有: 初始置位信号 GSP、时钟信号 CLK1-CLK8、清空信号 CLR 和关态低电位 VSS. 采用 8 根 CLK 可以降低时钟信号线的负载, 满足对上升时间的要求, 在降低功耗的同时提升显示区像素的充电能力<sup>[15]</sup>. 设计 55 寸 UHD 面板像素时, 保证数据线信号和扫描线脉冲信号的交叠时间控制在 2 μs 以内, 输出使能 (output enable, OE) 时间为 1.8 μs, 以防止错误的数据线信号充入像素.

在 13 个 IGZO TFT 中, M2 的沟道 W/L 最大, 达到 2400 μm/8 μm. M2 TFT 是扫描线脉冲信号的上拉模块, 其沟道宽度 W 越大, 扫描线脉冲信号的上升时间和下降时间越小. 上升时间越小, 预留的充电时间越长, 像素电压的充电率越高; 下降时间越小, 充入像素的信号电压越准确. M2 TFT 沟道宽度的设计需要综合考虑版图空间.

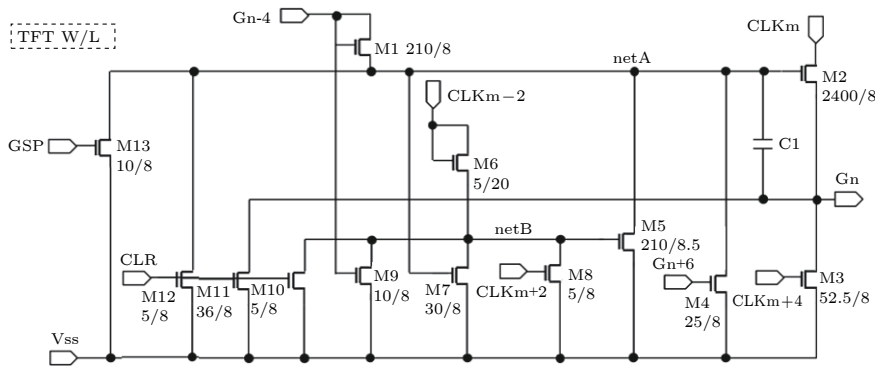


图 1 13T1C 架构的 GOA 电路单元原理图

Fig. 1. Diagram of the GOA circuit unit composed of 13 TFTs and 1 capacitor.

### 2.2 GOA 电路的 ESD

在 IGZO TFT 背板制作以及面板没有绑定 IC 前, 容易发生如图 2(a) 所示的 GOA 区域大面积 ESD 烧伤现象. 其中, 8 根 CLK 的总线区①、GOA 电路区②、扫描线 ESD 保护区③的合计总宽

度约为 5 mm. ESD 烧伤区域从破坏严重的中心 GOA 单元向上下 GOA 单元传播, 范围可达到 4 mm×10 mm. GOA 电路右侧的扫描线 ESD 保护电路和左侧的时钟信号线受到 ESD 破坏的影响较小. 出现这种烧伤问题的 GOA 电路, 集中在玻璃基板边

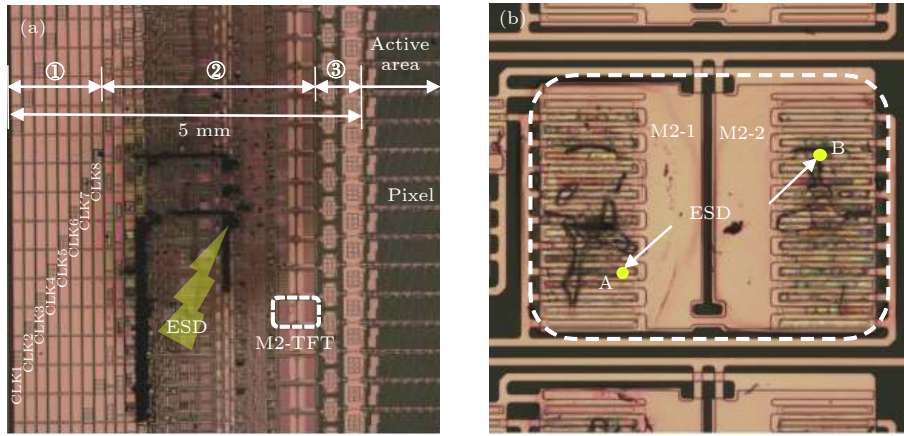


图 2 GOA 电路的 ESD 破坏现象 (a) GOA 区大面积的 ESD 烧伤现象; (b) M2 TFT 的 ESD 破坏现象

Fig. 2. ESD damage phenomenon of GOA circuit: (a) Photo image of the overall GOA where ESD damage occurs. (b) photo image of ESD damage M2 TFT in the GOA unit.

缘, 玻璃基板中央基本没有.

对驱动 IC 绑定前的所有工序加强 ESD 保护对策后, GOA 区域的大面积 ESD 烧伤现象有效减少. 但是, 依然存在个别 IGZO TFT 的 ESD 失效现象, 其中 M2 TFT 的 ESD 失效现象最严重. 如图 2(b) 所示, 观察到的 ESD 突发性损伤位置呈黑点状或者黑块状分布. 同时可以推断, 其他位置的 IGZO TFT 可能存在 ESD 潜在性损伤. 所以, 要系统研究 IGZO TFT 背板 GOA 电路的 ESD 失效机理.

### 2.3 ESD 破坏区域分析

GOA 电路的 M2 TFT 在扫描线 ESD 保护单元工作之前发生 ESD 破坏, 说明 M2 TFT 的抗 ESD 能力低. 在发生 ESD 破坏的 M2 TFT 中, 选

取如图 2(b) 所示的 A, B 两个黑点状和黑块状位置, 利用 FIB 解析 ESD 破坏位置的各膜层状态, 发现 ESD 破坏发生在栅极绝缘层成膜后、源漏极金属层成膜前 (图 3(a)).

对  $I-V$  特性正常的 M2 TFT 栅极绝缘层进行 EDS 分析, 发现栅极 Cu 金属层上方的  $\text{SiN}_x/\text{SiO}_2$  绝缘层中, 在靠近  $\text{SiO}_2$  的  $\text{SiN}_x$  层中存在 Cu 原子成分 (图 3(b)). 初步判断, 栅极 Cu 原子扩散到  $\text{SiN}_x/\text{SiO}_2$  绝缘层中, 是影响 IGZO TFT 器件性能与导致 ESD 失效的一个重要因素.

为了建立 IGZO TFT 器件性能恶化与 ESD 失效之间的关系, 针对沟道  $W/L$  最大、ESD 破坏最严重的 M2 TFT, 从靠近 ESD 烧伤区到远离 ESD 烧伤区, 分别检测器件的  $I-V$  特性. 如图 4 所示, 样品发生 ESD 烧伤的中心位置在第 100 个

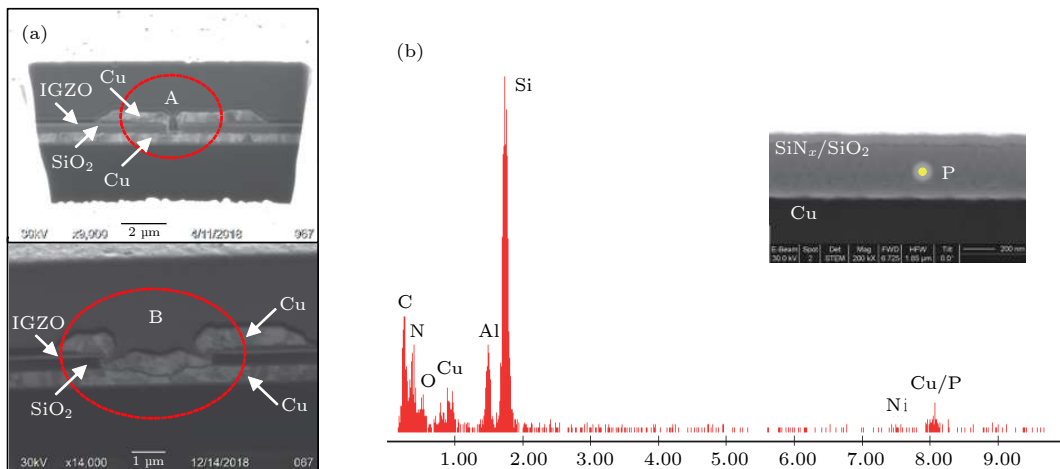


图 3 M2 TFT 的 ESD 失效区域解析 (a) ESD 失效位置的 FIB 断面解析; (b) ESD 失效位置的栅极绝缘层元素分析

Fig. 3. Analysis of ESD failure area of M2 TFT: (a) FIB section analysis of ESD failure position; (b) elemental analysis of gate insulator at failure position of ESD.

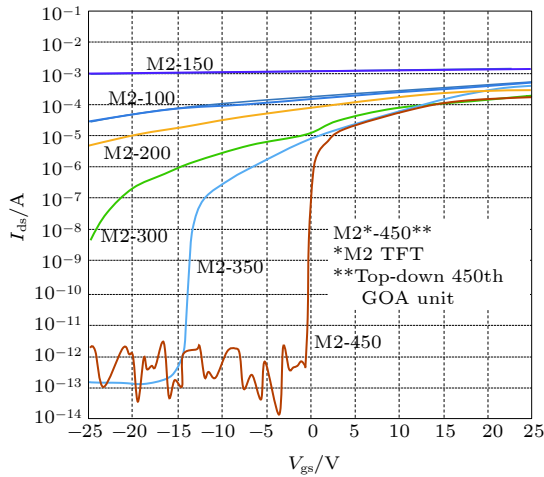


图 4 距离 ESD 失效中心不同位置的 M2 TFT 特性  
Fig. 4. M2 TFT characteristics at different positions from ESD failure center.

GOA 单元到第 200 个 GOA 单元之间, 远离 ESD 烧伤区的 M2 TFT(M2-450) 特性正常, 越靠近 ESD 烧伤区的 M2 TFT 阈值电压 ( $V_{th}$ ) 负漂越严重, 电流开关比越小, 直到器件 (M2-100 和 M2-150) 的源漏极与栅极完全短路.

作为对比, 我们检测了靠近烧伤区的 M1 TFT, M4 TFT, M7 TFT 和 M12 TFT 等其他器件,  $I-V$  特性正常. 这表明沟道  $W/L$  最大的 M2 TFT 发生 ESD 破坏的风险最高; 并且, M2 TFT 阈值电压负漂的绝对值与 ESD 破坏风险具有正相关性, 部分阈值电压负漂严重的 M2 TFT 已经导致对应的总线处于漏电状态.

### 3 ESD 失效机理分析

#### 3.1 器件级分析

栅极 Cu 金属在  $Cu:SiN_x/SiO_2$  界面的粘附性直接影响到 Cu 在  $SiN_x/SiO_2$  绝缘层中的扩散速率<sup>[16]</sup>. 用 PECVD 沉积  $SiN_x/SiO_2$  薄膜时, 等离子体不断地对 Cu 表面物理轰击并在 Cu 表面反应依次形成  $SiN_x/SiO_2$ . 由于  $SiN_x/SiO_2$  成膜时薄膜内的晶粒之间存在空隙, 部分 Cu 原子沿着  $SiN_x/SiO_2$  中的空隙扩散, 并在原来位置形成空隙, 在  $SiN_x/SiO_2$  中形成类似晶须的结构, 成为深能级杂质, 使器件性能退化甚至失效<sup>[17]</sup>. 栅极 Cu 与栅极绝缘层  $SiN_x/SiO_2$  界面的 Cu 表面的 hillocks 凸起位置, 是 Cu 离子向  $SiN_x/SiO_2$  层扩散的拥挤点. 一旦在栅极和源漏极 (ESD stress ①), 或者栅极和

IGZO 有源层 (ESD stress②) 之间形成一定的压降, Cu 与  $SiN_x/SiO_2$  界面由于电极反应产生大量的 Cu 离子, 向  $SiN_x/SiO_2$  层扩散, 在  $SiN_x/SiO_2$  层形成陷阱态. 如图 5 所示, Cu 离子向 IGZO 沟道方向移动并大量积累, 形成空间电荷效应, 使 IGZO 层与  $SiN_x/SiO_2$  栅极绝缘层的表面势垒厚度减少, 势垒降低. Cu 离子带正电, 扩散到  $SiN_x/SiO_2$  层形成空间分布状态, 会改变栅极绝缘层内电场强度的空间分布. 可以用泊松方程描述 Cu 离子扩散形成空间电荷效应的机理<sup>[18,19]</sup>:

$$\frac{\partial^2 U(x, t)}{\partial x^2} = -\nabla \cdot F(x, t) = -\frac{qC(x, t)}{\epsilon_r \epsilon_0}, \quad (1)$$

其中,  $U$  是  $SiN_x/SiO_2$  电势,  $F$  是电场强度,  $q$  是 Cu 离子所带电荷,  $C$  是 Cu 离子浓度,  $\epsilon_0$  是真空介电常数,  $\epsilon_r$  是相对介电常数.

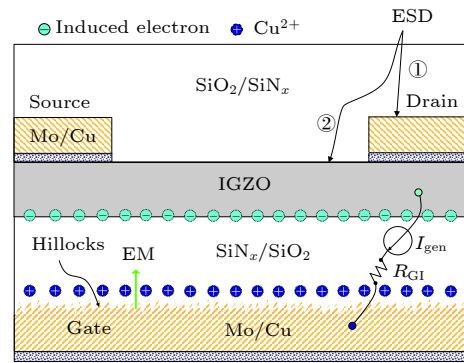


图 5 Cu 扩散引起的空间电荷效应与 ESD 失效机理  
Fig. 5. Mechanism of space charge effect formed by  $Cu^{2+}$  ion entering  $SiO_2$ .

IGZO TFT 阈值电压  $V_{th}$  负漂, 可以看成是多种机制的组合, 即  $\Delta V_{th, tot} = V_{th1} + V_{th2} + \dots$ <sup>[20-22]</sup>. 图 4 中靠近 ESD 烧伤中心区的 IGZO TFT 阈值电压负漂的关键影响因素是栅极 Cu 扩散进入栅极绝缘层  $SiN_x/SiO_2$  引起的有效栅极绝缘层厚度减小以及内建电场效应. 由于内建电场效应, 当栅极和源漏极 (ESD stress ①) 或者栅极和 IGZO 有源层 (ESD stress②) 之间存在电压分布, 随着 IGZO 能带弯曲, IGZO 有源层中的电子就很容易越过降低后的势垒, 在栅极绝缘层的陷阱态中进行跳跃导电, 甚至注入形成场致发射. 如果场致发射电流  $I_{gen}$  接近限制电流,  $SiN_x/SiO_2$  栅极绝缘层的阻抗  $R_{GI}$  将从高阻态变为低阻态, 丧失绝缘性能, 导致 TFT 器件失效<sup>[23]</sup>. Qiang 等<sup>[22]</sup> 和 Wang 等<sup>[24]</sup> 提出, 用 IGZO TFT 栅极电压产生的强垂直电场

的效应有助于捕获的载流子直接隧穿进入导电带, 并导致几乎与温度无关的迁移率.

### 3.2 系统级分析

Cu 金属薄膜在 PVD 沉积过程中会形成晶界缺陷. 在后续的等离子体高温工艺中, 随着应力释放再结晶, Cu 表面会产生 hillocks. 玻璃基板边缘的 GOA 电路中, M2 TFT 栅极 Cu 表面的 hillocks 凸起最为严重, 栅极 Cu: SiN<sub>x</sub>/SiO<sub>2</sub> 界面的 Cu 离子最容易向 SiN<sub>x</sub>/SiO<sub>2</sub> 层扩散, 导致 GOA 区 M2 TFT 容易出现 ESD 失效.

影响玻璃基板周边 M2 TFT 栅极 Cu 表面的 hillocks 凸起, 主要有两个因素, 包括 GOA 区与显示区金属层密度比差异大导致的周边金属层平坦度低, 以及玻璃基板周边 Cu 金属膜厚和 SiN<sub>x</sub>/SiO<sub>2</sub> 膜厚的均匀性差导致的栅极 Cu:SiN<sub>x</sub>/SiO<sub>2</sub> 性

质稳定性低.

以 3840×2160 分辨率的 55 寸 IGZO TFT 背板为例, GOA 区域对应栅极金属层和源漏极金属层的 Cu 金属覆盖密度分别达到 54% 和 68%, 是显示区 (active area, AA) 的 4.42 倍和 4.48 倍. GOA 区与 AA 区的 Cu 金属覆盖密度差值太大, GOA 区的 Cu 金属层平坦性较差, 导致 Cu 表面 hillocks 凸起更严重.

如图 6 所示, 玻璃基板周边的 GOA 电路 (GOA-1 和 GOA-2) 中, Cu 金属、SiN<sub>x</sub> 薄膜、SiO<sub>2</sub> 薄膜的厚度起伏明显, 均匀性较差. 而玻璃基板中央的 GOA 电路 (GOA-3) 中, 三层薄膜厚度均匀性较好. 所以, 位于玻璃基板边缘的 GOA 电路中, Cu 表面的 hillocks 凸起较严重, 栅极绝缘层的耐压差异较大, ESD 失效风险较高.

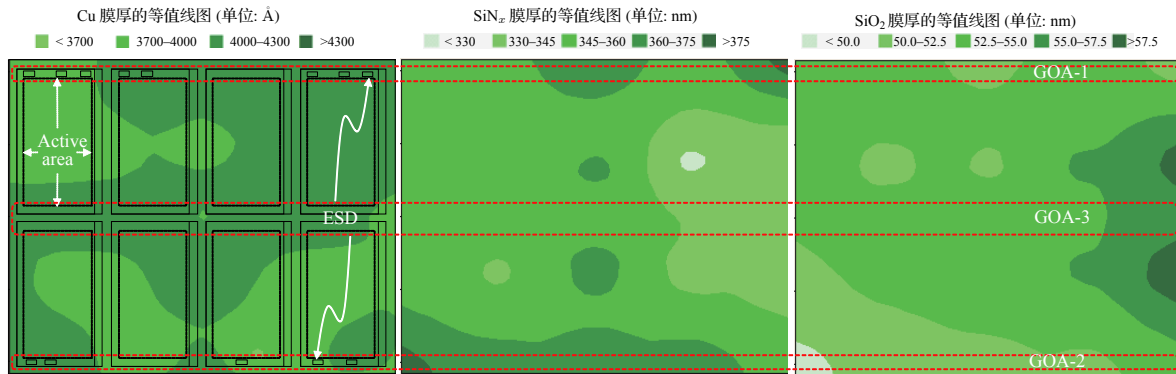


图 6 Cu:SiN<sub>x</sub>/SiO<sub>2</sub> 三层薄膜的厚度等值线分布

Fig. 6. Thickness contour distribution of Cu: SiN<sub>x</sub>/SiO<sub>2</sub> three films.

## 4 结果与讨论

根据前面的 ESD 破坏区域解析和 ESD 失效机理分析, 得到栅极 Cu: SiN<sub>x</sub>/SiO<sub>2</sub> 界面缺陷引起的 ESD 失效机理: 面板周边 GOA 电路, 特别是其中的 M2 TFT, 栅极 Cu 金属层的面积最大, 厚度起伏最明显, hillocks 凸起等缺陷最严重, 扩散到 SiN<sub>x</sub>/SiO<sub>2</sub> 层的 Cu 离子最多. 同时, 位于玻璃基板周边的 GOA 区的 SiN<sub>x</sub>/SiO<sub>2</sub> 薄膜相对较薄, 随着栅极的 Cu 离子扩散进入 SiN<sub>x</sub>/SiO<sub>2</sub> 层, 原本较薄的栅极绝缘层的有效厚度进一步减小, 导致栅极和源漏极之间的漏电流急剧增大到限制电流的临界电压, 此电压比玻璃基板中央区域的要小. 在 IGZO 层或者源漏极金属层与栅极 Cu 金属层之间

积累到一定电荷的压降后, 栅极与 IGZO 层或者源漏极金属层之间瞬间形成电流通道, 导致器件失效, 甚至大面积烧伤.

根据以上的 ESD 失效机理, 为了提高 GOA 电路 ESD 鲁棒性, 工艺上可以提高 IGZO TFT 背板的 Cu 金属表面平坦性、Cu: SiN<sub>x</sub>/SiO<sub>2</sub> 界面结合的紧密性、栅极绝缘层 SiN<sub>x</sub>/SiO<sub>2</sub> 的厚度均匀性, 设计上可以分解大面积的栅极 Cu 金属块.

如表 1 所示, 把原来一分为二的 M2 TFT, 分解为 6 个子 TFT 并联和 8 个子 TFT 并联的结构. 一方面, 降低了栅极和源漏极的金属层密度, 降低同一个 TFT 内栅极 Cu 金属层和 SiN<sub>x</sub>/SiO<sub>2</sub> 栅极绝缘层厚度的起伏程度; 另一方面, 提高了 M2 TFT 失效区域的可切割修复能力.

表 1 GOA 区 M2 TFT 不同设计方案比较  
Table 1. Comparison of different design schemes of M2 TFT in GOA.

结构	2个子TFT	6个子TFT	8个子TFT
版图			
版图空间	274.5 μm × 259.2 μm	274.5 μm × 300.2 μm	274.5 μm × 351.2 μm
扫描线面积	53158.8	59647.3	65519.6
数据线面积	43155.8	46190.2	49248.2
扫描线密度	74.71%	72.4%	68%
数据线密度	60.7%	56.1%	51.1%

## 5 结 论

栅极 Cu:SiN<sub>x</sub>/SiO<sub>2</sub> 和有源层 IGZO 是实现大尺寸超高分辨率显示的基本组合. 该组合的一个风险是 IGZO TFT 器件易失效, 特别是 GOA 电路中大尺寸 IGZO TFT 容易发生 ESD 失效. 本文针对 GOA 电路中 IGZO TFT 的 ESD 失效发生区域, 分析了器件膜层结构的变化、栅极 Cu 离子在栅极绝缘层 SiN<sub>x</sub>/SiO<sub>2</sub> 中的扩散, 以及 ESD 传播路径上的 IGZO TFT 特性变化. 在 ESD 器件级分析中, 提出了栅极 Cu 金属在栅极绝缘层 SiN<sub>x</sub>/SiO<sub>2</sub> 中的扩散导致有效栅极绝缘层减小, 以及内建空间电荷效应导致 IGZO TFT 抗 ESD 应力能力的减弱. 在 ESD 系统级分析中, 提出 GOA 区与显示区金属层的密度比差异导致 GOA 区金属层平坦度较差, 玻璃基板周边 Cu 金属薄膜、SiN<sub>x</sub> 薄膜和 SiO<sub>2</sub> 薄膜的厚度非均匀性大导致 GOA 区的 IGZO TFT 抗 ESD 应力能力存在位置依存性, 如果尺寸大的 IGZO TFT 覆盖膜厚变化过渡区, 容易引起 ESD 失效. 相应地, 我们提出把大尺寸 IGZO TFT 拆分成多个子 TFT 的设计结构, 可以有效改善 ESD 失效现象.

## 参考文献

[1] Marko S, Geert H, Chen S H, Kris M, Dimitri L 2018 *Electrical Overstress/electrostatic Discharge Symposium* Reno, September 23-28, 2018 p1  
[2] Liu Y, Chen R, Li B, En Y F, Chen Y Q 2017 *IEEE Trans. Electron Dev.* **1-5** 99

[3] Tai Y H, Chiu H L, Chou L S 2013 *J. Disp. Technol.* **9** 613  
[4] Scholz M, Steudel S, Myny K, Chen S, Boschke R, Hellings G, Linten D 2016 *Electrical Overstress/electrostatic Discharge Symposium* Garden Grove, September 11-16, 2016 pp1-7.  
[5] Ning H L, Hu S B, Zhu F, Yao R H, Xu M, Zou J H, Tao H, Xu R X, Xu H, Wang L, Lan L F, Peng J B 2015 *Acta Phys. Sin.* **64** 126103 (in Chinese) [宁洪龙, 胡诗彝, 朱峰, 姚日晖, 徐苗, 邹建华, 陶洪, 徐瑞霞, 徐华, 王磊, 兰林锋, 彭俊彪 2015 物理学报 **64** 126103]  
[6] Kim L Y, Kwon O K 2018 *IEEE Electr. Device Lett.* **39** 43  
[7] Lin C L, Wu C E, Chen F H, Lai P C, Cheng M H 2016 *IEEE Trans. Electron Dev.* **63** 2405  
[8] Geng D, Chen Y F, Mativenga M, Jin J 2015 *IEEE Electr. Device Lett.* **36** 805  
[9] Chen W, Barnaby H J, Kozicki M N 2016 *IEEE Electr. Device Lett.* **37** 580  
[10] Choi Z S, Mönig R, Thompson C V 2007 *J. Appl. Phys.* **102** 387  
[11] Lee K W, Wang H, Bea J C, Murugesan M 2014 *IEEE Electr. Device Lett.* **35** 114  
[12] Xiang L, Wang L L, Ning C, Hu H, Wei Y, Wang K, Yoo S Y, Zhang S D 2014 *IEEE Trans. Electron Dev.* **61** 4299  
[13] Han K L, Ok K C, Cho H S, Oh S, Park J S 2017 *Appl. Phys. Lett.* **111** 063502  
[14] Tari A, Lee C H, Wong W S 2015 *Appl. Phys. Lett.* **107** 1679  
[15] Hung S C, Chiang C H, Li Y M 2015 *J. Display Tech.* **11** 640  
[16] Hu C K, Gignac L M, Lian G 2018 *IEEE International Electron Devices Meeting (IEDM)* San Francisco, December 1-5, 2018  
[17] Thermadam S P, Bhagat S K, Alford T L, Sakaguchi Y, Kozicki M N, Mitkova M 2010 *Thin Solid Films* **518** 3293  
[18] Toumi S, Ouennoughi Z, Strenger K C 2016 *Solid State Electron.* **122** 56  
[19] Christen T 2017 *IEEE T. Dielect. E. I.* **23** 3712  
[20] Choi S, Jang J, Kang H, Baeck J H, Bae J U, Park K S, Yoon S Y, Kang I B, Kim D M, Choi S J, Kim Y S, Oh S, Kim D H 2017 *IEEE Electr. Device Lett.* **38** 580  
[21] Jang J, Kim D G, Kim D M, Choi S J, Kim D H 2014 *Appl. Phys. Lett.* **105** 1117  
[22] Qiang L, Yao R H 2012 *Acta Phys. Sin.* **61** 087303 (in

Chinese) [强蕾, 姚若河 2012 物理学报 61 087303]  
 [23] Deng X Q, Deng L W, He Y N, Liao C W, Huang S X, Luo H  
 2019 *Acta Phys. Sin.* 68 057302 (in Chinese) [邓小庆, 邓联文,  
 何伊妮, 廖聪维, 黄生祥, 罗衡 2019 物理学报 68 057302]

[24] Wang W, Xu G W, Chowdhury M D H, Wang H, Um J K, Ji  
 Z Y, Gao N, Zong Z W, Bi C, Lu C Y, Lu N D, Banerjee W,  
 Feng J F, Li L, Kadashchuk A, Jang J, Liu M 2018 *Phys.*  
*Rev. B* 98 245

## Electro-static discharge failure analysis and design optimization of gate-driver on array circuit in InGaZnO thin film transistor backplane

Ma Qun-Gang<sup>1)2)</sup> Zhou Liu-Fei<sup>3)</sup> Yu Yue<sup>3)</sup>

Ma Guo-Yong<sup>3)</sup> Zhang Sheng-Dong<sup>1)2)†</sup>

1) (School of Electronic and Computer Engineering, Peking University, Shenzhen 518055, China)

2) (School of Electronics Engineering and Computer Science, Peking University, Beijing 100871, China)

3) (Nanjing CEC Panda FPD Technology Co., Ltd., Nanjing 210033, China)

( Received 27 February 2019; revised manuscript received 11 March 2019 )

### Abstract

There is a risk of InGaZnO thin film transistor (IGZO TFT) failure, especially electro-static discharge (ESD) damage of gate driver on array (GOA) circuits, due to the combination of Cu interconnect, InGaZnO (IGZO) active layer and SiN<sub>x</sub>/SiO<sub>2</sub> insulating layer used to realize large-scale ultra-high resolution display. It is found that the IGZO TFT damage position caused by ESD occurs between the source/drain metal layer and the gate insulator. The Cu metal of gate electrode diffuses into the gate insulator of SiN<sub>x</sub>/SiO<sub>2</sub>. The closer to the ESD damage area the IGZO TFT is, the more serious the negative bias of its threshold voltage ( $V_{th}$ ) is until the device is fully turned on. The IGZO TFT with a large channel width-to-length ratio ( $W/L$ ) in GOA circuit results in a serious negative bias of threshold voltage. In this paper, the ESD failure problem of GOA circuit in the IGZO TFT backplane is systematically analyzed by combining the ESD device level analysis with the system level analysis, which combines IGZO TFT device technology, difference in metal density between GOA region and active area on backplane, non-uniform thickness distribution of gate metal layer and gate insulator and so on. In the analysis of ESD device level, we propose that the diffusion of Cu metal from gate electrode into SiN<sub>x</sub>/SiO<sub>2</sub> leads to the decrease of effective gate insulator layer, and that the built-in space charge effect leads to the decrease of the anti-ESD damage ability of IGZO TFT. In the analysis of ESD system level, we propose that the density of metal layers in GOA region is 4.5 times higher than that in active area of display panel, which makes the flatness of metal layer in GOA region worse. The non-uniformity of thickness of Cu metal film, SiN<sub>x</sub> film and SiO<sub>2</sub> film around glass substrate lead to the position dependence of the anti-ESD damage ability of IGZO TFT in the GOA region. If there is a transition zone of film thickness change in IGZO TFT with large area, the ESD failure will occur easily. Accordingly, we propose to split large area IGZO TFT into several sub-TFT structures, which can effectively improve the ESD failure.

**Keywords:** Cu interconnect, electrostatic-discharge, InGaZnO thin film transistor, gate driver on array

**PACS:** 85.30.De, 77.22.Jp, 72.20.-i, 73.40.-c

**DOI:** 10.7498/aps.68.20190265

† Corresponding author. E-mail: zhangsd@pku.edu.cn