

硅纳米结构晶体管中与杂质量子点相关的量子输运

吴歆宇 韩伟华 杨富华

Quantum transport relating to impurity quantum dots in silicon nanostructure transistor

Wu Xin-Yu Han Wei-Hua Yang Fu-Hua

引用信息 Citation: *Acta Physica Sinica*, 68, 087301 (2019) DOI: 10.7498/aps.68.20190095

在线阅读 View online: <https://doi.org/10.7498/aps.68.20190095>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn>

您可能感兴趣的其他文章

Articles you may be interested in

基于石墨烯-钙钛矿量子点场效应晶体管的光电探测器

Field effect transistor photodetector based on graphene and perovskite quantum dots

物理学报. 2018, 67(11): 118502 <https://doi.org/10.7498/aps.67.20180129>

双量子点结构中Majorana费米子的噪声特性

Shot noise characteristics of Majorana fermions in transport through double quantum dots

物理学报. 2015, 64(16): 167302 <https://doi.org/10.7498/aps.64.167302>

氢化非晶硅薄膜晶体管的低频噪声特性

Low-frequency noise in hydrogenated amorphous silicon thin film transistor

物理学报. 2017, 66(23): 237101 <https://doi.org/10.7498/aps.66.237101>

量子气体中的输运行为

Transport phenomena in dilute quantum gases

物理学报. 2019, 68(4): 040302 <https://doi.org/10.7498/aps.68.20181966>

绝缘体上硅金属氧化物半导体场效应晶体管中辐射导致的寄生效应研究

Radiation induced parasitic effect in silicon-on-insulator metal-oxide-semiconductor field-effect transistor

物理学报. 2018, 67(21): 216102 <https://doi.org/10.7498/aps.67.20181372>

基于垂直晶体管结构的低电压并五苯光电探测器

Low-voltage pentacene photodetector based on a vertical transistor configuration

物理学报. 2015, 64(10): 108503 <https://doi.org/10.7498/aps.64.108503>

综述

硅纳米结构晶体管中与杂质量子点相关的量子输运*

吴敬宇¹⁾²⁾ 韩伟华^{1)2)†} 杨富华¹⁾²⁾

1) (中国科学院半导体研究所, 半导体集成技术工程研究中心, 北京市半导体微纳集成工程技术研究中心, 北京 100083)

2) (中国科学院大学, 材料与光电研究中心, 北京 100049)

(2019年1月18日收到; 2019年2月22日收到修改稿)

在小于 10 nm 的沟道空间中, 杂质数目和杂质波动范围变得十分有限, 这对器件性能有很大的影响. 局域纳米空间中的电离杂质还能够展现出量子点特性, 为电荷输运提供两个分立的杂质能级. 利用杂质原子作为量子输运构件的硅纳米结构晶体管有望成为未来量子计算电路的基本组成器件. 本文结合安德森定域化理论和 Hubbard 带模型对单个、分立和耦合杂质原子系统中的量子输运特性进行了综述, 系统介绍了提升杂质原子晶体管工作温度的方法.

关键词: 硅纳米结构晶体管, 杂质原子, 量子输运, 工作温度**PACS:** 73.20.Hb, 73.21.La, 73.23.Hk, 73.20.Fz**DOI:** 10.7498/aps.68.20190095

1 引言

集成电路特征尺寸不断缩小到纳米尺度, 短沟道效应、量子效应和热涨落等严重制约着器件的性能和功耗价值. 针对这些问题, 在 90—32 nm 技术节点的发展过程中采用了应变硅技术^[1]和高 k 值介电材料^[2], 在 22 nm 技术节点上, 采用 FinFET 结构将传统平面晶体管转向三维^[3]. 同时, 无结硅纳米线晶体管也被认为是未来亚 10 nm 硅基金属-氧化物-半导体场效应晶体管 (metal-oxide-semiconductor field-effect transistor, MOSFET) 一个重要的发展方向^[4, 5]. 集成电路正从等比例缩小的黄金时代 (happy scaling era) 走向后摩尔时代 (post-Moore era), 功耗驱动将作为集成电路技术的一个发展核心^[6], 为了寻求突破, 新型纳米结构器件得以发展. 但是, 基于漂移-扩散电流的传统晶体管理论已经不足以解释器件在极

端尺度下的工作机制^[7, 8], 超小器件尺寸带来的量子效应也越发的受到关注^[9, 10]. 当器件沟道尺寸小于电子的德布罗意波长时, 小尺寸方向上将出现一维限制, 能带发生量子化形成分立的子能带. 低温下, 当载流子能量小于子能带间距时, 在栅极电压的调制下, 载流子依次填充子能带参与导电. 沟道电导随着栅极电压呈台阶状增加, 为量子化电导. 目前已经有许多研究组对这样的一维子能带输运特征做出了相关的研究^[11–15].

随着晶体管的特征尺寸越来越接近其物理极限, 沟道内的杂质数量及其随机分布对器件的电学性能影响越来越显著^[16]. Colinge 研究组^[17]通过三维模拟的方式研究硅纳米线晶体管中离散杂质对量子输运特征的影响, 表明位于器件沟道中间的杂质原子对器件亚阈值特性的影响最大; 而当电压值大于阈值电压时, 距离源端更近的杂质原子对器件特性表现出更大的影响. 当掺杂浓度很高的时候, 电子的平均自由程比相邻杂质间的距离大, 因此,

* 国家重点研发计划 (批准号: 2016YFA0200503) 资助的课题.

† 通信作者. E-mail: weihua@semi.ac.cn

杂质间的相互作用将更加显著. Ueda 等^[18] 通过研究无结硅纳米线晶体管在高掺杂浓度下的迁移率变化, 表明当掺杂浓度达到 10^{19} cm^{-3} 时, 由于电离杂质电势被载流子屏蔽, 随着掺杂浓度的增大, 迁移率也增大.

在传统半导体器件中, 杂质一般是用来提供载流子, 掺杂的类型和浓度直接影响着器件的性能和参数. 而在有限的局域纳米空间中, 电离杂质能诱导形成量子点, 为电荷输运提供两个分立的杂质能级, 载流子隧穿通过量子点可以展现出丰富的量子效应^[19-21]. 杂质原子晶体管就是一种利用电离杂质诱导形成的量子点进行工作的纳米结构器件. 其中, 单杂质原子晶体管不仅能缩小到原子级尺度, 而且具有极少的载流子数目, 极有可能应用于超低功耗器件.

本文从利用杂质原子作为量子输运构件的角度出发, 结合安德森定域化理论和 Hubbard 带模型对单个、分立和耦合杂质原子系统中的量子输运特性进行了详细的阐述. 杂质原子晶体管不仅与传统互补金属氧化物半导体 (complementary metal oxide semiconductor, CMOS) 工艺兼容, 而且在未来量子电路中具有很大的应用可能性. 然而, 由于杂质原子的基态能级较浅, 难以将量子效应拓展到室温. 因此, 研究提升杂质原子晶体管工作温度的方法对量子计算电路开发具有重要的指导意义.

2 单杂质原子

当晶体管的特征尺寸达到 10 nm 左右时, 沟道内杂质原子的数目将变得很少, 甚至仅包含单个杂质原子. 处于这样一个局域纳米空间中, 杂质原子可以展现出量子点特性, 为电子输运提供离散的能级^[22-24].

2.1 单杂质原子形成单量子点

一个掺杂在硅中的施主原子有三个状态, 电离出电子形成的电离态 D^+ , 束缚一个电子形成的中性态 D^0 以及束缚两个电子形成的 D^- 态. 单个电离施主原子的静电势呈现出放射状, 在三维方向上形成对称的势阱结构^[19]. 因为电离态 D^+ 对应于一个空的能态, 所以在这个杂质的势阱中不存在它对应的电子态, 如图 1 所示. 当晶体管中的杂质原子作为一个量子点工作时, 电子可以共振隧穿通过

D^0 和 D^- 两个量子态. 其可以表述为: 电离施主在沟道中形成一个库仑势阱, 类似于一个天然的量子点结构. 在栅压调制下, 费米能级 E_F 逐渐升高, 杂质原子表现为从电离态 D^+ 到中性态 D^0 再到负电态 D^- 的转变.

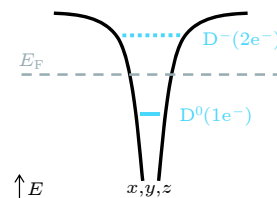


图 1 电离杂质形成的势阱结构^[19]

Fig. 1. Confinement potential induced by ionizing impurity^[19].

2.2 依赖单杂质量子点的输运特性

图 2 为理想单杂质晶体管的基本结构和工作原理图^[25], 源区和漏区 n 型掺杂, 硅纳米线沟道连接源区和漏区, 且沟道中只有一个施主原子. 施主原子产生电离时, 可以认为沟道区中的电子被耗尽. 当栅极电压正向移动时, 施主的基态能级将逐渐对准源漏端的费米能级, 电子通过隧穿在源端和漏端输运. 在低温下, 载流子的热激活受到抑制, 在转移特性曲线中可以观测到一个电流峰. 这种电子输运机理与单电子晶体管中的库仑阻塞效应十分相似.

随着半导体技术的不断发展, 扫描隧道显微镜技术 (scanning tunneling microscope, STM) 的出

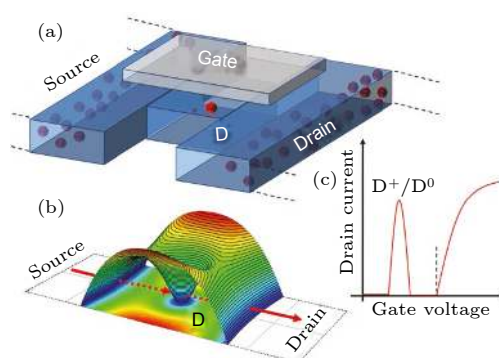


图 2 理想单杂质晶体管的基本结构和工作原理图 (a) 单杂质晶体管结构示意图; (b) 施主原子调制源端到漏端的单电子隧穿; (c) 低温下单杂质晶体管的转移特性曲线^[25]

Fig. 2. Structure and schematic diagram of the ideal single-dopant transistor: (a) Schematic illustration of single-dopant transistor; (b) donor mediates single-electron tunneling from source to drain; (c) transfer characteristics for single-dopant transistor in the low temperature^[25].

现为研究杂质原子晶体管提供了更为精确的方法, 其优点在于能够在原子尺度分辨率上进行精确定位. 在硅器件中精确放置的单个杂质原子具有很长的自旋相干和自旋弛豫时间^[26, 27], 这种硅基器件可能在固态量子计算体系中具有很大的应用前景. 澳大利亚新南威尔士大学 Fuechsle 研究组^[28] 利用 STM 在氢钝化的硅表面制备出单原子晶体管, 其能在精确度高达 ± 1 个原子间距内定位单个磷原子, 器件结构如图 3 所示. 在液氮温度下, 观测到单个磷原子在 D^+ (电离态)、 D^0 (中性态) 以及 D^- (负电态) 之间的转变, 证明了在硅衬底上操控

单个杂质原子的可行性. 单原子晶体管依赖单个杂质原子作为量子点工作, 代表了固态器件的最终尺度极限.

虽然 STM 技术能够精确定位单个杂质原子, 但是其工艺过程相对复杂, 并不适合大规模的生产. 基于 CMOS 工艺中的传统掺杂技术, Tabe 研究组^[29] 制备出不同沟道长度 (20—150 nm) 的器件, 如图 4(a) 和 (d) 所示. 通过开尔文力显微镜 (Kelvin force microscope, KFM) 测量其沟道电势分布, 发现纳米线器件沟道中心区域由于周围杂质的累积效应存在最低的电势, 图 4(b), (e) 为模拟的沟道电势分布图. 在 17 K 下, 通过分别测量栅长为 20 nm 和 140 nm 的器件中源漏电流 (I_{sd}) 相对于栅压 (V_g) 的特性曲线, 来研究不同沟道长度的磷掺杂纳米线器件中的单电子输运特性, 发现在 $I_{sd} - V_g$ 特性曲线中存在非周期性的电流振荡, 这是因为单电子隧穿通过电离杂质诱导形成的量子点, 如图 4(c) 和 (f). 短沟道器件中的电流峰比较平滑, 而在长沟道器件中则存在分裂的电流子峰. 这说明在长沟道中存在多个量子点形成的阵列, 分裂的电流峰子数目对应于量子点的个数.

通过实验统计不同沟道长度 (20—150 nm) 器

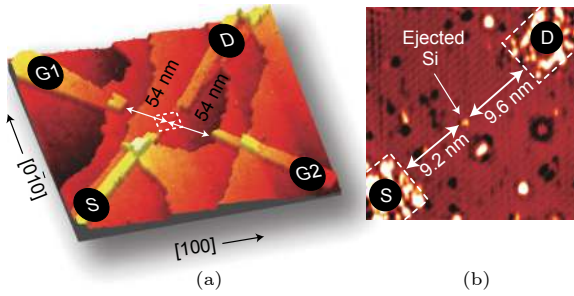


图 3 (a) 单原子晶体管器件结构 STM 图像; (b) 局部放大图^[28]

Fig. 3. (a) Perspective STM image of single-atom transistor; (b) close-up of the inner device area^[28].

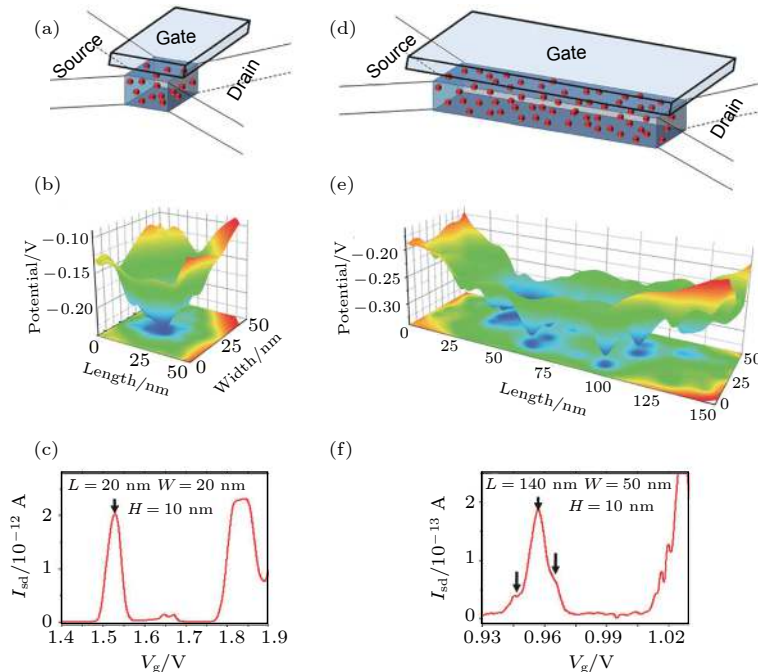


图 4 (a) 短沟道器件示意图; (b) 短沟道器件电势分布图; (c) 短沟道器件 $I_{sd} - V_g$ 特性曲线 ($V_{sd} = 5$ mV); (d) 长沟道器件示意图; (e) 长沟道器件电势分布图; (f) 长沟道器件 $I_{sd} - V_g$ 特性曲线 ($V_{sd} = 5$ mV)^[29]

Fig. 4. (a) Schematic channel structure; (b) example of simulated potential profile; (c) example of dc $I_{sd} - V_g$ characteristics ($V_{sd} = 5$ mV) for a short-channel FET; (d) schematic channel structure; (e) example of simulated potential profile; (f) example of dc $I_{sd} - V_g$ characteristics ($V_{sd} = 5$ mV) for a long-channel FET^[29].

件的 $I_{sd} - V_g$ 特性曲线中第一个电流峰包含的子峰个数, 发现子峰个数整体表现出随着沟道长度增加而增加的趋势, 如图 5(a) 所示. 接着模拟统计不同沟道长度 (20—150 nm) 器件中量子点的个数, 发现和实验统计结果相吻合, 如图 5(b) 所示. 这不仅说明电离杂质诱导形成的量子点个数可以由沟道长度控制, 而且在较低的电势窗口下, 一个量子点中平均只含有一个杂质原子, 如图 5(c) 所示. 这种通过传统掺杂技术制备的纳米结构晶体管不仅在实验上证明了即使在随机掺杂的环境中, 单电子也能通过单个或者几个杂质原子诱导形成的量子点进行隧穿输运. 而且当器件沟道长度足够短时, 沟

道中很可能只存在一个杂质原子, 这为运用传统掺杂技术制备单杂质晶体管提供了思路.

3 分立的杂质原子系统

器件沟道中往往不只含有一个杂质原子, 随着沟道中杂质原子数目增多, 量子态是否发生交叠取决于杂质原子的间距, 而杂质原子的平均间距取决于掺杂浓度. 在低掺杂浓度下, 杂质间距较大, 沟道中的杂质处于分立状态.

3.1 分立杂质原子系统中的量子输运特性

采用传统的掺杂技术, 掺杂原子在沟道中满足泊松分布. 以磷原子为例, 当掺杂浓度较小时 (一般约为 $1 \times 10^{18} \text{ cm}^{-3}$), 磷原子之间的平均距离 (大约 10 nm) 大于 $2r_B$ (r_B 为磷原子在硅中的玻尔半径). 此时可以认为磷原子之间相互隔离, 每个杂质原子局部调制沟道电势. Anwar 等^[30] 通过在低温 ($T = 13 \text{ K}$) 下用开尔文探针力显微镜 (Kelvin probe force microscope, KPFM) 测量器件沟道电势分布, 发现在负栅压下 ($V_{BG} = -3 \text{ V}$) 分立的杂质原子形成独立的势阱结构, 如图 6(a) 所示. 当 V_{BG} 正向移动, 势阱逐渐消失, 并且在 $V_{BG} = 0 \text{ V}$ 时不再具有明显的电势分布特征. 结合图 6(b), 这种情况可以解释为每个分立的电离施主原子自身作为量子点工作, 随着栅极电压增大, 这些分立的施主原子将连续俘获电子.

在低掺杂浓度下 ($1 \times 10^{18} \text{ cm}^{-3}$ 左右), 杂质原子的平均间距较大, 从统计分布的角度上来说不太可能形成杂质原子团簇, 单个分立的杂质原子自身就能够作为一个量子点工作. 对于长沟道器件而言, 沟道中含有多个这样分立的杂质原子, 电子在源区和漏区之间的输运只能依赖隧穿通过电容耦合的杂质原子阵列. 当器件沟道足够短的时候, 沟道中可能只含有一个杂质原子, 此时电子的输运特性就是由单个电离杂质诱导形成的量子点进行调控. 运用热扩散掺杂技术对 SOI-FETs 进行磷原子掺杂, 通过在低温下测量 $I_D - V_G$ 特性曲线, 可以研究电子在分立杂质原子系统中的输运特征^[31]. 如图 7(a) 所示, $I_D - V_G$ 特性曲线中的电流峰表现出非周期性, 且每个电流峰的强度也不相同. 由此说明, 这些电流峰对应于不同的量子点, 进而可以得出,

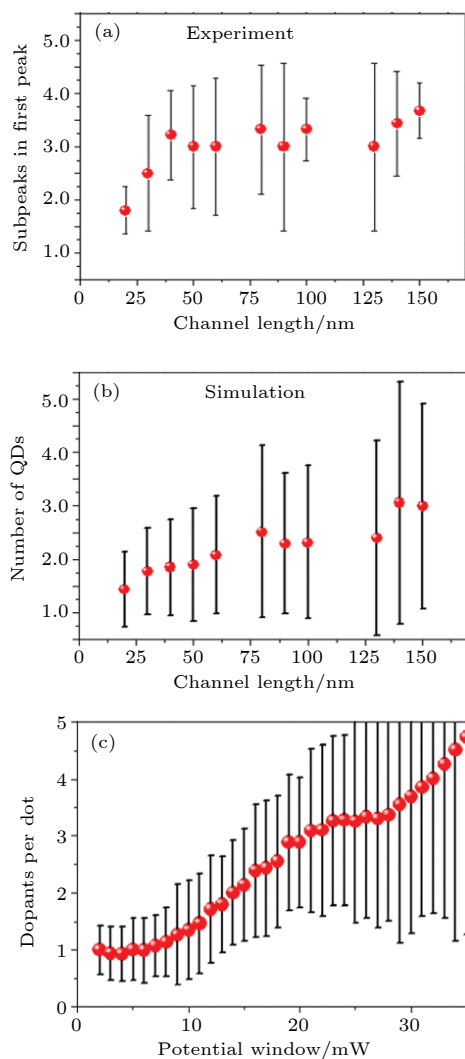


图 5 (a) 不同沟道长度下分裂峰个数的实验统计; (b) 不同沟道长度下量子点个数的模拟统计; (c) 50 nm × 50 nm 纳米结构中一个量子点中的平均杂质数目^[29]

Fig. 5. (a) Statistical results of the number of subpeaks; (b) statistical results of the number of dopant-induced QDs; (c) average number of dopants embedded in one QD for 50 nm × 50 nm nanostructures^[29].

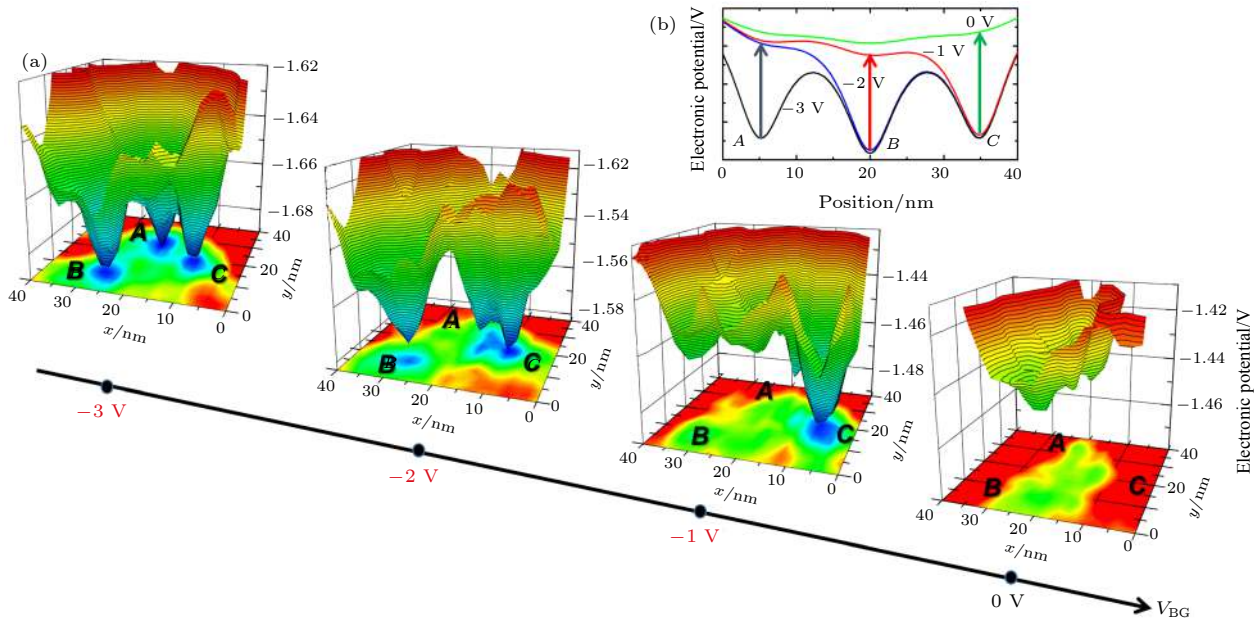


图 6 (a) 低温下随栅压变化的电势分布图; (b) 分立的磷施主原子在不同栅压下逐个电中性化^[30]
 Fig. 6. (a) Sequence of electronic potential landscapes as a function of applied V_{BG} ; (b) a simple illustration of one-by-one neutralization of individual P-donors at different V_{BG} ^[30].

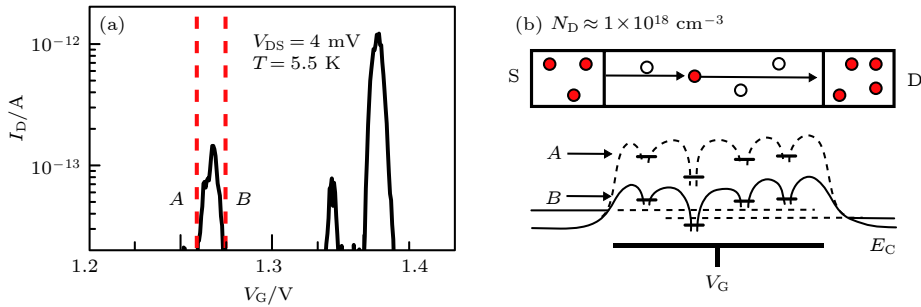


图 7 (a) SOI-FET 低温下的 I_D - V_G 特性曲线; (b) 沟道中可能的杂质原子分布以及沟道电势分布示意图^[31]
 Fig. 7. (a) Low-temperature source-drain current (I_D) vs. gate voltage (V_G) characteristics; (b) one possible P-donors' distribution and schematic channel potential profiles^[31].

每个量子点是由不同的分立杂质原子形成. 图 7(b) 为掺杂磷原子在沟道中可能形成的分布情况, 以及其对应的沟道电势分布示意图. 从图 7(b) 中可以看出, 每个分立的杂质原子在沟道中形成一个独立的库仑势阱, 量子点之间相互隔离. 当施加特定的栅压 V_G , 具有最深电势的量子点的基态能级与源漏端的费米能级 (E_F) 对准, 电子隧穿通过这个量子点, 在 I_D - V_G 特性曲线中出现第一个电流峰. 当栅压 V_G 小于电流峰处的电压值 (对应于图 7 中的 A 区), 沟道中的电子是耗尽的; 当栅压 V_G 大于电流峰处的电压值 (对应于图 7 中的 B 区), 电子被这个量子点俘获. 继续升高栅压 V_G , 其他量子点的基态能级逐渐对准源漏端的费米能级 E_F , I_D - V_G

特性曲线中将出现新的电流峰.

3.2 与温度相关的电子跃迁输运

在分立的杂质原子系统中, 沟道中杂质的间距较大, 量子态没有发生交叠. 随机分布的杂质可以认为处于无序的状态, 载流子可以通过跃迁在分立的杂质原子系统中进行输运. 在非零温度下, 电子可以从一个杂质定域态跃迁到另一个杂质定域态, 这种跃迁输运方式受温度的影响.

安德森提出在无序系统中电子运动定域化的概念, 称为安德森定域化^[32, 33], 无序系统电子能态密度示意图如图 8 所示. 在带顶和带底区域出现带尾, 在带尾区域中的电子态为定域态, 带中间区域的电子态为扩展态, 它们之间的分界 E_c 和 E'_c 称为

迁移率边, 迁移率边的概念由莫特提出. 系统的总电导主要来自费米面附近电子的贡献, 当 E_F 位于扩展态区域, 材料表现出金属导电性; 当 E_F 位于定域态区域, 材料呈现非金属性质. 改变条件, 例如改变电子浓度, 使填充能带的费米能级 E_F 位置不同; 或者改变无序度, 使迁移率带边位置移动, 就可能使费米能级从定域态区域经过迁移率边进入扩展态区域, 从非金属型转变成金属型, 反之亦然. 这类金属-绝缘体转变称为安德森转变.

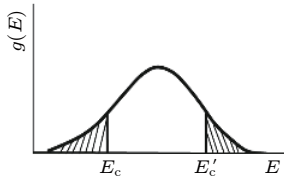


图 8 无序系统中的带尾定域态^[32]

Fig. 8. Tailed localized states in disordered systems^[32].

分立的杂质原子系统被认为是无序的, 可以运用安德森定域化来解释分立杂质原子系统中电子输运行为随温度的变化. 图 9(a) 和 (b) 分别为弱杂质补偿和强杂质补偿情况下 n 型半导体的能带和定域态空间分布示意图. 图中的短划线代表施主原子的能级, 圆圈代表局域在能级上的电子, E_c 为导带底, E_0 是单个分立施主原子的电离能, μ 代表费米能级的位置^[34].

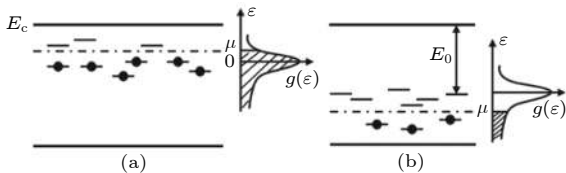


图 9 弱杂质补偿和强杂质补偿情况下的能带和定域态空间分布示意图 (a) 弱杂质补偿; (b) 强杂质补偿^[34]

Fig. 9. Schematic representation of the energy and space distribution of the localized states in the case of weak (a) and strong (b) compensation^[34].

杂质补偿是电子从一个被占据的施主原子上跃迁到一个空的施主能级上的一项必要条件, 因为在 $T = 0$ 时, 空的能态需要由杂质补偿提供. 从图 9 可以看出, 无论在强或弱杂质补偿的情况下, 费米能级都有可能出现在带尾区域, 即处于定域态范围内. 在分立的杂质原子系统中可以认为单个分立的杂质原子是一个定域中心, 在低温下电子被局域在杂质原子上, 随着温度的升高, 电子可以借助声子

的作用, 实现在不同定域态之间的转移, 即电子在不同杂质原子间进行跃迁输运. 此时电导率随温度升高表现出热激活的性质, 电阻温度系数为负值, 称这种情况为费米玻璃 (Fermi glass)^[35].

电子的跃迁方式分为可变程跃迁和最近邻跃迁^[36], 在极低的温度下, 电子获得的热激活能很小, 不足以跨越势垒进行输运, 电子倾向于在能量相近的能级之间做变程跃迁. 但是定域态的能量无规则地分布在相当宽的能量范围内, 相邻的定域中心之间往往有较大的能量差, 只有在更远的距离才可能找到能量相近的定域中心, 对应于图 10(a). 根据文献 [37, 38], 可变程跃迁的跃迁距离 r 和跃迁概率 P 满足如下关系式:

$$P \propto \exp\left(-\frac{2r}{a} - \frac{\Delta E}{kT}\right), \quad (1)$$

式中 a 为局域化长度, ΔE 为两个定域态之间的能量差. 电子从一个定域态跃迁到另一个定域态时, 必须吸收或放出一个能量等于 ΔE 的声子来满足能量守恒. ΔE 与态密度 g_0 和跃迁距离 r 的关系为

$$\Delta E = \left(g_0 \frac{4}{3} \pi r^3\right)^{-1}. \quad (2)$$

将 (2) 式代入 (1) 式, 对跃迁距离 r 求导, 当 $\frac{dP}{dr} = 0$, 求得跃迁几率的最大值, 此时对应的跃迁距离 r_0 可以表示为

$$r_0 = \left(\frac{9a}{8\pi g_0 k_B T}\right)^{\frac{1}{4}}. \quad (3)$$

由 (3) 式可见, 跃迁距离随温度的升高而减小. 电子输运状态从“冻结”的 Wigner-like 系统向费米玻璃 (Fermi glass) 转变, 逐渐表现为热激活输运过程. 当温度升高到某一临界温度, 电子输运方式转变为最近邻跃迁, 该跃迁过程发生在最近邻的定域中心之间, 对应于图 10(b). 此时, 用 d 代表最近邻定域中心的平均间距, 设无序体系的杂质浓度为 N , 根据平均间距条件 $\frac{4}{3} \pi d^3 N = 1$, 可得最近邻跃

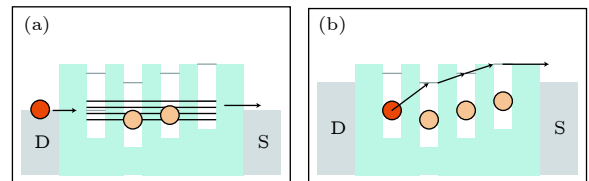


图 10 电子的跃迁方式 (a) 可变程跃迁; (b) 最近邻跃迁^[38]

Fig. 10. Hopping modes of the electron: (a) Variable range hopping; (b) nearest neighbor hopping^[38].

迁距离 $d = \left(\frac{3}{4\pi N}\right)^{\frac{1}{3}}$. 当可变量程跃迁距离 r_0 和最近邻跃迁距离 d 相等时, 对应于两种跃迁方式的转变温度 T_C .

4 耦合的杂质原子系统

当杂质原子随机分布在沟道中时, 相距较近的杂质原子能相互耦合, 量子态发生交叠. 借助杂质原子间的耦合作用, 能实现更为多功能和更实用的量子电子器件.

4.1 耦合杂质原子系统中的量子输运特性

当器件沟道中的掺杂浓度逐渐提高到金属-绝缘体转变 (metal-insulator transition, MIT) 浓度以上时, 杂质原子间距逐渐减小, 它们之间存在着强烈的相互作用, 电子波函数发生交叠. 这里考虑沟道磷原子掺杂浓度在 $1 \times 10^{19} \text{ cm}^{-3}$ 左右时的情形^[39], 可以认为磷原子之间的距离小于 $2r_B$ (r_B 为磷原子在硅中的玻尔半径). 如图 11 所示, 运用开尔文探针力显微镜能分别测量出低掺杂浓度和高掺杂浓度下, 施主原子在器件沟道中形成的电势分布情况. 对比得出, 随着掺杂浓度的升高, 杂质原

子之间相互靠近, 沟道中的电势不再是由单个分立的电离杂质局部调制, 而是周围所有杂质原子电势的叠加. 在这样高的掺杂浓度下, 相邻杂质原子间发生强烈的耦合, 含有多个杂质原子的原子团簇形成量子点. 同时, 需要采用选择性掺杂技术^[40]将这个由原子团簇形成的量子点与源漏区隔离, 以保证沟道的耗尽.

电子在多杂质原子耦合系统中的输运特性与在分立杂质原子系统中的情形不同^[31]. 如图 12(a) 所示, 随着栅极电压 V_G 增大, 电子通过量子点的隧穿输运不再是独立的电流峰, 而是表现为多个电流峰包络. 这表明含有多个杂质的量子点中存在更为复杂的能态, 磷原子通过强烈的相互作用形成一个类分子的系统, 引起束缚和抗束缚态^[40]. 当栅压 V_G 大于第一个电流峰包络处的电压值 (图 12 中 B 区), 对应于一个电子被这个量子点俘获, 后面出现的电流峰包络则为另一个电子隧穿通过同一个量子点. 如图 12(b) 所示, 采用选择性掺杂技术对沟道区域进行局部掺杂, 沟道中的电势分布将发生改变, 杂质原子在耦合作用下形成能态更复杂的量子点.

若是将耦合杂质原子系统中的每个杂质原子

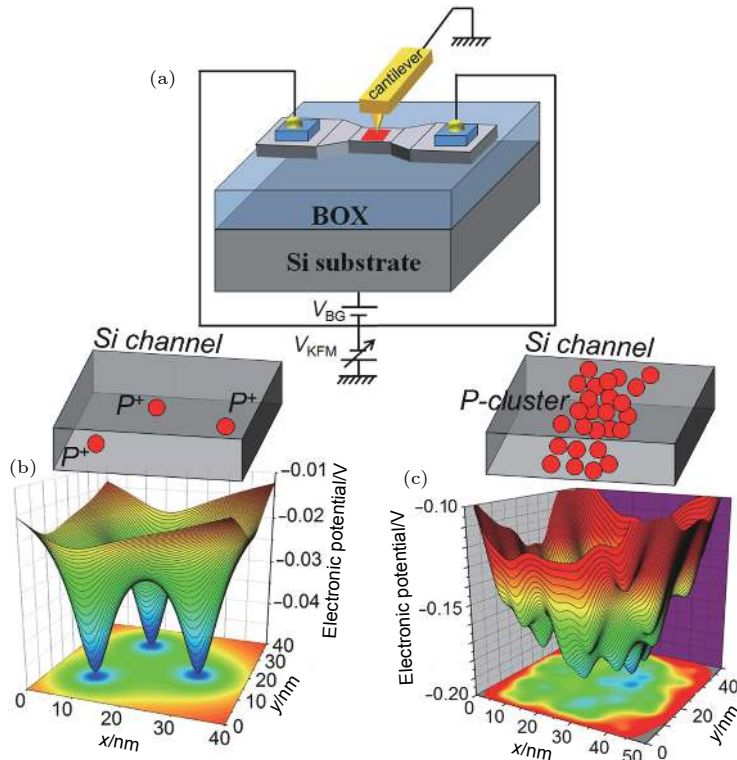


图 11 (a) 开尔文探针力显微镜测量 SOI-FETs 的结构示意图; (b), (c) 不同掺杂浓度下, 施主原子形成的电势分布图^[39]

Fig. 11. (a) Schematic of KPFM measurement setup; (b), (c) potential distribution of donor atoms at different doping concentrations^[39].

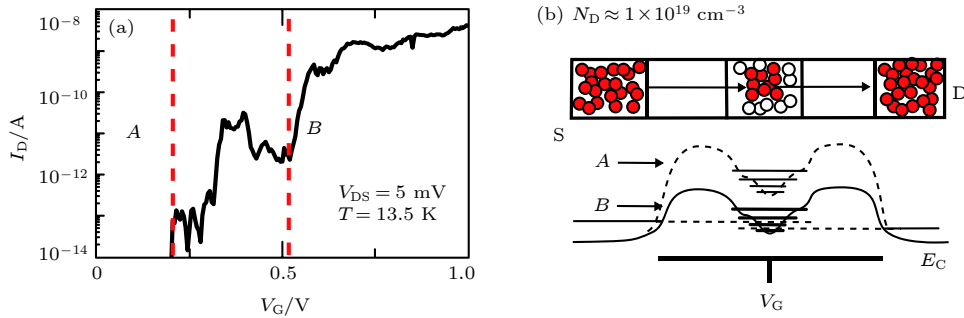


图 12 (a) SOI-FET 低温下的 I_D - V_G 特性曲线; (b) 选择性掺杂沟道中可能的杂质原子分布以及沟道电势分布示意图^[31]

Fig. 12. (a) Low-temperature source-drain current (I_D) vs gate voltage (V_G) characteristics; (b) a possible P-donors' distribution and schematic channel potential profiles in the selective doping channel^[31].

都看成是一个量子点, 当沟道中存在 N 个量子点, 量子点之间通过耦合形成一个量子点系统. 这个量子点系统中对应的能级分裂为 N 个, 分立的能级间距大小对应于耦合能 Δ , 当量子点数目 N 较大时能级扩展为能带. 电子在栅压调制作用下, 首先填充基态能带中的最低能级, 系统费米势增加一个耦合能大小的能量时, 电子填充能带中的第二个能级, 在基态能带填满之后, 电子需要一个较大的能量 ($U - N\Delta$) 才能填充下一个能带, U 为量子点系统的充电能. 电导峰在耦合作用下分裂为一系列的子峰, 子峰的个数对应量子点数目. 劈裂子峰对应的栅压间隔 ΔV_g 与耦合能的关系如下^[41]:

$$\Delta V_g = \frac{2C_\Sigma}{qC_g} \Delta, \quad (4)$$

式中的 C_Σ 和 C_g 分别对应量子点的总电容和栅极电容, 耦合能增大时, 分裂子峰之间的栅压间隔增大. 纳米尺度下的量子输运特性不仅受杂质原子数目的调制, 和杂质原子的排布方式也有关系, 有序排布的杂质原子不仅能够有效改善阈值电压波动^[42], 还能影响电子的输运方式.

4.2 Hubbard 能带输运方式

在耦合的杂质原子系统中, 当杂质原子排列相对有序时, 电子则可以通过 Hubbard 能带进行输运. 当每个原子的局域态上存在着两个自旋相反的电子时, 电子之间将存在库仑排斥作用, 从而电子之间具有正的相关能 U (也称为 Hubbard 能). ϵ_0 表示第一个电子的能量, $\epsilon_0 + U$ 表示第二个电子的能量, 当 N 个原子相互靠近排列成晶格时, 能级展宽为能带, 分别称为下 Hubbard 带和上 Hubbard 带^[43]. 图 13 给出了 Hubbard 能带模型

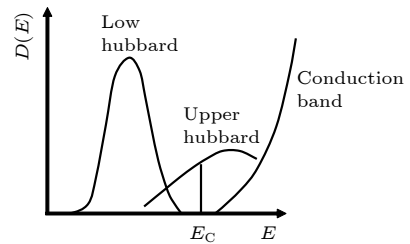


图 13 Hubbard 能带模型^[43]

Fig. 13. Hubbard band model^[43].

示意图, 当相邻电子波函数重叠很小时, 能带宽度很窄, 上、下 Hubbard 带是分离的, 下 Hubbard 带是满带, 上 Hubbard 带是空带, 呈现绝缘体性质. 当原子逐渐靠近, 上、下 Hubbard 带发生交叠, 都变成部分填充的能带, 呈现金属电导的性质. 这种由上、下 Hubbard 带引起的金属-绝缘体转变, 称为 Mott 转变.

耦合杂质原子系统中的量子输运特性可以用 Hubbard 能带模型来解释. 前面已经提到, 单个电离施主原子中存在 D^0 态和 D 态, 在高掺杂浓度下, 杂质原子之间相互靠近, D^0 态和 D 态分别通过耦合形成下、上 Hubbard 带. 在较低栅压下, 电子通过下 Hubbard 带输运, 随着栅极电压逐渐增大, 电子还可以通过上 Hubbard 带输运. 在 I_D - V_G 特性曲线中不再是单个分立的电流峰, 而是多个电流峰包络, 即电子不再是隧穿通过杂质量子点, 而是通过杂质原子耦合形成的能带进行输运. Shinada 研究组^[44] 运用单离子注入技术在晶体管中注入 2, 4, 6 个砷原子, 在低温下观测到了这种电子输运方式的转变. 单离子注入技术能够精确控制掺杂原子在器件中的个数和位置, 通过控制杂质原子的间距, 可以在低温下观察到安德森-莫特转

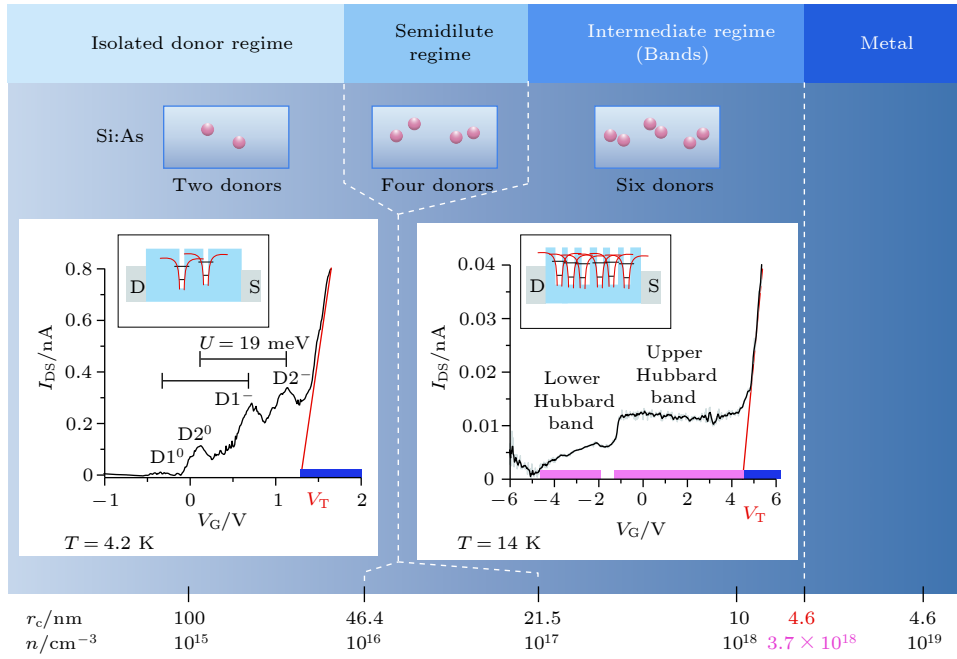


图 14 不同杂质数目下的量子输运特征, 从单施主态到杂质带的安德森-莫特转变^[44]
 Fig. 14. Anderson-Mott transition probed by means of quantum transport^[44].

变现象.

如图 14 左所示, 在低温下观测到电子顺序隧穿通过两个施主原子的 D^0 态和 D^- 态, 表现为相互交叠的电导峰对. 峰的对数对应于施主原子的数量, 且每个施主原子 D^0 态和 D^- 态的能级间隔大约为 19 meV. 如图 14 右所示, 在有 6 个施主原子的样品中观测到 Hubbard 能带的形成, 说明随着注入原子数目的增多, 单一的杂质能级逐渐扩展为杂质能带, 电子输运方式从隧穿转变为 Hubbard 能带输运.

单离子注入技术相比于传统掺杂技术, 其优势是可以让杂质原子更为有序地排列. 该组通过单离子注入技术在硅晶体管沟道中形成一条大约由 20 个磷原子组成的 1 μm 长的原子链, 这条原子链在低温下表现为一个单量子系统, 图 15(a) 为理想的磷原子沿沟道分布的示意图. 这条阵列排布的杂质原子链将量子输运扩展到微电子器件中更为宏观的距离, 原先只能在纳米尺度下观测到的 Hubbard 能带量子输运特征通过这条长原子链也能观测到. 图 15(b) 中出现的电导峰是由于施主原

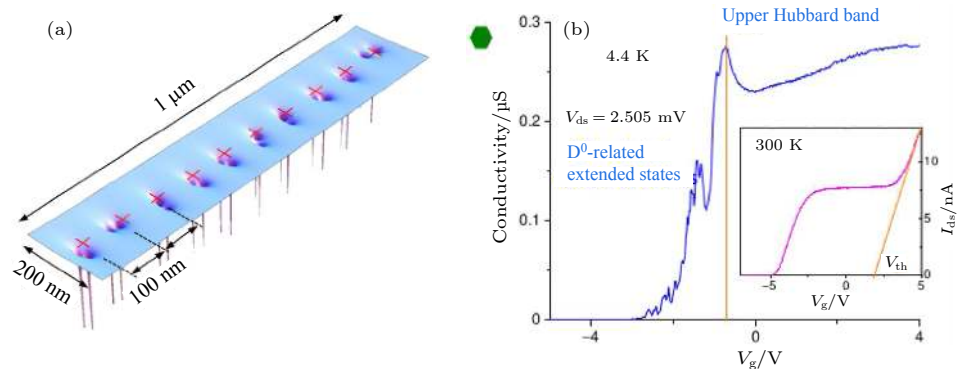


图 15 (a) 沿沟道分布的 20 个磷施主原子中电势分布的理想示意图; (b) $V_{ds} = 2.505$ mV 时, 在 4.4 K 下测量的器件电导-栅压曲线. 插图: $V_{ds} = 2.505$ mV 时, 室温下提取的阈值电压^[45]

Fig. 15. (a) An idealized representation of the potential distributions in the 20 phosphorous donors distributed along the channel of the sample; (b) conductance σ of the device probed at 4.4 K measured at $V_{ds} = 2.505$ mV. Inlet: extraction of the threshold voltage at room temperature, at $V_{ds} = 2.505$ mV^[45].

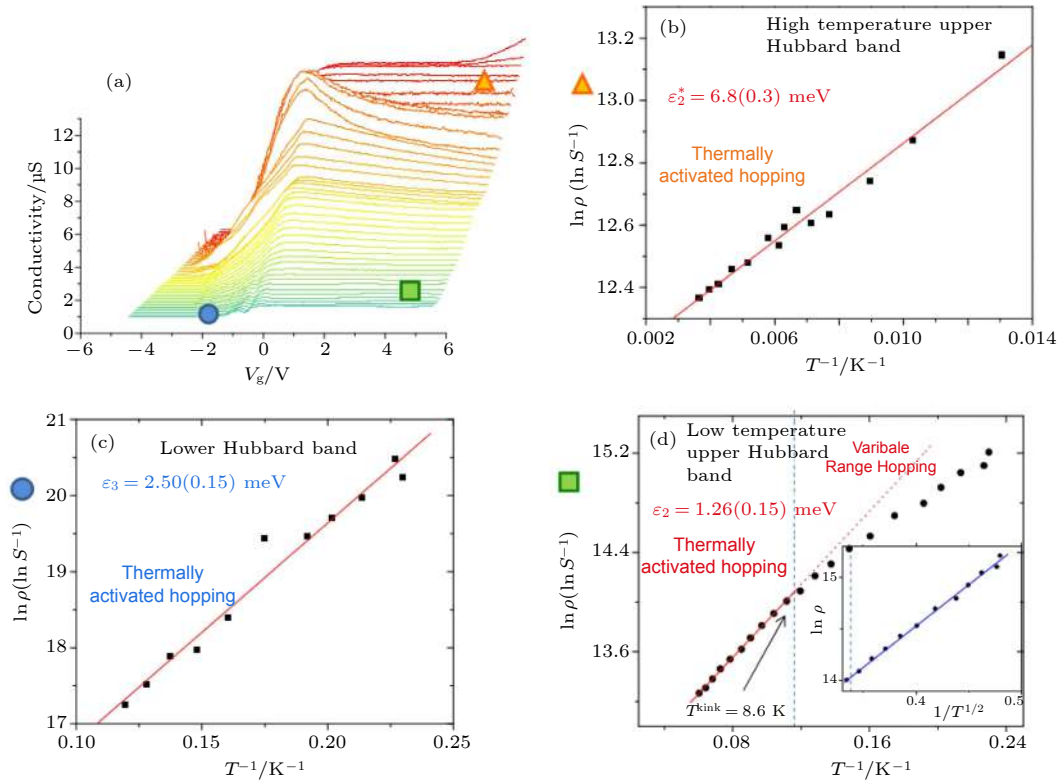


图 16 (a) 4.2—274 K 温度区间下的电导-栅压曲线; (b) 高温上下 Hubbard 带的热激活运输; (c) 低温下下 Hubbard 带的热激活运输; (d) 低温上下 Hubbard 带的热激活运输^[45]

Fig. 16. (a) The conductance as a function of the gate voltage V_g from 4.2 to 274 K; (b) the thermal activation of the upper Hubbard band at high temperature; (c) the thermal activation of the lower Hubbard band at low temperature; (d) the thermal activation of the upper Hubbard band at low temperature^[45].

子 D^0 态的电子波函数在与界面态的杂化作用下发生扩展, 电子有序地隧穿通过这条长原子链. 而随着栅极电压增大, 在 D 态的电子波函数扩展下, 能够观测到上 Hubbard 能带的形成^[45].

如图 16(a) 所示, 通过测量这条单原子链器件的电导-栅压特性曲线, 发现不同温度区间下的电子运输过程对应不同的激活能. 如图 16(c), (d) 所示, 低温区间下, 随着温度升高, 电子从隧穿运输逐渐转变为定域态之间的热激活运输. 根据 Mott 理论, 还可以得出下 Hubbard 能带的激活能为 ε_3 , 这个激活能相当于相邻定域中心之间的能量差. 而对于上 Hubbard 能带, 可以观测到可程跃迁和最近邻跃迁间的转变, 通过拟合可以得到其对应的激活能 ε_2 . 如图 16(b) 所示, 在高温区间下, 根据 Anderson 理论, 原子链表现为随机势能, 在费米能级附近的热辅助跃迁转变为到迁移率带边的非跃迁激活, 上 Hubbard 能带电子离域化且具有更高的激活能 ε_2^* , 从而上 Hubbard 能带在室温

下也能观测到.

5 室温工作的纳米结构晶体管

量子点是一种重要的低维半导体材料, 通过纳米加工手段在器件中形成一个库仑岛, 电子只有通过量子力学中的隧穿运输进出小岛, 表现为库仑阻塞效应. 这个人造库仑岛即可以被认为是一个量子点, 用它可以控制单电子的隧穿过程以及探测库仑岛中不同电子状态的能量谱. 很多研究组采用不同的方法在室温下观测到单电子隧穿通过量子点的行为. 其中包括在表面粗糙的硅纳米线中自形成的量子点^[46]、通过材料合成形成具有量子点特性的硅纳米晶体^[47, 48]或者通过特定图形曝光及氧化形成点接触式的量子点^[49]等.

法国低温纳米科学研究所 Sanquer 研究组^[50]采用高 k 值/金属栅堆叠 CMOS 技术制备宽度为 20 nm 和宽度小于 7 nm 的三栅硅纳米线晶体管. 通过对比发现, 宽度小于 7 nm 的器件虽然表现出

良好的静电控制能力,但是在室温下观测到这其中一部分纳米线晶体管的电子输运行为从场效应晶体管运输特性转变为单电子晶体管运输特性.产生这种情况的原因是刻蚀后的硅纳米线具有不同大小的粗糙程度且其在沟道中随机分布.当纳米线表面粗糙度较大时,沟道电势将变得无序,对电子的限制作用加大,能在更高的温度下表现出库仑阻塞效应.此外,该研究组还运用标准 CMOS 工艺制备出沟道直径为 3.4 nm、栅长为 10 nm,栅极氧化层厚度为 7 nm 的 Ω 形栅极硅纳米线晶体管.在源/漏和沟道区域之间引入较长的间隔物 (25 nm) 使沟道与电极之间分隔开,以此来增强量子限制和库仑相互作用,进而能在 4.2 K 到室温的范围内观察到电子通过量子点的输运行为^[51].

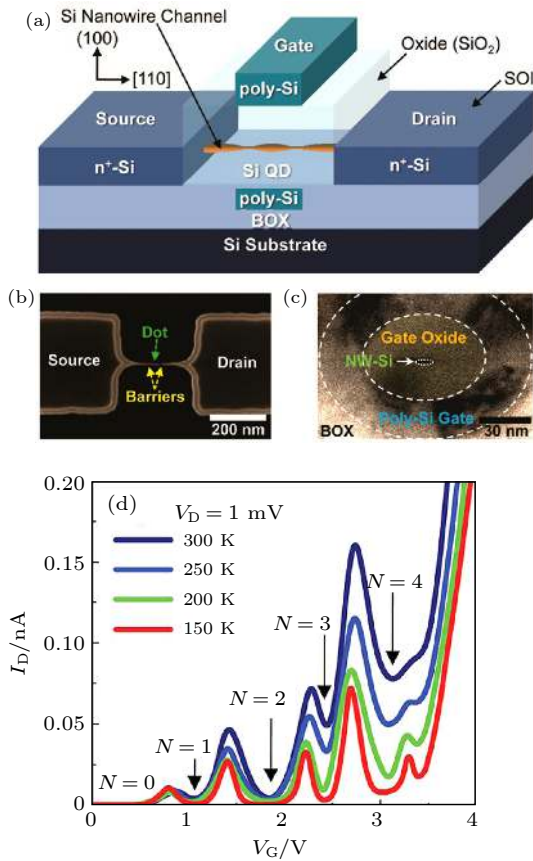


图 17 (a) 单电子晶体管结构示意图; (b) 化学湿法腐蚀后硅纳米线扫描电子显微镜 (SEM) 图; (c) 形成围栅 GAA 结构后硅纳米线透射电子显微镜 (TEM) 图; (d) 制备的单电子晶体管在 150—300 K 下的 I_D - V_G 特性曲线^[52]

Fig. 17. (a) Schematic configuration of the fabricated Si SET; (b) scanning electron microscopy image of the Si nanowire after chemical wet-etching; (c) transmission electron microscopy image of the Si nanowire after fabricating the GAA structure; (d) I_D - V_G characteristic curves of the fabricated SET at $T = 150$ – 300 K^[52].

为了让量子点中的能级间隔大于室温下的温度热能, Lee 等^[52]通过湿法腐蚀电子束曝光形成的硅纳米线结构,使其具有不平整的起伏形状,在硅纳米线结构中自形成硅量子点和隧穿势垒,器件的结构如图 17 所示.该器件能在室温下观测到单电子隧穿通过多个量子能级的行为,其原因是量子点的物理尺寸足够小,而且采用的围栅 (gate-all-around, GAA) 结构能提供良好的控制能力.

在以上提到的硅纳米结构晶体管中,电子是通过人造库仑岛进行隧穿输运,这是基于单电子晶体管的工作原理.通过干法刻蚀或化学湿法腐蚀形成表面粗糙的纳米线沟道,进而在沟道中形成超小的硅量子点.虽然这类硅纳米结构晶体管可以在室温下观测到量子效应,但是通过纳米加工手段形成的量子点的可控性却不高,一是难以控制量子点的尺寸,二是难以控制量子点在器件沟道中的形成位置.而且在不同的量子点中,难以确定其分立的量子能级个数.

有限局域纳米空间中的杂质原子也能展现出量子点的特性,这类利用杂质原子作为量子输运构件的纳米结构晶体管称为杂质原子晶体管.硅材料中电离杂质具有均匀的玻尔半径,而且当一个杂质原子作为量子点工作时能提供两个更为确定的能态,即 D^0 态和 D 态,如图 18 所示.其不仅在量子输运中具有更高的可控性,而且制造工艺与 CMOS 技术中 scaled-down 工艺也更为兼容,有望成为量子计算的基本组成器件.因此,以硅纳米结

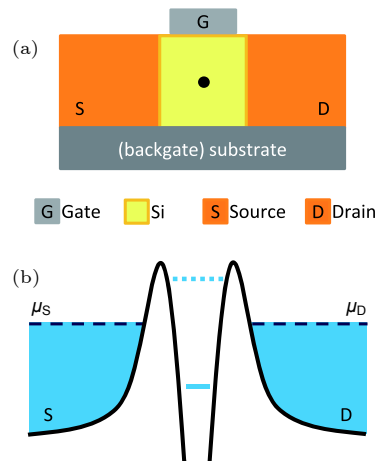


图 18 (a) 杂质原子晶体管结构示意图; (b) 杂质在器件沟道中提供确定的两个能级^[19]

Fig. 18. (a) Schematic of dopant atom transistor; (b) two determined levels provided by impurity in device^[19].

构晶体管为基础, 将杂质原子晶体管的工作温度逐步提升至室温成为了一个重要的研究方向.

要想实现杂质原子晶体管在室温下工作, 将其中相关的量子效应拓展到更高的温度下, 杂质原子的隧穿势垒需要远高于室温下的温度热能 $k_B T$. 基于这点, 目前提出的思路主要分为以下几种.

1) 增大杂质电离能. 杂质原子晶体管的工作温度较低主要是因为杂质原子的基态能级很浅, 所以需要通过增强量子限制和介电限制来加深杂质原子的基态能级, 即增大杂质原子的电离能. 在量子限制的作用下导带边发生移动, 纳米线尺寸越小, 量子限制作用越明显. 如图 19 所示, 随着纳米线直径的减小, 杂质的基态能级加深, 即杂质对电子的束缚能增大^[53].

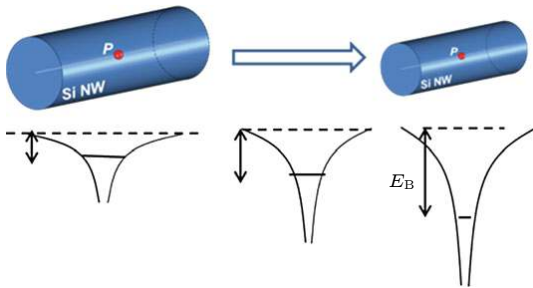


图 19 磷原子的基态能级随硅纳米线直径的减小而加深^[53]

Fig. 19. Ground state of phosphorous donor becomes deeper with decreasing radius of Si nanowire^[53].

电离能除了受到量子限制作用的影响, 介电限制也能增大杂质的电离能. 电离能增大量为:

$$E_1 - E_1^0 \approx \frac{2e^2}{\epsilon_{in} R} \frac{\epsilon_{in} - \epsilon_{out}}{\epsilon_{in} + \epsilon_{out}} F\left(\frac{\epsilon_{in}}{\epsilon_{out}}\right) \propto \frac{1}{R}, \quad (5)$$

式中 E_1^0 表示杂质在体硅中的电离能, ϵ_{in} 和 ϵ_{out} 分别表示纳米线内外的介电常数, F 为介电比值的多项函数. 相对于杂质在体硅中的电离, 电离杂质在纳米线外介质层的感生镜像电荷能产生对杂质电荷的屏蔽势, 由于杂质电离需克服屏蔽势, 因此杂质在纳米线中的电离能增大^[54]. 图 20(a), (b) 分别为不存在介电限制和存在介电限制的情况下不同杂质原子 (P, As, Sb) 的电离能随纳米线半径的变化曲线, 图中的虚线表示量子限制作用下导带边的移动. 对比得出, 当介电限制不存在时 (即 $\epsilon_{in} = \epsilon_{out}$), 电离能随着纳米线半径的减小呈现出增大的趋势. 但存在介电限制作用时, 随着纳米线半径的减小, 杂质电离能的增大量更为显著^[55]. 同时, 靠近介质

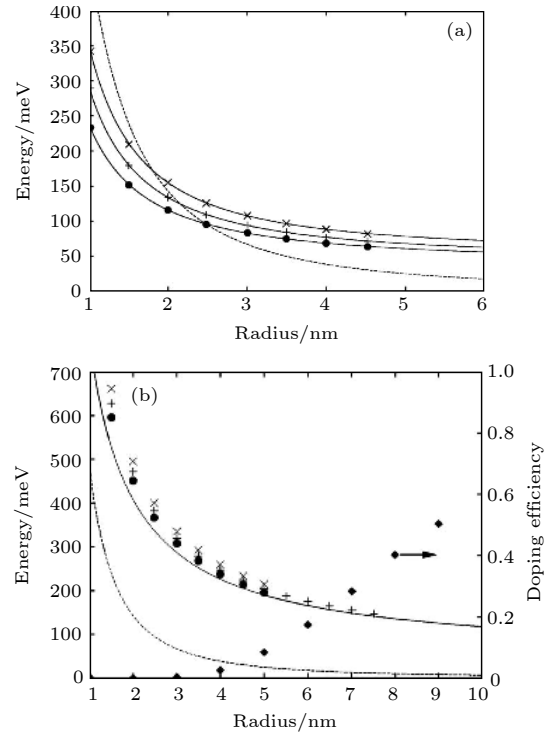


图 20 (a) 没有和 (b) 有介电限制时杂质原子的电离能随纳米线半径的变化曲线图^[55]

Fig. 20. Ionization energy E_1 vs. the wire radius R for donor impurities: (a) Without dielectric confinement; (b) with dielectric confinement^[55].

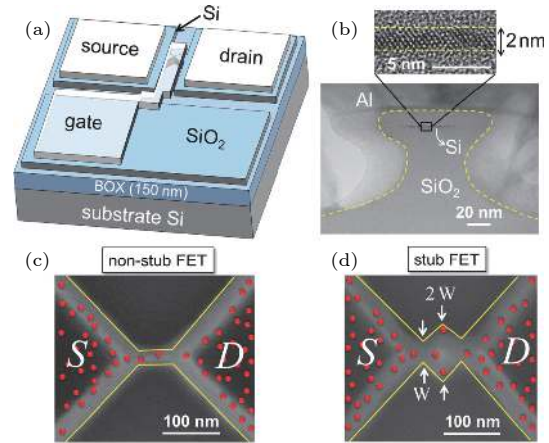


图 21 (a) SOI 晶体管结构示意图; (b) 器件沟道 TEM 图; (c) 原纳米线结构; (d) stub 纳米线结构^[57]

Fig. 21. (a) Schematic of SOI transistor; (b) TEM image taken across the device channel; (c) SEM images of non-stub channel and (d) stub channel^[57].

层的杂质原子受到更强的介电限制也将表现出更大的电离能^[56].

增强对杂质原子的介电限制作用, 其一般的思路是改变纳米线沟道的形状, Tabe 研究组^[57]在纳米线中间设计了一个 stub 结构. 这个 stub 区域中

的杂质原子由于更强的介电限制效应,其基态能级加深,能在 100 K 左右观测到单电子隧穿通过施主原子,原纳米线结构和设计的纳米线结构如图 21 所示.

2) 由施主原子团簇形成量子点. 施主原子团簇的概念可以这样理解,当掺杂在纳米结构晶体管沟道中的施主原子足够接近,它们之间的原子电势将相互重叠,从而对基态电子的束缚能增大,电子的隧穿势垒高度增大 [53]. 图 22 更为形象地表述了这一过程.

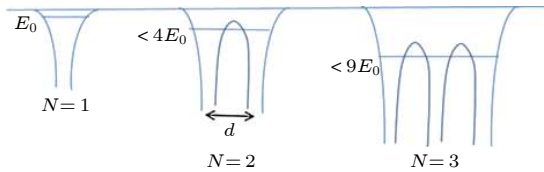


图 22 基态电子的束缚能随耦合原子数目的增加而增大 [53]
Fig. 22. Binding energy of clustered donors is shown for different N [53].

采用这种施主原子团簇的方法需要优化两个关键参数,一是杂质原子间距,二是耦合的施主原子数目. 要想提高杂质对电子的束缚能,需要相对较小的杂质间距和较大的耦合杂质数目,当杂质间距小到 2—3 nm,即与掺杂在硅中磷原子的玻尔半径相当时,只需要 3—5 个耦合的杂质原子就能够让杂质对电子的束缚能提高到 100 meV 以上 [53]. Samanta 等 [58] 运用选择性掺杂工艺,在纳米线沟道区域中心附近形成一个多杂质耦合的量子点,沟道中杂质分布情况以及杂质形成的电势分布由图 23 给出.

通过测量沟道选择性掺杂 SOI-FET 和沟道未掺杂 SOI-FET 这两类器件在不同温度下的 I_D - V_G 特性曲线,可以发现一些相似点和不同点. 如

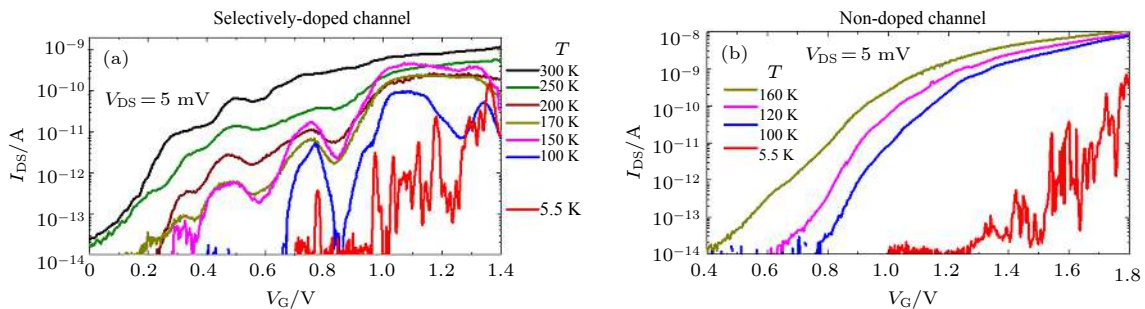


图 24 (a) 沟道选择性掺杂和 (b) 沟道未掺杂 SOI-FET 在不同温度下的 I_D - V_G 特性曲线 [58]

Fig. 24. (a) and (b) I_{DS} - V_G characteristics as a function of temperature for a selectively-doped-channel SOI-FET (up to 300 K) and for a non-doped-channel SOI-FET (up to 160 K) [58].

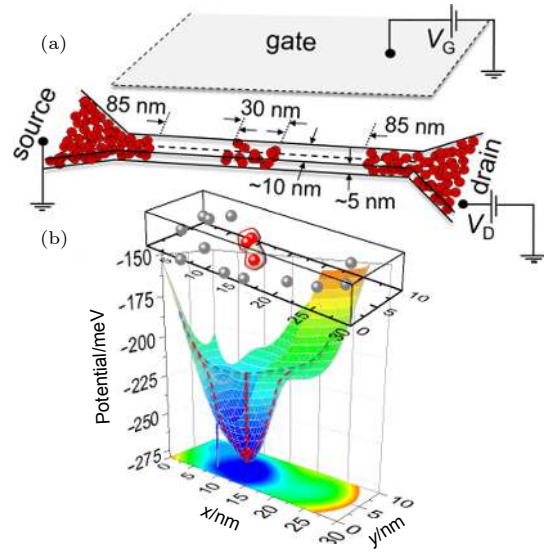


图 23 (a) 选择性掺杂硅纳米沟道; (b) 选择性掺杂区域模拟的最深势阱分布 [58]

Fig. 23. (a) The selectively-doped Si nanoscale channel; (b) atomistic representation of the potential landscape simulated for a selectively-doped area with deepest potential well [58].

图 24 所示,相似点为在低温下 (5.5 K) 都可以观察到具有微小间距的电流峰. 但这种相似点不能归结为电子通过杂质量子点的运输,而可能是单电子隧穿通过库仑小岛. 这些库仑小岛可能是在对特定图形的氧化过程中形成,也可能是由粗糙的纳米线沟道形成. 不同点是随着温度升高,沟道选择性掺杂 SOI-FET 在更小的栅压 V_G 下出现了新的电流峰,而沟道未掺杂 SOI-FET 在温度大于 100 K 时不能再观察到单电子隧穿特性,说明这些较低栅压 V_G 下出现的电流峰是由于电子隧穿通过耦合施主原子形成的量子点.

从图 25(a) 可以看出,电流振荡现象在 $T = 200$ — 300 K 时仍可以观测到,即单电子隧穿行为

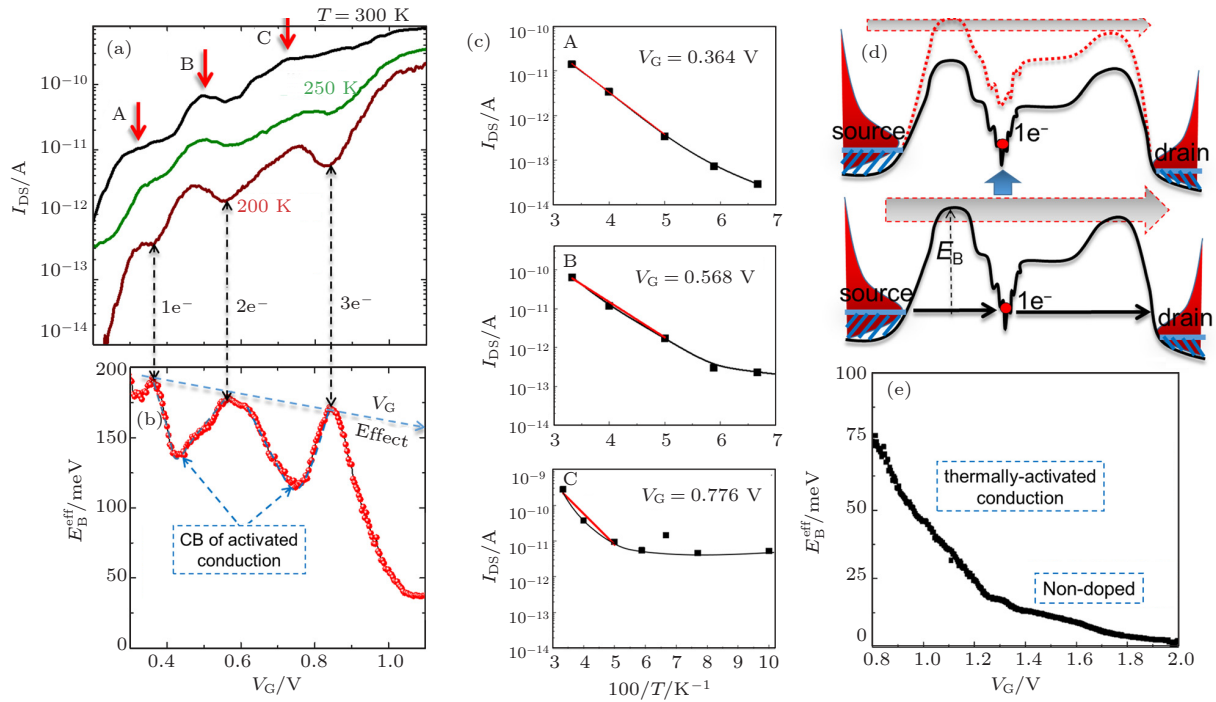


图 25 (a) 不同温度下, 沟道选择性掺杂 SOI-FET 器件 $I_{DS}-V_G$ 特性曲线; (b) 有效势垒高度随栅压 V_G 的变化; (c) 不同电流峰对应的 Arrhenius 曲线; (d) 激活传导的库仑阻塞机制 (下图), 量子点俘获电子的库仑阻塞情形 (上图); (e) 沟道未掺杂 SOI-FET 器件仅仅表现出热激活传导性质^[58]

Fig. 25. (a) $I_{DS}-V_G$ characteristics as a function of temperature for the selectively-doped channel SOI-FET; (b) effective barrier height ($E_{B\text{eff}}$) estimated from Arrhenius plots as a function of V_G ; (c) arrhenius plots for V_G corresponding to different peaks; (d) schematic illustrations of the mechanism of Coulomb blockade of activated conduction for the single-electron tunneling current peak (lower panel) and for the Coulomb blockade condition with an electron trapped in the QD (upper panel); (e) $E_{B\text{eff}}$ extracted for a non-doped-channel SOI-FET, exhibiting only behavior typical of thermally-activated conduction^[58].

维持到了室温. 图 25(c) 中 Arrhenius 曲线所呈现的趋势与传统的库仑阻塞理论不相符合, 这种 I_{DS} 随 $1/T$ 的变化情况类似于晶体管中的热激活输运方式, 所以高温下的电流振荡现象需要用修正的库仑阻塞理论来进行解释^[59-61]. 从图 25(b) 中可以看出, 有效势垒高度 E_B^{eff} 呈现出与 $I_{DS}-V_G$ 特性曲线一样的振荡行为, 即有效势垒高度 E_B^{eff} 在量子点中通过电荷量子化被调制为 V_G 的函数. E_B^{eff} 在电流最小值处有最大值, 对应于不同的量子化电荷被量子点俘获, E_B^{eff} 在电流最大值处有最小值, 且随着栅压逐渐增大, E_B^{eff} 逐渐降低. 相比于沟道未掺杂的器件而言, 有效势垒高度增大是因为量子点中一些磷施主原子发生强烈耦合, 导致其基态能级加深.

3) 纳米尺度 SiO_2 隧穿结中嵌入杂质原子. 运用电子束曝光技术制备超精细纳米结构晶体管的过程中, 高能电子束可能对器件造成一定程度的损伤, 而且传统半导体工艺一般是在硅材料中进行

掺杂, 杂质原子在硅中形成的量子点势阱比较浅. Durrani 等^[62] 提出用场发射扫描探针光刻 (FE-SPL) 技术在 SiO_2 层中的嵌入杂质原子, 形成点接触式的量子点晶体管. 研究表明用这种方法形成的量子点具有很深的势阱 (大约 2—3 eV), 能在室温下更好地限制电子. 器件的点接触结构如图 26(a) 所示, 通过热氧化过程将点接触区域完全氧化, 在源漏区之间形成一个大约 10 nm 尺度的 SiO_2 隧穿结, 嵌入在 SiO_2 隧穿结中的磷原子是隔离的, 能形成量子点. 他们通过模拟仿真得出, 量子点的尺寸大约为 2 nm. 图 26(b) 为点接触区域的能带图, 源区和漏区为简并掺杂, 不同的量子点对应形成不同的能态. 当栅极电压变化时, 在与栅极静电耦合的作用下, 这些能态将扫过源端费米能级 E_{FS} , 电子共振隧穿通过这些能态. 当一个确定的能态与 E_{FS} 发生共振, 出现一个电流峰, 当 E_{FS} 位于能态之间, 出现一个电流谷. 扫描探针光刻 (scanning probe lithography, SPL) 不仅能达到纳米尺度下

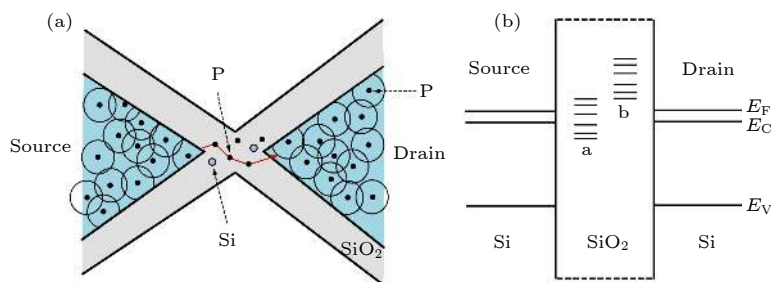
图 26 (a) 点接触式量子点晶体管结构示意图; (b) 点接触区域的能带示意图^[62]

Fig. 26. (a) Schematic of the point contact QD transistor; (b) schematic representation of the energy diagram across the point-contact region^[62].

所需的分辨率,还能够减少对于纳米器件的损伤。更为关键的是运用这项技术可以制备在更高温度下工作的纳米结构晶体管,为实现室温下工作的单原子晶体管提供了思路。

目前关于杂质原子晶体管的具体应用方向,人们提出了很多思路。利用纳米尺度下杂质离散的电子态,可以实现更为复杂的布尔逻辑^[63]。根据嵌入在 Fin-FET 中单杂质原子的电荷态,将器件的电流和跨导作为逻辑输出值,可以实现三值乘法器^[64]。通过对掺杂在硅中相互作用的杂质原子进行电寻址,可以并行计算出多变量、多值逻辑函数所有可能的输出值^[65]。更深层次地研究杂质原子晶体管中的量子输运特性是发掘其潜在应用的基础。

6 结 语

集成电路正在从等比例缩小的时代走向后摩尔时代,晶体管尺寸达到纳米级甚至分子、原子级尺度,基于漂移-扩散电流的传统晶体管工作原理已经不足以解释纳米尺度下的量子效应。纳米级器件沟道中的杂质原子不仅对于器件性能有很大的影响,而且在接近原子尺度的局域纳米空间中能够表现出量子点特性。杂质原子间距决定了量子态是否发生交叠,进而影响着量子输运特性。电子在分立杂质原子系统中的输运不仅受栅极电压调控,其跃迁方式还依赖于温度,而耦合杂质原子系统中的电流输运谱则揭示了更为复杂的量子点特征。单原子晶体管依赖单个杂质调控量子输运,代表了固态器件的最终尺度极限。从实用性的角度出发,抓住电离杂质诱导形成量子点这一个关键,提升这类器件的工作温度具有重要的意义。利用杂质原子作为量子输运构件的硅纳米结构晶体管,不仅在超低功耗方面展现出强大的优势,其中丰富的量子输运特

性更是为量子计算电路开发提供了巨大的可能性。

参考文献

- [1] Chan V, Rengarajan R, Rovedo N, Wei J 2003 *Proceedings of IEEE International Electron Devices Meeting* Washington USA, December 8–10, 2003 p381
- [2] Mistry K, Allen C, Auth C 2007 *Proceedings of IEEE International Electron Devices Meeting* Washington USA, December 10–12, 2007 p247
- [3] Auth C, Allen C, Blattner A 2012 *Proceedings of Symposium on VLSI Technology* Honolulu USA, June 12–14, 2012 p131
- [4] Colinge J P, Lee C W, Afzalian A, Akhavan N D, Yan R, Ferain I, Razavi P, O'Neill B, Blake A, White M 2010 *Nature Nanotech.* **5** 225
- [5] Lee C W, Afzalian A, Akhavan N D, Yan R, Ferain I, Colinge J P 2009 *Appl. Phys. Lett.* **94** 053511
- [6] Li M, Huang R 2018 *Sci. Sin. Inform.* **48** 963 (in Chinese) [黎明, 黄如 2018 中国科学: 信息科学 **48** 963]
- [7] Asenov A, Watling J R, Brown A R, Ferry D K 2002 *J. Comput. Electron.* **1** 503
- [8] Taur Y 2002 *IBM J. Res. Dev.* **46** 213
- [9] Li Y P, Xu J P, Chen W B, Xu S G, Ji F 2006 *Acta Phys. Sin.* **55** 3670 (in Chinese) [李艳萍, 徐静平, 陈卫兵, 许胜国, 季峰 2006 物理学报 **55** 3670]
- [10] Cao L, Liu H X 2012 *Acta Phys. Sin.* **61** 247303 (in Chinese) [曹磊, 刘红侠 2012 物理学报 **61** 247303]
- [11] Je M, Han S, Kim I, Shin H 2000 *Solid-State Electron.* **44** 2207
- [12] Warren A C, Antoniadis D, Smith H I 1986 *Phys. Rev. Lett.* **56** 1858
- [13] Rustagi S C, Singh N 2007 *IEEE Electr. Device L.* **28** 909
- [14] Colinge J P, Xiong W 2006 *IEEE Electr. Device L.* **27** 775
- [15] Park J T, Kim J Y 2010 *Appl. Phys. Lett.* **97** 172101
- [16] Li Y M, Yu S M, Hwang J R, Yang F L 2008 *IEEE Electr. Device L.* **55** 1449
- [17] Akhavan N D, Ferain I, Yu R, Razavi P, Colinge J P 2012 *Solid-State Electron.* **70** 92
- [18] Ueda A, Luisier M, Sano N 2015 *Appl. Phys. Lett.* **107** 253501
- [19] Zwanenburg F A, Dzurak A S, Morello A, Simmons M Y, Hollenberg L C L, Klimeck G, Rogge S, Coppersmith S N, Eriksson M A 2013 *Rev. Mod. Phys.* **85** 0034
- [20] Ryu H, Lee S, Fuechsle M, Miwa J A, Mahapatra S, Hollenberg L C L, Simmons M Y, Klimeck G 2015 *Small* **11** 374
- [21] Moraru D, Udhiarto A, Anwar M, Nowak R, Jablonski R, Hamid E, Tarido J C, Mizumo T, Tabe M 2011 *Nanoscale*

Res. Lett. **6** 479

- [22] Moraru D, Ono Y, Inokawa H, Tabe M 2007 *Phys. Rev. B* **76** 1
- [23] Sellier H, Lansbergen G P, Caro J, Rogge S, Collaert N, Ferain I, Jurczak M, Biesemans S 2007 *Appl. Phys. Lett.* **90** 3
- [24] Barraud S, Berthomé M, Coquand R, Cassé M, Ernst T, Samson M P, Perreau P, Bourdelle K K, Faynot O, Poiroux T 2012 *IEEE Electron. Device L.* **33** 1225
- [25] Moraru D, Tabe M 2013 *Toward Quantum FinFET* (Cham: Springer) pp305–324
- [26] Tyryshkin A M, Tojo S, Morton J J L, Riemann H, Abrosimov N V, Becker P, Pohl H J, Schenkel T, Thewalt M L W, Itoh K M, Lyon S A 2012 *Nature Mater.* **11** 143
- [27] Morello A, Pla J J, Zwanenburg F A, Chan K W, Tan K Y, Hubel H, Mttnen M, Nugroho C D, Yang C Y, van Donkelaar J A, Alves A D C, Jamieson D N, Escott C C, Hollenberg L C L, Clark R G, Dzurak A S 2010 *Nature* **467** 687
- [28] Fuechsle M, Miwa J A, Mahapatra S, Ryu H, Lee S, Warschkow O, Hollenberg L C L, Klimeck G, Simmons Y M 2012 *Nature Nanotech* **7** 242
- [29] Tabe M, Moraru D, Ligowski M, Anwar M, Jablonski R, Ono Y, Mizuno T 2010 *Appl. Phys. Lett.* **105** 016803
- [30] Anwar M, Nowak R, Moraru D, Udhiarto A, Mizuno T, Jablonski R 2011 *Appl. Phys. Lett.* **99** 213101
- [31] Tyszka K, Moraru D, Samanta A, Mizuno T, Jablonski R, Tabe M 2015 *J. Appl. Phys.* **117** 244307
- [32] Lee P A, Fisher D S 1981 *Phys. Rev. Lett.* **47** 882
- [33] Jiang Q, Gong C D 1988 *Acta Phys. Sin.* **37** 941 (in Chinese) [蒋祺, 龚昌德 1988 物理学报 **37** 941]
- [34] Mott N F, Twose W D, 1961 *Adv. Phys.* **10** 107
- [35] Fleishman L, Licciardello D C, Anderson P W 1978 *Phys. Rev. Lett.* **40** 1340
- [36] Yu D, Wang C J, Wehrenberg B L, Guyot-Sionnest P 2004 *Phys. Rev. Lett.* **92** 216802
- [37] Mott N F 1968 *J. Non-Cryst. Solids* **1** 1
- [38] Mott N F 1987 *Conduction in Non-crystalline Materials* (New York: Clarendon Press) p1
- [39] Moraru D, Samanta A, Anh L T, Mizuno T, Mizuta H, Tabe M 2014 *Sci. Rep.* **4** 6219
- [40] Moraru D, Samanta A, Tyszka K, Anh L T, Muruganathan M, Mizuno T, Jablonski R, Mizuta H, Tabe M 2015 *Nanoscale Res. Lett.* **10** 372
- [41] Wauqh F R, Berry M J, Crouch C H, Livermore C, Mar D J, Westervelt R M, Campman K L, Gossard A C 1996 *Phys. Rev. B* **53** 1413
- [42] Shinada T, Okamoto S, Kobayashi T, Ohdomari I 2005 *Nature* **437** 1128
- [43] Anisimov V I, Zaanen J, Anderson O K 1991 *Phys. Rev. B* **44** 943
- [44] Prati E, Hori M, Guagliardo F, Ferrari G, Shinada T 2012 *Nature Nanotech.* **7** 443
- [45] Prati E, Kumagai K, Hori M, Shinada T 2015 *Sci. Rep.* **6** 19704
- [46] Shiin S J, Lee J J, Kang H J, Choi J B, Yang S R E, Takahashi Y, Hasko D G 2011 *Nano Lett.* **11** 1591
- [47] Tan Y, Kamiya T, Durrani Z A, Ahmed H 2003 *J. Appl. Phys.* **94** 663
- [48] Rafiq M A, Masubuchi K, Durrani Z A K, Colli A, Mizuta H, Milne W I, Oda S 2012 *J. Appl. Phys.* **51** 025202
- [49] Saitoh M, Hiramoto T 2004 *Appl. Phys. Lett.* **84** 3172
- [50] Deshpande V, Barraud S, Jehl X, Wacquez R, Vinet M, Coquand R, Roche B, Voisin B, Triozon F, Vizioz C 2013 *Solid-State Electron.* **84** 179
- [51] Lavieville R, Triozon F, Barraud S, Corna A, Jehl X, Sanquer M, Li J, Abisset A, Duchemin I, Niquet Y M 2015 *Nano Lett.* **15** 2958
- [52] Lee S, Lee Y, Song E B, Hiramoto T 2014 *Nano Lett.* **14** 71
- [53] Tabe M, Samanta A, Moraru D 2017 *Recent Global Research and Education: Technological Challenges* (Cham: Springer) p83
- [54] Björk M T, Schmid H, Knoch J, Riel H, Riess W 2008 *Nature Nanotech.* **4** 103
- [55] Diarra M, Niquet Y M, Delerue C, Allan G 2007 *Phys. Rev. B* **75** 045301
- [56] Pierre M, Wacquez R, Sanquer M, Vinet M, Cueto O 2009 *Nature Nanotech.* **5** 133
- [57] Hamid E, Moraru D, Kuzuya Y, Mizuno T, Anh L T, Mizuta H, Tabe M 2013 *Phys. Rev. B* **87** 085420
- [58] Samanta A, Muruganathan M, Hori M, Ono Y, Mizuta H, Tabe M, Moraru D 2017 *Appl. Phys. Lett.* **110** 093107
- [59] Matveev K A, Glazman L I 1996 *Phys. Rev. B* **54** 10339
- [60] Tamura H, Takahashi Y, Murase K 1999 *Microelectron. Eng.* **47** 205
- [61] Morgan N Y, Abusch-Magder D, Kastner M A, Takahashi Y, Tamura H, Murase K 2001 *J. Appl. Phys.* **89** 410
- [62] Durrani Z, Jones M, Abualnaja F, Wang C, Kaestner M, Lenk S, Lenk C, Rangelow W L, Andreev A 2018 *J. Appl. Phys.* **124** 144502
- [63] Klein M, Lansbergen G P, Mol J A, Rogge S, Levine R D, Remacle F 2009 *ChemPhysChem* **10** 162
- [64] Klein M, Mol J A, Verduijn J, Lansbergen G P, Rogge S, Levine R D, Remacle F 2010 *Appl. Phys. Lett.* **96** 043107
- [65] Fresch B, Bocquel J, Hiluf D, Rogge S, Levine R D, Remacle F 2017 *ChemPhysChem* **18** 1790

REVIEW

Quantum transport relating to impurity quantum dots in silicon nanostructure transistor^{*}

Wu Xin-Yu¹⁾²⁾ Han Wei-Hua^{1)2)†} Yang Fu-Hua¹⁾²⁾

1) (*Engineering Research Center of Semiconductor Integrated Technology, Beijing Engineering Research Center of Semiconductor Micro-Nano Integrated Technology, Institute of Semiconductors, Chinese Academy of Sciences, Beijing 100083, China*)

2) (*Center of Materials Science and Optoelectronics Engineering, University of Chinese Academy of Sciences, Beijing 100049, China*)

(Received 18 January 2019; revised manuscript received 22 February 2019)

Abstract

As the characteristic size of the transistor approaches to its physical limit, the effect of impurities on device performance becomes more and more significant. The number of impurities and the range of impurity fluctuation become very limited in channel space less than 10 nm, and ionized impurities in local nano-space can even exhibit quantum dot characteristics, providing two discrete levels for charge transport. The behaviour of carrier tunnelling through quantum dots induced by ionized impurities can reveal the abundant quantum information, such as impurity ionization energy, coulomb interaction energy, electron activation energy, orbital level filling, and spin of local electrons. Quantum transport properties are also different in different doping concentrations because whether the quantum states overlap depends on the impurity atom spacing. The silicon nanostructure transistors using impurity atoms as building blocks of quantum transport are also called dopant atom transistors, which are not only compatible with complementary metal oxide semiconductor (CMOS) technology, but also expected to be the basic components of quantum computing circuits in the future. So far, their operating temperature is relatively low due to the shallow ground state energy level of impurity atoms. It is of great significance to study the quantum transport properties in dopant atom transistors and to observe quantum effects among them at room temperature. In this article, the quantum transport properties in single, discrete and coupled impurity atomic systems are described in detail by combining Anderson localization theory and Hubbard band model. Quantum transport in a discrete impurity atomic system is not only controlled by gate voltage, but also dependent on temperature. The current transport spectrum in the coupled impurity atomic system reveals more complex quantum dot characteristics. Single atom transistor can regulate quantum transport only by one impurity atom, which represents the ultimate scale limit of solid state devices. In addition, the methods of improving the operating temperature of dopant atom transistors are also systematically introduced, thereby laying a foundation for their practical applications.

Keywords: silicon nanostructure transistor, impurity atom, quantum transport, operating temperature

PACS: 73.20.Hb, 73.21.La, 73.23.Hk, 73.20.Fz

DOI: 10.7498/aps.68.20190095

^{*} Project supported by the National Key Research and Development Program of China (Grant No. 2016YFA0200503).

[†] Corresponding author. E-mail: weihua@semi.ac.cn