



一种基于BSIM4的屏蔽栅沟槽MOSFET紧凑型模型

江逸洵 乔明 高文明 何小东 冯骏波 张森 张波

A compact model of shield-gate trench MOSFET based on BSIM4

Jiang Yi-Xun Qiao Ming Gao Wen-Ming He Xiao-Dong Feng Jun-Bo Zhang Sen Zhang Bo

引用信息 Citation: *Acta Physica Sinica*, 69, 177103 (2020) DOI: 10.7498/aps.69.20200359

在线阅读 View online: <https://doi.org/10.7498/aps.69.20200359>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn>

您可能感兴趣的其他文章

Articles you may be interested in

超紧凑型飞秒电子衍射仪的设计

Design of a femtosecond electron diffractometer with adjustable gaps

物理学报. 2020, 69(5): 052901 <https://doi.org/10.7498/aps.69.20191157>

同步对称双栅InGaZnO薄膜晶体管电势模型研究

Analytical channel potential model of amorphous InGaZnO thin-film transistors with synchronized symmetric dual-gate

物理学报. 2017, 66(9): 097101 <https://doi.org/10.7498/aps.66.097101>

基于原位等离子体氮化及低压化学气相沉积-Si₃N₄栅介质的高性能AlGa_xN/GaN MIS-HEMTs器件的研究

High-performance AlGa_xN/GaN MIS-HEMT device based on in situ plasma nitriding and low power chemical vapor deposition Si₃N₄ gate dielectrics

物理学报. 2017, 66(19): 197301 <https://doi.org/10.7498/aps.66.197301>

基于变均布霍尔系数的磁控热防护系统霍尔效应影响

Investigation of Hall effect on the performance of magnetohydrodynamic heat shield system based on variable uniform Hall parameter model

物理学报. 2017, 66(5): 054701 <https://doi.org/10.7498/aps.66.054701>

U型槽刻蚀工艺对GaN垂直沟槽型金属-氧化物-半导体场效应晶体管电学特性的影响

Effect of U-shape trench etching process on electrical properties of GaN vertical trench metal-oxide-semiconductor field-effect transistor

物理学报. 2020, 69(9): 098501 <https://doi.org/10.7498/aps.69.20191850>

一种基于文本互信息的金融复杂网络模型

Financial complex network model based on textual mutual information

物理学报. 2018, 67(14): 148901 <https://doi.org/10.7498/aps.67.20172490>

一种基于 BSIM4 的屏蔽栅沟槽 MOSFET 紧凑型模型

江逸洵¹⁾ 乔明^{1)†} 高文明²⁾ 何小东²⁾ 冯骏波¹⁾ 张森²⁾ 张波¹⁾

1) (电子科技大学, 电子薄膜与集成器件国家重点实验室, 成都 610054)

2) (无锡华润上华科技有限公司, 无锡 214028)

(2020 年 3 月 11 日收到; 2020 年 5 月 29 日收到修改稿)

提出了一种基于 BSIM4 的屏蔽栅沟槽 MOSFET 紧凑型模型. 在直流模型中使用两端电势建立 JFET 区等效电阻模型, 并引入电子扩散区等效电阻, 解决了因忽视 JFET 区源端电势导致的电流存在误差的问题. 在电容模型中, 漏源电容模型在 BSIM4 的基础上添加了屏蔽栅-漏等效电容模型, 栅漏电容模型将栅漏偏置电压修改为栅极同栅-漂移区重叠区末端节点的电势差. 使用泊松方程求解该节点电势, 并引入栅氧厚度因子 k_1 、屏蔽栅氧化层厚度因子 k_2 、等效栅-漂移区重叠长度 L_{ovequ} 和等效屏蔽栅长 L_{SHequ} 对栅和屏蔽栅的结构进行等效, 以简化泊松方程的计算并确保该节点电势曲线的光滑性. 使用 Verilog-A 编写模型程序, 搭建实验平台测试屏蔽栅沟槽 MOSFET 的直流特性、电容特性和开关特性, 模型仿真结果与测试数据有良好的拟合, 验证了所建模型的有效性.

关键词: 屏蔽栅沟槽 MOSFET, 紧凑型模型, BSIM4, Verilog-A

PACS: 71.23.An, 73.40.Qv

DOI: 10.7498/aps.69.20200359

1 引言

屏蔽栅沟槽 MOSFET (shield-gate trench MOSFET, SGT MOS) 在中低压 (12—250 V) 范围内被广泛地应用^[1–3], 具有重要的市场价值. SGT MOS 在利用屏蔽栅降低器件导通电阻, 减小器件静态损耗的同时, 缩短了控制栅与漂移区的交叠长度, 从而降低了栅漏电容, 使得器件具有较低的栅电荷 (Q_g), 降低了其动态损耗^[4–6]. 屏蔽栅技术从成本和性能两个方面提高了功率器件的竞争力.

为了最大化系统效率和增强可靠性, 建立精确的 SGT MOS 模型是至关重要的. 不同于逻辑器件, 功率器件引入了轻掺杂漂移区来承受大部分压

降, 导致沟道末端的电压远低于漏极电压, 因此功率器件的建模通常以研究漂移区特性为主^[7–10]. SGT MOS 作为一种新型功率器件, 屏蔽栅的引入在降低导通电阻和栅漏电容的同时, 使漂移区特性随外加电压的关系变得更加复杂, 器件建模的难度显著增加. 目前, 仅有少数关于 SGT MOS 模型报道, 包括建立基于 SPICE 的等效电路模型^[11], 以及 Coner 和统计模型的开发^[12]. 但是这些报道的模型并不完全基于实际的物理结构, 且在模型尤其是电容模型建立的叙述上过于简略, 难以作为进一步研究的参考.

本文基于 BSIM4 分别建立 SGT MOS 的直流模型和电容模型. 在直流模型的建立中, 采用以 BSIM4 为模型的基本 MOS 管串联等效电阻的方法, 屏蔽栅、氧化层和水平对应的漂移区构成

† 通信作者. E-mail: qiaoming@uestc.edu.cn

JFET 区, 结合 JFET 区所在位置, 将漂移区和 N 型衬底的等效电阻分为三个部分, 通过分析屏蔽栅对 JFET 区的影响, 建立基于两端电势的 JFET 区等效电阻模型, 并证明另外两个电阻与偏置电压无关. 在电容模型的建立中, 验证使用 BSIM4 模型表示栅源电容的可行性, 通过在 BSIM4 中添加屏蔽栅-漏等效电容的公式来完善漏源电容模型, 将栅漏电容模型中的栅漏偏置电压修改为栅极同栅-漂移区重叠区末端节点的电势差. 使用泊松方程求解该节点电势, 通过对栅和屏蔽栅结构进行等效以简化泊松方程, 并确保节点电势曲线的光滑性. 最后, 利用 Verilog-A 和电路仿真工具, 对本文所提模型进行仿真分析, 发现本文所提模型的仿真结果与测试数据具有较好的一致性, 这证明本文所提出模型对 SGT MOS 器件的应用和分析具有很大的参考意义, 为 SGT MOS 工作电流的预测和器件模型的改进奠定了基础.

2 屏蔽栅沟槽 MOSFET 结构与模型

SGT MOS 紧凑型模型分为直流模型和电容模型. 其中直流模型将器件分为本征 MOS 区 (intrinsic MOS) 和非本征 MOS 区 (non-intrinsic MOS), 本征 MOS 区等效为一个基本 MOS 管, 非

本征 MOS 区等效为多个串联的电阻. 基于此, 本章采用基本 MOS 管串联多个等效电阻的方法建立 SGT MOS 的直流模型, 其中基本 MOS 管使用 BSIM4 的直流模型, 包含轻掺杂漏极区 (light-doped drain region, LDD 区) 的电阻模型^[13]. 电容模型分为栅源电容模型、漏源电容模型和栅漏电容模型. 本节通过分析屏蔽栅对电容的影响, 采用了保持 BSIM4 栅源电容模型不变、在 BSIM4 的基础上对漏源电容模型进行扩展, 以及修改栅漏电容模型的偏置的方法来建立和完善 SGT MOS 的电容模型.

2.1 屏蔽栅沟槽 MOSFET 直流模型

图 1(a) 所示为 SGT MOS 的结构, 其中非本征 MOS 区由漂移区 (drift) 和 N 型衬底 (N-sub) 组成, 可等效为与基本 MOS 管串联的电阻. JFET 区是漂移区中最为重要的一部分, 受到屏蔽栅的影响. JFET 区和 LDD 区之间还存在一个电子扩散区 (electron diffusion region), 电子流从 LDD 区以 α 角度扩散至该区域. 对于 JFET 区的建模, 常用的做法是直接引入 JFET 器件模型或在子电路中使用 JFET 元件, 并忽略 JFET 区和 LDD 区之间的电子扩散区^[11]. 由于 JFET 器件的模型是在源极为零电位的基础上推导的, 而实际 SGT MOS

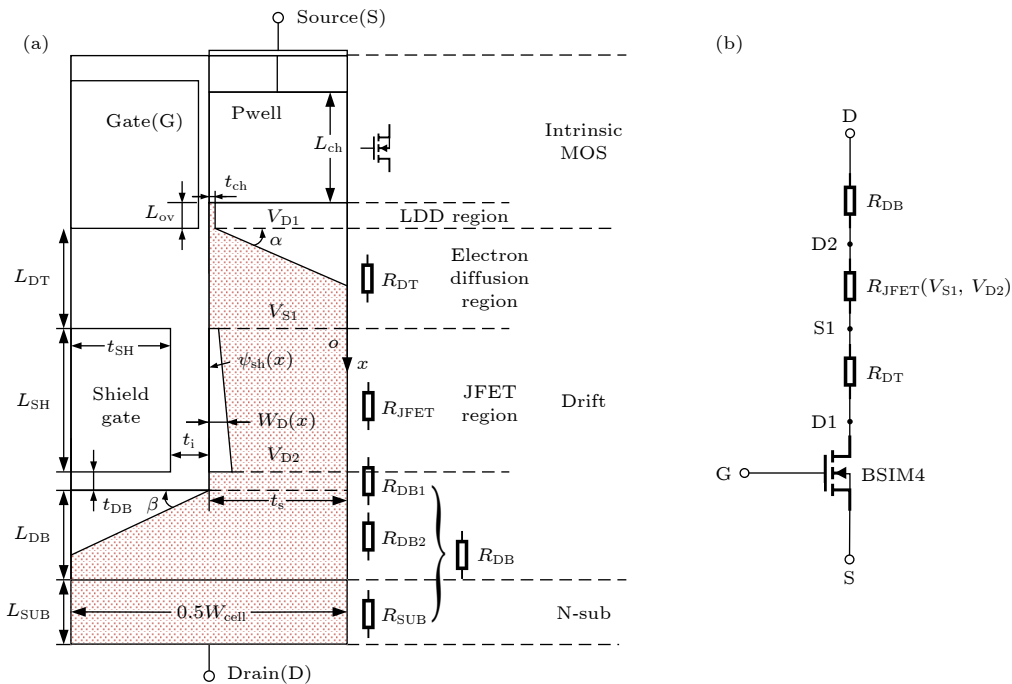


图 1 SGT MOS 的等效电阻分布 (a) 和直流等效电路 (b)

Fig. 1. (a) Distribution of equivalent resistance of SGT MOS; (b) equivalent DC circuit of SGT MOS.

的 JFET 区的源端电位 V_{S1} 并不为零, 因此传统模型会在该区域引入误差. 为解决这一问题, 本文采用以 JFET 区两端电势 V_{S1} 和 V_{D2} 为自变量的电阻 R_{JFET} 来模拟 JFET 区的 IV 特性. 此外, 当栅与屏蔽栅的间距 L_{DT} 与屏蔽栅长 L_{SH} 接近时, 忽略电子扩散区会导致 JFET 区源端电势 V_{S1} 过低, 因此本文在本征 MOS 区与电阻 R_{JFET} 之间引入电阻 R_{DT} 来提升 JFET 区源端电势 V_{S1} .

基于此, 本文提出了如图 1(b) 所示的 SGT MOS 的直流等效电路, 其中本征 MOS 区等效的基本 MOS 管采用了 BSIM4 模型, R_{DT} 为电子扩散区等效电阻, R_{JFET} 为 JFET 区等效电阻, R_{DB} 为 JFET 区下方漂移区和 N 型衬底的等效电阻, 等于图 1(a) 中 R_{DB1} , R_{DB2} , R_{SUB} 之和. 为了简化模型, 对电子的流动路径进行了如下处理. LDD 区积累层的厚度是关于栅电压的弱函数, 可近似为定值 t_{ch} . 忽略 JFET 区底部电子流的扩散, R_{DB1} 简化为宽度恒定为 t_s 的电阻. R_{DB2} 所在区域电子流以 β 角度扩散至槽下方的漂移区. 可获得 R_{DT} 和 R_{DB} 表达式为 [14]

$$R_{DT} = \frac{\tan \alpha}{Zq\mu_n N_d} \ln\left(\frac{t_s}{t_{ch}}\right) + \frac{L_{DT} - (t_s - t_{ch}) \cdot \tan \alpha}{Zq\mu_n N_d t_s}, \quad (1)$$

$$R_{DB} = \frac{1}{Zq\mu_n N_d} \left[\frac{t_{DB}}{t_s} + \tan \beta \cdot \ln\left(\frac{W_{cell}}{2t_s}\right) + \frac{2(L_{DB} + L_{SUB}) - (W_{cell} - 2t_s) \cdot \tan \beta}{W_{cell}} \right], \quad (2)$$

其中, Z 为 SGT MOS 的元胞宽度, q 为元电荷电荷量, μ_n 为电子迁移率, N_d 为漂移区掺杂浓度, t_{DB} 为屏蔽栅底部与漂移区的距离, L_{DB} 为槽下方漂移区长度, L_{SUB} 为 N 型衬底长度, W_{cell} 为元胞宽度. 根据 (1) 式、(2) 式可知 R_{DT} 和 R_{DB} 为仅与尺寸相关的定值电阻, 与偏置电压无关.

SGT MOS 的 JFET 区由屏蔽栅和 SiO_2 组成的 MOS 结构控制电子流通道的开启和关断, 漂移区表面电势 ψ_{sh} 决定了耗尽区宽度 W_D 的大小, 可表示为 [15]

$$\psi_{sh} = - \left[\sqrt{\frac{\gamma_{JFET}^2}{4} - (V_{PS} - V_x - V_{FBsh})} - \frac{\gamma_{JFET}}{2} \right]^2, \quad (3)$$

其中

$$\gamma_{JFET} = \frac{t_i \sqrt{2\varepsilon_{si} q N_d}}{\varepsilon_{ox}}$$

为 JFET 区域的漂移区偏置系数, V_x 为 JFET 区域内 x 方向上任意一点的电势, V_{FBsh} 为漂移区与屏蔽栅间的平带电压, t_i 为屏蔽栅与漂移区间氧化层厚度, ε_{si} 为硅的介电常数, ε_{ox} 为 SiO_2 的介电常数, V_{PS} 为屏蔽栅与源极间的电压, 由于两者短接, V_{PS} 为 0. 则耗尽区宽度 [16] 表示为

$$W_D = \sqrt{\frac{\varepsilon_s (-\psi_{sh})}{q N_d}} = \frac{\varepsilon_{ox} \gamma_{JFET}}{\sqrt{2} q N_d t_i} \left(\sqrt{V_x + V_{FBsh} + \frac{\gamma_{JFET}^2}{4}} - \frac{\gamma_{JFET}}{2} \right). \quad (4)$$

JFET 区电流 I_D 可由以下积分式得到:

$$I_D = \frac{Zq\mu_n N_d}{L_{SH}} \int_{V_{S1}}^{V_{D2}} (t_s - W_D) dV_x, \quad (5)$$

当 $W_D(V_{D2}) = t_s$ 时, I_D 饱和. 根据 TCAD 仿真, 在 SGT MOS 的工作区间内, $W_D(V_{D2})$ 始终小于 t_s , 其原因是电阻 R_{DB1} , R_{DB2} , R_{SUB} 分担了大部分的电压降, V_{D2} 不足以使该处漂移区完全耗尽, 因此 (5) 式适用于 SGT MOS 的所有静态工作区间. 根据 (5) 式求解得到的 I_D 表达式, JFET 区电阻 R_{JFET} 可表示为

$$R_{JFET} = \frac{V_{D2} - V_{S1}}{\beta \left\{ P_1 (V_{D2} - V_{S1}) - P_2 [(V_{D2} + P_3)^{\frac{3}{2}} - (V_{S1} + P_3)^{\frac{3}{2}}] \right\}}, \quad (6)$$

其中参数 β , P_1 , P_2 , P_3 仅与尺寸相关, 可表示为

$$\beta = \frac{Zq\mu_n N_d}{L_{SH}}, \quad (7)$$

$$P_1 = t_s + \frac{\sqrt{2}\varepsilon_{ox}\gamma_{JFET}^2}{4qN_d t_i}, \quad (8)$$

$$P_2 = \frac{\sqrt{2}\varepsilon_{ox}\gamma_{JFET}}{3qN_d t_i}, \quad (9)$$

$$P_3 = V_{FBsh} + \frac{\gamma_{JFET}^2}{4}. \quad (10)$$

温度对基本 MOS 管的影响采用 BSIM4 自带的温度参数, 分别调节迁移率、阈值电压、饱和漏电压的温度参数. 电阻 R_{DT} , R_{JFET} 和 R_{DB} 则通过代入以下经验公式中的 R_{ex} 来表示温度的影响 [17]:

$$R_{ex}(T) = R_{ex}(T_{NOM}) \cdot [1 + T_{CRD1} (T - T_{NOM}) + T_{CRD2} \cdot (T - T_{NOM})^2], \quad (11)$$

其中 T_{NOM} 为常温, T_{CRD1} 和 T_{CRD2} 分别为一次项和二次项的拟合系数.

2.2 屏蔽栅沟槽 MOSFET 电容模型

如图 2(a) 所示, 与传统的功率 MOSFET 器件相比^[18,19], SGT MOS 引入了电容 C_{GH} , C_{GSH1} , C_{GSH2} ; 其中栅-屏蔽栅电容 C_{GH} 属于栅源电容 C_{GS} , 屏蔽栅-漏电容 C_{GSH1} 和 C_{GSH2} 属于漏源电容 C_{DS} , 此外栅-漂移区重叠区域 (即 LDD 区) 的减少降低了栅漏电容 C_{GD} , C_{GD} 其中一端也从漏极收缩至栅-漂移区重叠区末端的节点 B 处. 本文以 BSIM4 为基础, 对漏源电容模型进行扩展, 并将栅漏电容模型中的栅漏偏置 V_{GD} 修改为栅极同栅-漂移区重叠区末端节点 B 的电势差 V_{GB} , 其电容等效电路如图 2(b) 所示, 其中 B 点下方为受 V_{DS} 控制的压控电压源, 表示 B 点电势 V_{B} 为关于 V_{DS} 的函数.

SGT MOS 的栅源电容 C_{GS} 等于栅-体区电容 C_{GI} 、栅-屏蔽栅电容 C_{GH} 、栅源重叠电容 C_{GO} 之和. 由于栅-体区电容 C_{GI} 为典型的 MOS 电容, 栅-屏蔽栅电容 C_{GH} 与栅源重叠电容 C_{GO} 均为与电压无关的定值电容, 因而可分别使用 BSIM4 栅源电容模型中的栅体电容模型和栅源重叠电容模型

表示.

BSIM4 漏源电容模型中的结电容 C_{J} 采用耗尽公式推导得到^[20]:

$$C_{\text{J}} = C_{\text{J0}} \cdot Z \cdot \left(1 - \frac{V_{\text{DS}}}{v_{\text{i}}}\right)^{-m}, \quad (12)$$

其中, C_{J0} 为单位宽度零偏结电容, v_{i} 为结电势, m 为分级系数. C_{GSH1} 和 C_{GSH2} 是关于 V_{DS} 的函数, 为简化模型使用屏蔽栅-漏等效电容 C_{GSH} 表示 C_{GSH1} 和 C_{GSH2} 之和, 使用屏蔽栅-漏等效电荷 Q_{GSH} 表示 Q_{GSH1} 和 Q_{GSH2} 之和:

$$Q_{\text{GSH}} = C_{\text{SH}} \cdot Z \cdot (-V_{\text{DS}} - V_{\text{FBsh}} - \psi_{\text{sh}}), \quad (13)$$

其中,

$$C_{\text{SH}} = m_{\text{sh}} \left[\frac{\varepsilon_{\text{ox}} L_{\text{SH}}}{t_{\text{i}}} + \frac{\varepsilon_{\text{ox}} (0.5 W_{\text{cell}} - t_{\text{s}})}{t_{\text{DB}}} \right]$$

为屏蔽栅等效电容, m_{sh} 为屏蔽栅电容修正因子. 则扩展后的漏源电容可表示为

$$C_{\text{DS}} = C_{\text{J}} + \frac{\partial Q_{\text{GSH}}}{\partial V_{\text{DS}}}. \quad (14)$$

相比于其他垂直器件, SGT MOS 的 C_{GD} 从所处的位置上看更接近于 LDMOS 的栅漏电容. 文献 [21] 使用漂移区等效电阻与基本 MOS 管之间的节点与栅极之间的电压差来表示 LDMOS 的

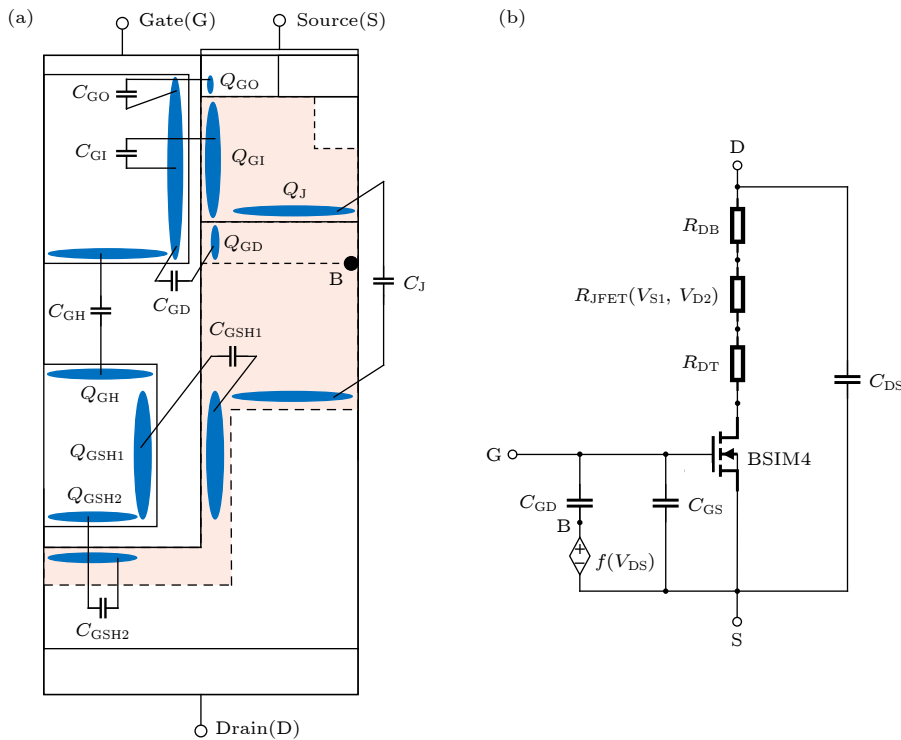


图 2 SGT MOS 的电容和电荷的分布 (a) 及电容等效电路 (b)

Fig. 2. (a) Distribution of capacitance and charge of SGT MOS; (b) equivalent capacitance circuit of SGT MOS.

栅漏电容, 漂移区等效电阻与基本 MOS 管之间的节点电压可直接取自直流模型. 本文 SGT MOS 直流模型中使用的漂移区和衬底的等效电阻公式是在静态工作条件下推导的, 因此无法准确模拟等效电阻 R_{DT} 与基本 MOS 管之间节点 D1 在开关过程中的电压. 为准确预测开关过程中 C_{GD} 的值, 本文选用图 2(a) 中栅-漂移区重叠区域的末端节点 B 的电势作为 C_{GD} 其中一端的偏置, 使用泊松方程求解节点 B 电势 V_B 关于 V_{DS} 的表达式, 模拟开关过程中漂移区的耗尽区域承受器件的大部分压降.

SGT MOS 工作时栅-漂移区重叠区处于累积状态或耗尽状态. 当 $V_{GB} (V_{GS} - V_B)$ 大于漂移区与栅之间平带电压 V_{FBd} 时, 电子在漂移区表面累积, 栅漏电荷 Q_{GD} 表示为

$$Q_{GD} = -C_{GDL} \cdot Z \cdot (V_{GB} - V_{FBd}), \quad (15)$$

其中 C_{GDL} 为单位宽度的等效栅漏电容.

当 V_{GB} 小于 V_{FBd} 时, 漂移区处于耗尽状态, 栅漏电荷表达式为

$$Q_{GD} = -C_{GDL} \cdot Z \cdot (V_{GB} - V_{FBd} - \psi_{sd}), \quad (16)$$

其中

$$\psi_{sd} = V_{GB} - V_{FBd} + \frac{\gamma^2}{2} \times \left[-1 + \sqrt{1 - \frac{4(V_{GB} - V_{FBd})}{\gamma^2}} \right]$$

为漂移区与栅重叠部分的表面电势^[13],

$$\gamma = t_{ox} \sqrt{2\varepsilon_{si}qN_d/\varepsilon_{ox}}$$

为栅-漂移区重叠区域的漂移区偏置系数.

为保证 C_{GD} 曲线的连续性和光滑性, 对 (15) 式和 (16) 式进行如下处理, 得到 Q_{GD} 对 V_{GB} 整个区间的表达式:

$$Q_{GD} = -C_{GDL} \cdot Z \cdot \left[V_{GB} - V_{FBd} - V_{GB,overlap} - \frac{\gamma^2}{2} \left(-1 + \sqrt{1 - \frac{4V_{GB,overlap}}{\gamma^2}} \right) \right], \quad (17)$$

其中 $V_{GB,overlap}$ 为对 $(V_{GB} - V_{FBd})$ 的光滑处理^[13], 表示为

$$V_{GB,overlap} = \frac{1}{2} \left[V_{GB} - V_{FBd} + 0.02 - \sqrt{(V_{GB} - V_{FBd} + 0.02)^2 + 0.08} \right], \quad (18)$$

则栅漏电容可表示为

$$C_{GD} = \frac{\partial Q_{GD}}{\partial V_B} \cdot \frac{\partial V_B}{\partial V_{DS}}. \quad (19)$$

B 点电势 V_B 关于漏源偏置 V_{DS} 的表达式使用泊松方程求解. 如图 3(a) 所示, 漂移区分为 I, II, III 三个区域, 虚线箭头为漂移区指向栅和屏蔽栅的电场线, 相当于在栅与屏蔽栅之间存在一个虚拟栅 (virtual gate) 和一个虚拟屏蔽栅 (virtual shield-gate), 如图 3(a) 阴影区所示. 由于栅与屏蔽栅最左边电场线的路径超过了图中槽的宽度, 因此虚拟栅与虚拟屏蔽栅会超出图示槽的左边界. 上文在推导 C_{GSH} 对 V_{DS} 的表达式时忽略了虚拟屏蔽栅影响, 这是由于虚拟屏蔽栅的长度远小于屏蔽栅长 L_{SH} , 且与漂移区的距离非常大, 对屏蔽栅-漏等效电容的影响非常小.

为简化泊松方程, 获得光滑的 V_B 曲线, 将虚拟栅与栅整合成一个等效栅, 将虚拟屏蔽栅和屏蔽栅整合成一个等效屏蔽栅, 同时 III 区被并入 I 区和 II 区中, B 点因此下移至 I 区和 II 区的边界. 整合后器件漂移区受栅和屏蔽栅的影响与整合前一致. 如图 3(b) 所示, SGT MOS 等效栅-漂移区重叠长度为 L_{ovequ} , 等效栅氧厚度为 $k_1 \cdot t_{ox}$, 等效屏蔽栅长度为 L_{SHequ} , 等效屏蔽栅氧化层厚度为 $k_2 \cdot t_i$, 其中 k_1 为栅氧厚度因子, 代表栅对漂移区影响的程度, k_2 为屏蔽栅氧化层厚度因子, 代表屏蔽栅对漂移区影响的程度, 且 L_{ovequ} 与 L_{SHequ} 之和等于 L_{ov} , L_{DT} 与 L_{SH} 之和. 随着栅氧厚度的变化, 整合之后 (17) 式中的栅-漂移区重叠区域的漂移区偏置系数 γ 修改为

$$\gamma = k_1 \cdot \frac{t_{ox} \sqrt{2\varepsilon_{si}qN_d}}{\varepsilon_{ox}}. \quad (20)$$

本文使用的泊松方程忽略了电流对漂移区的影响. SGT MOS 开启之初, 工作电流小, 对 V_B 的影响不大; SGT MOS 进入工作区之前, 尽管电流大, 但漏源两端工作电压小, V_B 的变化非常小. 同理, SGT MOS 关断过程电流对 V_B 的影响也很小, 因此忽略电流影响的泊松方程解得的 V_B 的表达式能够较为准确地反映 B 点的电压变化. V_B 的表达式为

$$\begin{cases} V_B = \frac{-T_2 + \sqrt{T_2^2 - T_1 T_{3eff}}}{T_1}, & V_{DS} \leq V_{db2}, \\ V_B = N_{1eff} V_{DS} + N_{2eff}, & V_{DS} > V_{db2}, \end{cases} \quad (21)$$

其中 T_{3eff} 是关于 V_{DS} 的函数, T_1 , T_2 , N_{1eff} , N_{2eff}

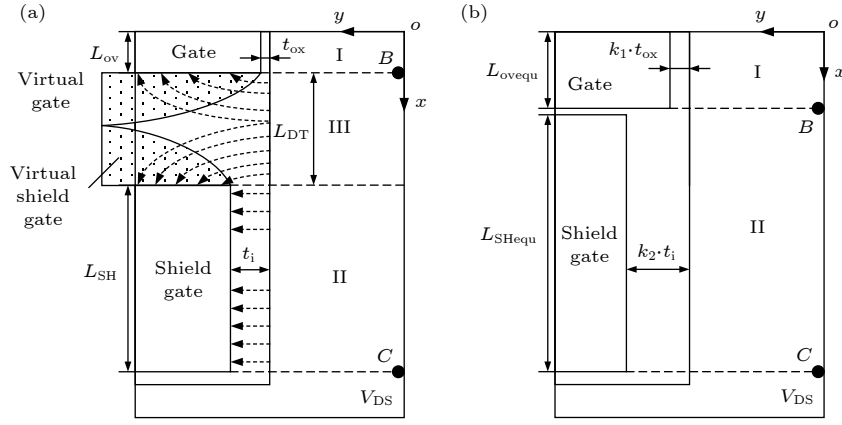


图3 SGT MOS 栅和屏蔽栅 (a) 等效前的结构示意图和 (b) 等效后的结构示意图
Fig. 3. Schematic diagrams of structure before equivalence (a) and after equivalence (b).

为 V_B 表达式的常系数, V_{db2} 为 V_B 表达式中 V_{DS} 的边界值, 对应漂移区恰好耗尽完 II 区. 以上函数关系和常系数表达式以及 V_B 表达式的推导过程见附录.

3 模型直流特性和动态特性的验证

本文使用 Verilog-A 对华润上华某 45V SGT MOS 器件建立直流模型和电容模型, 并搭建实验平台测试数据, 进行模型验证. SGT MOS 器件的尺寸如表 1 所示, 其中 L_{DT} 超过 L_{SH} 的一半, 因此电子扩散区对直流特性的影响不可忽略.

表 1 SGT MOS 的尺寸
Table 1. The size of SGT MOS.

参数名	含义	大小/ μm
t_{ox}	栅氧厚度	0.07
t_i	屏蔽栅与漂移区间氧化层厚度	0.18
t_s	槽右侧漂移区宽度	0.30
t_{DB}	屏蔽栅底部与漂移区的距离	0.07
L_{ch}	沟道长度	0.53
L_{ov}	栅与漂移区重叠部分的长度	0.10
L_{DT}	栅与屏蔽栅间距	0.52
L_{SH}	屏蔽栅长度	0.87
W_{cell}	元胞宽度	1.20

3.1 屏蔽栅沟槽 MOSFET 直流特性验证

使用 Verilog-A 编写直流模型程序, 直流模型中等效电阻的相关参数为: $R_{DT} = 125.2 \Omega$, $R_{DB} = 465.8 \Omega$, $\beta = 8.84$, $P_1 = 1.232 \times 10^{-4} \text{ cm}$, $P_2 = 1.1 \times 10^{-5} \text{ cm} \cdot \text{V}^{-0.5}$, $P_3 = 13 \text{ V}$. 电阻随温度变化的

参数为: $T_{NOM} = 298.15 \text{ K}$, $T_{CRD1} = -0.1809 \text{ K}^{-1}$, $T_{CRD2} = 1.505 \text{ K}^{-2}$.

图 4 和图 5 分别为 25 °C 和 150 °C 下的器件转移特性及其跨导 G_m 和输出特性及其输出电导 G_{DS} 的仿真曲线和测试曲线. 受限于测试仪器的功率, SGT MOS 的输出特性曲线仅测试了 V_{DS} 在 0—6 V 的范围. 在该范围内, 本文建立的直流模型能够很好地拟合实际测试值, 且能够有效反映温度对直流特性的影响. 例如, 从图 4(a) 可知 25 °C 下器件的阈值电压 V_{th} 在 2.68 V 左右, 从图 5(a) 可知 150 °C 下器件的阈值电压 V_{th} 在 2.45 V 左右, 阈值电压随着温度的升高发生偏移, 从图 4(c) 和图 5(c) 可知器件的饱和电压 V_{Dsat} 随着温度的升高而增大.

3.2 屏蔽栅沟槽 MOSFET 电容特性验证

动态电容 C_{GS} , C_{GD} , C_{DS} 通常不是直接测量得到, 产品手册中只提供输入电容 C_{iss} 、输出电容 C_{oss} 和反馈电容 C_{rss} , 它们的关系如下所示:

$$C_{GD} = C_{rss}, \quad (22a)$$

$$C_{GS} = C_{iss} - C_{rss}, \quad (22b)$$

$$C_{DS} = C_{oss} - C_{rss}. \quad (22c)$$

在测试信号频率为 1 MHz 条件下测试得到电容 C_{iss} , C_{oss} 和 C_{rss} 的数据, 并通过 (22) 式得到动态电容 C_{GS} , C_{GD} , C_{DS} 的数据. 使用 Verilog-A 编写电容模型程序, 电容模型的相关参数设置为: $m = 0.5$, $m_{sh} = 0.0654$, $k_1 = 6$, $k_2 = 1.7$, $L_{ovequ} = 0.35 \mu\text{m}$, $L_{SHequ} = 1.14 \mu\text{m}$.

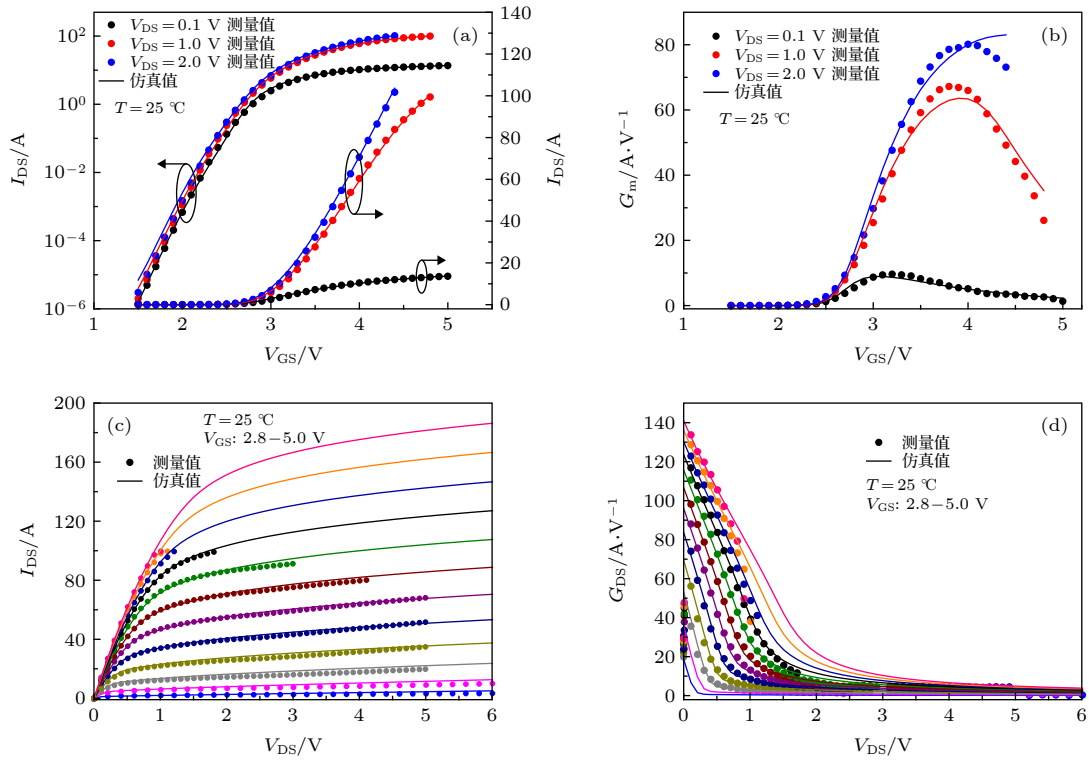


图 4 25 °C 下的 (a) 转移特性曲线, (b) 跨导 G_m 曲线, (c) 输出特性曲线和 (d) 输出电导 G_{DS} 曲线

Fig. 4. The curves of (a) transfer characteristic, (b) transconductance G_m , (c) output characteristic and (d) output conductance G_{DS} at 25 °C.

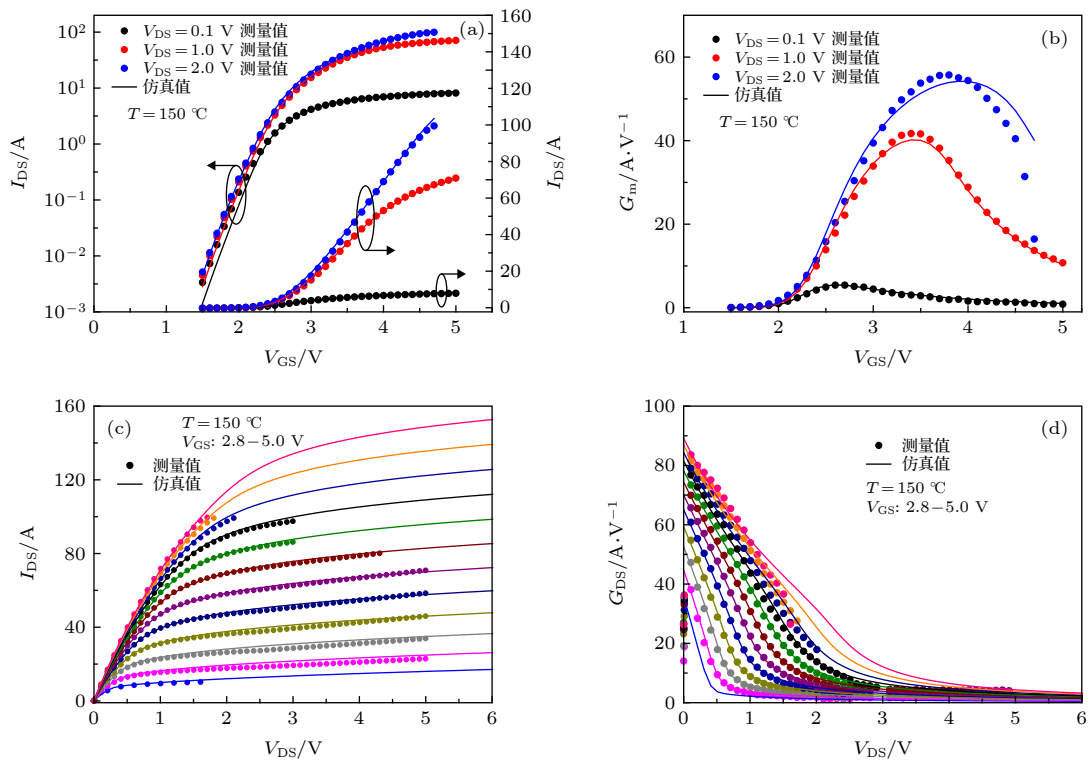


图 5 150 °C 下的 (a) 转移特性曲线, (b) 跨导 G_m 曲线, (c) 输出特性曲线和 (d) 输出电导 G_{DS} 曲线

Fig. 5. The curves of (a) transfer characteristic, (b) transconductance G_m , (c) output characteristic and (d) output conductance G_{DS} at 150 °C.

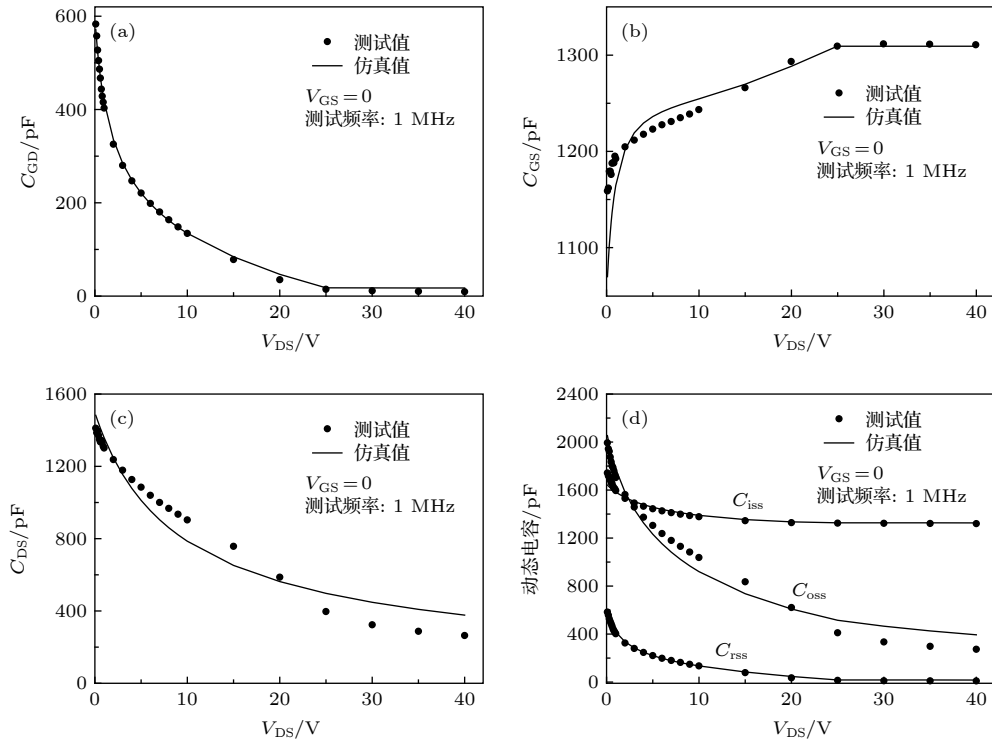


图 6 电容-偏压变化曲线 (a) C_{GD} - V_{DS} 曲线; (b) C_{GS} - V_{DS} 曲线; (c) C_{DS} - V_{DS} 曲线; (d) C_{iss} , C_{oss} , C_{rss} 关于 V_{DS} 的曲线
 Fig. 6. Capacitance curves on bias voltage: (a) Curve of C_{GD} on V_{DS} ; (b) curve of C_{GS} on V_{DS} ; (c) curve of C_{DS} on V_{DS} ; (d) curves of C_{iss} , C_{oss} and C_{rss} on V_{DS} .

图 6 为 SGT MOS 寄生电容的仿真曲线和测试曲线, 从图中可知, 仿真数据与测试数据有较好的拟合, 且电容模型能够很好地解释测试数据所包含的电学现象. 例如, 图 6(a) 中 C_{GD} 在 $V_{DS} = 25$ V 时下降速率突然变缓, 图 6(b) 中 C_{GS} 在 $V_{DS} = 25$ V 时不再增大, $V_{DS} = 25$ V 这个电压值对应 (21) 式中 V_{DS} 的边界值 V_{db2} , 此时耗尽区恰好覆盖图 3(b) 中整个 II 区.

3.3 屏蔽栅沟槽 MOSFET 开关特性验证

屏蔽栅沟槽 MOSFET 的开关特性与电容

C_{GS} 和 C_{GD} 及其直流特性相关, 因此直流模型和电容模型的准确度决定了模型开关特性的精度. 为评估 SGT MOS 的开关特性, 本文采用图 7(a) 所示的测试电路, 其中电流源 I_G 为 1 mA, 电压源 E 为 30 V, 外电阻 R_o 为 3 Ω , SGT MOS 开启时的工作电流 I_{on} 为 10 A.

图 7(b) 所示为 SGT MOS 工作电流 I_{on} 为 10 A 下开关特性的仿真曲线和测试曲线. 从图中可以看到, 开启过程中 SGT MOS 模型模拟的 V_{GS} 与 V_{DS} 的变化趋势与实际测试数据拟合较好. 图 7(b) 中 V_{GS} 平台区的前端与测试数据有略微差

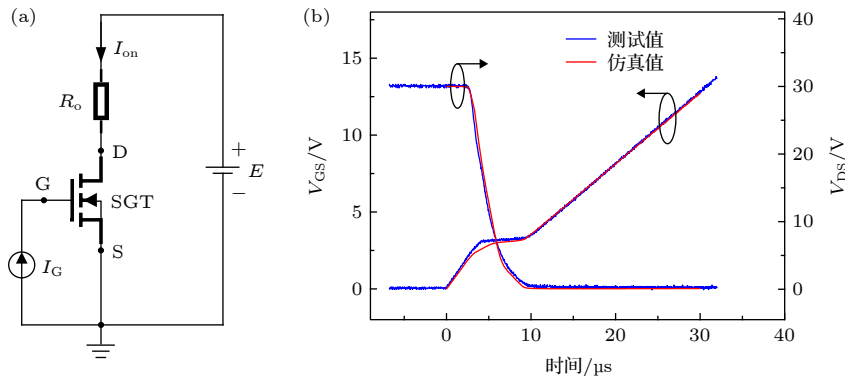


图 7 开关特性验证 (a) 测试电路; (b) 工作电流 $I_{on} = 10$ A 下的开关特性曲线
 Fig. 7. Verification of switching characteristic: (a) Switching characteristic test circuit; (b) switching characteristic curve at $I_{on} = 10$ A.

距, 这是因为在该处 V_{DS} 从电压源 E 开始下降, V_B 处于变化最大的阶段, 而流过漂移区的电流等于 I_{on} , 处于电流最大的阶段, 此时电流对 V_B 的影响不可忽略, 从而导致平台区前端模型仿真与测试数据存在一定的偏差.

4 结 论

本文基于 BSIM4 建立了屏蔽栅沟槽 MOSFET 的直流模型和电容模型. 直流模型采用以 BSIM4 为模型的本征 MOS 区串联多个等效电阻的方法, 将漂移区和 N 型衬底等效为 R_{DT} , R_{JFET} 和 R_{DB} 三个电阻, 使用两端电势 V_{S1} 和 V_{D2} 推导了 JFET 区等效电阻 R_{JFET} 的表达式, 引入 R_{DT} 解决 JFET 区源端电势 V_{S1} 过低的问题, 并验证了电阻 R_{DT} 和 R_{DB} 与偏置电压无关. 电容模型中, 栅源电容直接采用 BSIM4 模型, 漏源电容在 BSIM4 基础上添加屏蔽栅-漏等效电容的公式, 栅漏电容以栅极同栅-漂移区重叠区末端节点 B 的电势差 V_{GB} 为偏置. 使用泊松方程求解 B 点电势 V_B 的表达式, 通过对栅和屏蔽栅结构进行等效来简化泊松方程, 并保证 V_B 曲线的光滑性. 使用 Verilog-A 和电路仿真工具对本文所提模型进行仿真分析, 并搭建电路获取测试数据. 结果表明, 本文所提出的模型与实际测试数据能够较好地拟合, 在科研及生产中具有较高的研究价值和应用价值.

附录

如图 3(b) 所示漂移区分为 I 区和 II 区, I 区的电势分布 φ_1 和 II 区的电势分布 φ_2 可由如下泊松方程所示:

$$\frac{\partial^2 \varphi_1(x, y)}{\partial x^2} + \frac{\partial^2 \varphi_1(x, y)}{\partial y^2} = -\frac{qN_d}{\varepsilon_s}, \quad (\text{A1})$$

$$\frac{\partial^2 \varphi_2(x, y)}{\partial x^2} + \frac{\partial^2 \varphi_2(x, y)}{\partial y^2} = -\frac{qN_d}{\varepsilon_s}. \quad (\text{A2})$$

I 区电势 φ_1 的边界条件为

$$\begin{aligned} \frac{\partial \varphi_1(x, 0)}{\partial x} &= 0, \\ \frac{\partial \varphi_1(x, t_s)}{\partial x} &= \frac{\varepsilon_{ox}}{\varepsilon_s} \frac{V_{GS} - \varphi_1(x, t_s)}{k_1 t_{ox}}. \end{aligned} \quad (\text{A3})$$

使用泰勒公式对 (A3) 式和 (A1) 式化简得到 I 区的电势分布的方程为^[22]

$$\frac{\partial^2 \varphi_1(x, 0)}{\partial x^2} - \frac{\varphi_1(x, 0)}{t_1^2} = -\left(\frac{qN_d}{\varepsilon_s} + \frac{V_{GS}}{t_1^2}\right), \quad (\text{A4})$$

其中, $t_1 = \sqrt{t_s^2/2 + k_1 \varepsilon_s t_{ox} t_s / \varepsilon_{ox}}$.

II 区电势 φ_2 的边界条件为

$$\frac{\partial \varphi_2(x, 0)}{\partial x} = 0, \quad \frac{\partial \varphi_2(x, t_s)}{\partial x} = -\frac{\varepsilon_{ox}}{\varepsilon_s} \cdot \frac{\varphi_2(x, t_s)}{k_2 t_1}, \quad (\text{A5})$$

使用泰勒公式对 (A5) 式和 (A2) 式化简得到漂移区电势分布的方程为

$$\frac{\partial^2 \varphi_2(x, 0)}{\partial x^2} - \frac{\varphi_2(x, 0)}{t_2^2} = -\frac{qN_d}{\varepsilon_s}, \quad (\text{A6})$$

其中 $t_2 = \sqrt{t_s^2/2 + k_2 \varepsilon_s t_1 t_s / \varepsilon_{ox}}$.

随着 V_{DS} 的增大, 漂移区耗尽区先覆盖整个 I 区, 后覆盖整个 II 区, 这两个时刻的漏源电压为 V_{DS} 的边界电压, 分别为 V_{db1} 和 V_{db2} . V_{DS} 超过 V_{db2} 后, 耗尽区的覆盖范围将超过 II 区.

当 $V_{DS} < V_{db1}$ 时, I 区部分耗尽, 电压降主要由耗尽区承受, 因此 V_B 等于耗尽区边界的电势, 即 $V_B = V_{DS}$.

当 $V_{db1} \leq V_{DS} \leq V_{db2}$ 时, I 区完全耗尽, II 区部分耗尽, 此时方程 (A4) 的边界条件为

$$\varphi_1(0, 0) = 0, \quad \varphi_1(L_{\text{ovequ}}, 0) = V_B. \quad (\text{A7})$$

方程 (A6) 的边界条件为

$$\begin{aligned} \varphi_2(L_{\text{ovequ}}, 0) &= V_B, \quad \varphi_2(W_{D2}, 0) = V_{DS}, \\ \frac{\partial \varphi_2(-W_{D2}, 0)}{\partial x} &= 0. \end{aligned} \quad (\text{A8})$$

其中 W_{D2} 表示耗尽区末端位于 x 方向的坐标值. 根据边界条件 (A7) 和 (A8) 求解得到 V_B 表达式为

$$V_B = \frac{-T_2 + \sqrt{T_2^2 - T_1 T_3}}{T_1}, \quad (\text{A9})$$

其中,

$$T_1 = t_2^2 A^2 - t_1^2,$$

$$T_2 = t_2^2 A \cdot (B - A)(V_{\text{ph1}} + V_{\text{GS}}) + t_1^2 V_{\text{ph2}},$$

$$T_3 = [t_2(B - A)(V_{\text{ph1}} + V_{\text{GS}})]^2 + t_1^2 V_{\text{DS}}^2 - 2t_1^2 V_{\text{ph2}} V_{\text{DS}},$$

$$V_{\text{ph1}} = \frac{qN_d t_1^2}{\varepsilon_s}, \quad V_{\text{ph2}} = \frac{qN_d t_2^2}{\varepsilon_s},$$

$$A = \frac{1}{\tanh(L_{\text{ovequ}}/t_1)}, \quad B = \frac{1}{\sinh(L_{\text{ovequ}}/t_1)}.$$

当 $V_{DS} > V_{db2}$ 时, 耗尽区的覆盖范围将超过 II 区, 此时 I, II 区的电场分布近似为抛物线, 漏源电压主要降在 I, II 区内, 因此 II 区边界 C 点处电势可近似等于 V_{DS} . 该情况下方程

(A4) 的边界条件依旧为 (A7) 式, 方程 (A6) 的边界条件为

$$\begin{aligned} \varphi_2(L_{\text{ovequ}}, 0) &= V_B, \\ \varphi_2(L_{\text{ovequ}} + L_{\text{SHequ}}, 0) &= V_{\text{DS}}. \end{aligned} \quad (\text{A10})$$

根据边界条件 (A7) 式和 (A10) 式求解得到 V_B 的表达式为

$$V_B = N_1 V_{\text{DS}} + N_2, \quad (\text{A11})$$

其中,

$$\begin{aligned} N_1 &= \frac{t_1 D}{t_2 A + t_1 C}, \\ N_2 &= \frac{t_2(A - B)(V_{\text{ph1}} + V_{\text{GS}}) + t_1(C - D)V_{\text{ph2}}}{t_2 A + t_1 C}, \\ C &= \frac{1}{\tanh(L_{\text{SHequ}}/t_2)}, \quad D = \frac{1}{\sinh(L_{\text{SHequ}}/t_2)}. \end{aligned}$$

V_{db1} 和 V_{db2} 的表达式为

$$V_{\text{db1}} = (V_{\text{ph1}} + V_{\text{GS}}) \left[1 - \frac{1}{\cosh(L_{\text{ovequ}}/t_1)} \right], \quad (\text{A12})$$

$$V_{\text{db2}} = \frac{-T_{\text{b2}} + \sqrt{T_{\text{b2}}^2 - T_{\text{b1}} T_{\text{b3}}}}{T_{\text{b1}}}, \quad (\text{A13})$$

其中,

$$\begin{aligned} T_{\text{b1}} &= T_1 \cosh^2\left(\frac{L_{\text{SHequ}}}{t_2}\right) + t_1^2, \\ T_{\text{b2}} &= T_1 H \cosh\left(\frac{L_{\text{SHequ}}}{t_2}\right) + T_2 \cosh\left(\frac{L_{\text{SHequ}}}{t_2}\right) \\ &\quad - t_1^2 V_{\text{ph2}}, \\ T_{\text{b3}} &= T_1 H^2 + 2T_2 H + [t_2(B - A)(V_{\text{ph1}} + V_{\text{GS}})], \\ H &= \left[1 - \cosh\left(\frac{L_{\text{SHequ}}}{t_2}\right) \right] V_{\text{ph2}}. \end{aligned}$$

为保证曲线的连续性和光滑性, 对 V_B 作如下处理.

当 $V_{\text{DS}} \leq V_{\text{db2}}$ 时, V_B 表示为

$$V_B = \frac{-T_2 + \sqrt{T_2^2 - T_1 T_{3\text{eff}}}}{T_1}, \quad (\text{A14})$$

其中,

$$\begin{aligned} T_{3\text{eff}} &= t_1^2 V_{\text{DS}}^2 - 2t_1^2 V_{\text{ph2}} V_{\text{DS}} + \frac{V_{\text{dseff}}}{V_{\text{db1}}} \\ &\quad \times [t_2(B - A)(V_{\text{ph1}} + V_{\text{GS}})]^2, \\ V_{\text{dseff}} &= V_{\text{db1}} - \frac{1}{2} [(V_{\text{db1}} - V_{\text{DS}} - d_0) \\ &\quad + (V_{\text{db1}} - V_{\text{DS}} - d_0)^2 + 4d_0 V_{\text{db1}}], \end{aligned}$$

d_0 为平滑系数, 取值为 0.5.

当 $V_{\text{DS}} > V_{\text{db2}}$ 时, V_B 表示为

$$V_B = N_{1\text{eff}} V_{\text{DS}} + N_{2\text{eff}}, \quad (\text{A15})$$

其中,

$$N_{1\text{eff}} = \frac{-M_2}{2\sqrt{T_2^2 - T_1 T_{3M}}},$$

$$N_{2\text{eff}} = V_{\text{BM}} - N_{1\text{eff}} V_{\text{db2}},$$

$$V_{\text{BM}} = \frac{-T_2 + \sqrt{T_2^2 - T_1 T_{3M}}}{T_1}.$$

M_2, T_{3M} 的表达式为

$$\begin{aligned} M_2 &= 2t_1^2 (V_{\text{db2}} - V_{\text{ph2}}) \\ &\quad + \frac{M_1 [t_2(B - A)(V_{\text{ph1}} + V_{\text{GS}})]^2}{V_{\text{db1}}}, \end{aligned} \quad (\text{A16})$$

$$\begin{aligned} T_{3M} &= t_1^2 (V_{\text{db2}}^2 - 2V_{\text{ph2}} V_{\text{db2}}) \\ &\quad + \frac{V_{\text{dsM}} [t_2(B - A)(V_{\text{ph1}} + V_{\text{GS}})]^2}{V_{\text{db1}}}, \end{aligned} \quad (\text{A17})$$

其中,

$$M_1 = \frac{1}{2} \left[1 + \frac{V_{\text{db1}} - V_{\text{db2}} - d_0}{\sqrt{(V_{\text{db1}} - V_{\text{db2}} - d_0)^2 + 4d_0 V_{\text{db1}}}} \right],$$

$$\begin{aligned} V_{\text{dsM}} &= V_{\text{db1}} - \frac{1}{2} [(V_{\text{db1}} - V_{\text{db2}} - d_0) \\ &\quad + \sqrt{(V_{\text{db1}} - V_{\text{db2}} - d_0)^2 + 4d_0 V_{\text{db1}}}], \end{aligned}$$

参考文献

- [1] Wang Y, Hu H F, Yu C H, Wei J T 2015 *IET Power Electronics* **8** 678
- [2] Sarkar T, Sapp S, Challa A 2013 *28th Annual IEEE Applied Power Electronics Conference and Exposition (APEC)* Long Beach, USA, March 17–21, 2013 p507
- [3] Park C, Havanur S, Shibib A, Terrill K 2016 *28th International Symposium on Power Semiconductor Devices and ICs (ISPSD)* Prague, Czech Republic, June 12–16, 2016 p387
- [4] Tong C F, Cortes I, Mawby P A, Covington J A, Morancho F 2009 *IEEE Spanish Conference on Electron Devices Santiago de Compostela* Santiago de Compostela, Spain, February 11–13, 2009 p250
- [5] Choi W, Son D, Young S 2012 *27th Annual IEEE Applied Power Electronics Conference and Exposition (APEC)* Orlando, USA, February 5–9, 2012 p1676
- [6] Wang Y, Yu C H, Li M S, Cao F, Liu Y J 2017 *IEEE Trans. Electron Devices* **64** 1455
- [7] Bao J, Qi H, Zhang J, Zhang Y, Hao Z 2011 *6th IEEE Joint International Information Technology and Artificial Intelligence Conference* Chongqing, China, August 20–22, 2011 p245
- [8] Wang L, Yang Y H 2010 *Acta Phys. Sin.* **59** 0571 (in Chinese) [王磊, 杨华岳 2010 *物理学报* **59** 0571]
- [9] Shi L, Jia K, Sun W 2013 *IEEE Trans. Electron Devices* **60** 346

- [10] Tanaka A, Oritsuki Y, Kikuchihara H, Miyake M 2011 *IEEE Trans. Electron Devices* **58** 2072
- [11] Victory J, Pearson S, Benczkowski S, Sarkar T, Jang H, Yazdi M B, Mao K 2016 *28th International Symposium on Power Semiconductor Devices and ICs* Prague, Czech Republic, June 12–16, 2016 p219
- [12] Xiao Y, Victory J, Pearson S, Sarkar T, Challa A, Dagan M, Collanton P, Andreev C 2019 *34th Annual IEEE Applied Power Electronics Conference and Exposition* Anaheim, USA, March 17–21, 2019 p508
- [13] Xi X, Dunga M, He J, Liu W, Cao K M, Jin X, Ou J J, Chan M, Niknejad A M http://cmosedu.com/cmos1/BSIM4_manual.pdf[2020-1-28]
- [14] Baliga B J (translated by Han Z S, Lu J, Song L M) 2013 *Fundamentals of Power Semiconductor Devices* (Beijing: Publishing House of Electronics Industry) pp197–198 (in Chinese) [巴利伽 B J 著 (韩郑生, 陆江, 宋李梅译) 2013 功率半导体器件基础 (北京: 电子工业出版社) 第197—198页]
- [15] Klein P 1997 *IEEE Trans. Electron Devices* **44** 1483
- [16] Daniel B J, Parikh C D, Patil M B 2002 *IEEE Trans. Electron Devices* **49** 916
- [17] Arribas A P, Shang F, Krishnamurthy M, Shenai K 2015 *IEEE Trans. Electron Devices* **62** 1449
- [18] Ren M, Chen Z, Niu B, Cao X, Li S, Li Z, Zhang B 2016 *IEEE International Nanoelectronics Conference (INEC)* Chengdu, China, May 9–11, 2016 p1
- [19] Chauhan Y S, Gillon R, Declercq M, Ionescu A M 2007 *37th European Solid State Device Research Conference* Munich, Germany, September 11–13, 2007 p426
- [20] Shenai K 1991 *IEEE Trans. Power Electron* **6** 539
- [21] Agarwal H, Gupta C, Goel R, Kushwaha P, Lin Y K, Kao M Y, Duarte J P, Chang H L, Chauhan Y S, Salahuddin S, Hu C 2019 *IEEE Trans. Electron Devices* **66** 4258
- [22] Zhang W T, Ye L, Fang D, Qiao M, Xiao K, He B, Li Z, Zhang B 2019 *IEEE Trans. Electron Devices* **66** 1416

A compact model of shield-gate trench MOSFET based on BSIM4

Jiang Yi-Xun¹⁾ Qiao Ming^{1)†} Gao Wen-Ming²⁾ He Xiao-Dong²⁾
 Feng Jun-Bo¹⁾ Zhang Sen²⁾ Zhang Bo¹⁾

1) (*State Key Laboratory of Electronic Thin Film and Integrated Devices, University of Electronic Science and Technology of China, Chengdu 610054, China*)

2) (*CSMC Technologies Corporation, Wuxi 214028, China*)

(Received 11 March 2020; revised manuscript received 29 May 2020)

Abstract

Shield-gate trench MOSFET in a low-to-medium voltage range (12–250 V) plays a key role in the power conversion market due to its low power loss caused by the shield-gate structure. In order to eliminate the faults resulting from the parasitic effects of the device and improve the conversion efficiency, the device model is indispensable in designing a circuit system. In this paper, a compact model of shield-gate trench MOSFET based on BSIM4 is proposed, including the DC model and the capacitance model. In the DC model, the basic MOSFET structure uses BSIM4, and the equivalent resistances of the basic MOSFET in series are divided into three parts. The equivalent resistance model of JFET region is established by using the electric potential difference between both ends for the first time, and the equivalent resistance model of electron diffusion region is also introduced, in order to solve the problem of current error caused by neglecting the source potential of JFET region. The equivalent resistance between drain and JFET region and the equivalent resistance of electron diffusion region both prove to be constant. In the capacitance model based on BSIM4, the model of shield-gate to drain capacitance is added to the model of drain to source capacitance, and the voltage bias between drain and gate in the model of gate to drain capacitance is modified into the potential difference between the node at the end of the gate-drift overlap region and the gate. Poisson equations are used to solve the electric potential of this node. Furthermore, the gate oxide thickness factor k_1 , the shield-gate oxide thickness factor k_2 , the equivalent length of gate-drift overlap L_{ovequ} and the equivalent length of shield-gate L_{Shequ} are introduced to redefine the position of gate and shield-gate, thereby simplifying the Poisson equations and ensuring the smoothness of the potential curve of the node. Comparison of the data from the simulation by using Verilog-A program with the test results from the experimental platform shows that the model simulation results fit well with the test data. Therefore, the proposed model is verified.

Keywords: shield-gate trench MOSFET, compact model, BSIM4, Verilog-A

PACS: 71.23.An, 73.40.Qv

DOI: 10.7498/aps.69.20200359

† Corresponding author. E-mail: qiaoming@uestc.edu.cn