



## 基于对偶单元法的三维集成微系统电热耦合分析

曹明鹏 吴晓鹏 管宏山 单光宝 周斌 杨力宏 杨银堂

## Electrothermal coupling analysis of three-dimensional integrated microsystem based on dual cell method

Cao Ming-Peng Wu Xiao-Peng Guan Hong-Shan Shan Guang-Bao Zhou Bin Yang Li-Hong Yang Yin-Tang

引用信息 Citation: *Acta Physica Sinica*, 70, 074401 (2021) DOI: 10.7498/aps.70.20201628

在线阅读 View online: <https://doi.org/10.7498/aps.70.20201628>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn>

### 您可能感兴趣的其他文章

#### Articles you may be interested in

基于有限元法的光子并矢格林函数重整化及其在自发辐射率和能级移动研究中的应用

Renormalization of photon dyadic Green function by finite element method and its applications in the study of spontaneous emission rate and energy level shift

物理学报. 2018, 67(19): 193102 <https://doi.org/10.7498/aps.67.20180898>

基于个性化三维心脏-躯干模型的心磁正问题

Magnetocardiogram forward problem based on personalized three-dimensional heart-torso model

物理学报. 2019, 68(17): 178702 <https://doi.org/10.7498/aps.68.20190387>

三维浅海下弹性结构声辐射预报的有限元-抛物方程法

Acoustic radiation from a cylinder in shallow water by finite element-parabolic equation method

物理学报. 2019, 68(2): 024301 <https://doi.org/10.7498/aps.68.20181452>

新型二维三组元压电声子晶体板的缺陷态及振动能量回收

Defect states and vibration energy recovery of novel two-dimensional piezoelectric phononic crystal plate

物理学报. 2019, 68(23): 234206 <https://doi.org/10.7498/aps.68.20190260>

新型二维压电声子晶体板带隙可调性研究

Tunable bandgaps in novel two-dimensional piezoelectric phononic crystal slab

物理学报. 2018, 67(21): 214208 <https://doi.org/10.7498/aps.67.20180611>

薄膜底面Helmholtz腔声学超材料的隔声性能

Sound insulation performance of Helmholtz cavity with thin film bottom

物理学报. 2019, 68(21): 214302 <https://doi.org/10.7498/aps.68.20191131>

## 基于对偶单元法的三维集成微系统电热耦合分析\*

曹明鹏<sup>1)</sup> 吴晓鹏<sup>1)†</sup> 管宏山<sup>1)</sup> 单光宝<sup>1)</sup> 周斌<sup>2)</sup> 杨力宏<sup>1)</sup> 杨银堂<sup>1)</sup>

1) (西安电子科技大学微电子学院, 西安 710071)

2) (电子元器件可靠性物理及其应用技术重点实验室, 广州 510610)

(2020年9月30日收到; 2020年11月6日收到修改稿)

随着三维集成微系统集成度和功率密度的提高, 同时考察电设计与热管理的多场耦合分析势在必行. 本文面向三维集成微处理器系统, 通过改进的对偶单元法 (dual cell method, DCM) 实现了系统的快速电热分析. 该方法通过引入泄漏功率、材料系数随温度的耦合, 相比于传统有限元法在更新以及组装本构矩阵上有更大的优势. 仿真验证表明, 本文所采用的算法相比传统有限元法仿真速度提升了约 30%. 在考虑了材料系数以及泄露功率热耦合因素后, 系统热点温度相对于考虑耦合前上升了 20.8 K. 最后采用本文所提出算法对三维集成微处理器系统进行布局研究, 比较了硅通孔阵列常规布局和集中布局在处理器核心下方两种布局方式对上下层芯片热点温度的影响, 研究了功率不均匀分配对两种布局的影响.

**关键词:** 三维集成微系统, 对偶单元法, 电热耦合, 有限元法**PACS:** 44.05.+e, 44.10.+i, 47.11.Fg**DOI:** 10.7498/aps.70.20201628

## 1 简介

目前三维集成技术是延续摩尔定律引领集成电路发展走向后摩尔时代的有力解决方案<sup>[1]</sup>. 三维集成微系统具有高集成度、微小型化、低功耗、高可靠性和高效率等优点, 在逻辑计算处理、成像传感和光集成等方面具有广阔的应用前景. 但是三维集成技术同时导致了微系统内单位面积上产生的热功耗急剧增加. 以处理器芯片为例, 目前 CPU 的功耗密度达到了 100 W/cm<sup>2</sup> 以上<sup>[2]</sup>, 功率密度的增加和功率的不均匀分布共同导致了严重的热问题. 而这些热问题反之对诸如泄露电流、电迁移、信号和电源完整性等电设计提出了诸多挑战. 其中泄露功率是目前处理器性能的最重要限制因素之一, 对于 65 nm 及更先进的工艺节点, 泄露功

率占总功率的 10% 以上<sup>[3]</sup>. 泄露功率与温度呈指数关系, 因此泄露功率将导致处理器发热并进一步增加泄露功率本身. 随着温度的变化, 在传热过程中材料的热导率会发生改变, 从而对热点温度产生影响<sup>[4]</sup>. 综上所述, 对高功耗三维集成微系统在设计初期进行电热耦合分析在确保系统可靠性方面具有至关重要的作用.

有限元法 (finite element method, FEM) 由于在复杂几何形状、材料建模方面具有极好的适应性和精度, 因此常被用于电热耦合的分析研究<sup>[5–11]</sup>. 为了使该算法更适于三维集成微系统分析, 在算法改进方面开展了诸多研究工作. Lin 等<sup>[12,13]</sup>提出了一种芯片级泄露感知方法, 采用交替方向隐式法结合芯片功率、工作频率和电源电压之间的各种电热耦合, 预测芯片热分布. 该方法采用了等距网格, 这虽然提升了计算速度, 但也同时导致精度下降.

\* 国防基础科学研究计划 (国防科工局稳定支持基金) (批准号: 614280620200201)、国家自然科学基金 (批准号: 62074121, 62034002)、陕西省自然科学基金 (批准号: 2019GY-010)、陕西省教育厅科研计划 (批准号: 20JY018) 和中央高校基本科研业务费专项资金 (批准号: XJS191101, XJS191106) 资助的课题.

† 通信作者. E-mail: xpwu@mail.xidian.edu.cn

北京大学的 Pi 等<sup>[14]</sup>提出了一种快速的 3D-IC 热管理全芯片规模数值模拟方法, 该法同时考虑了横向和纵向散热的紧凑型热阻网络, 充分分析了硅通孔 (through silicon via, TSV)、微凸块和再分布层中的高导热路径. 然而该研究所用的热阻网络无法获得十分准确的温度场, 并且未考虑温度带来的耦合因素. Chai 等<sup>[15]</sup>开发了径向点插值法, 并对 TSV 阵列进行了电热耦合特性研究, 提高计算效率并降低了存储成本, 加快了基于 TSV 的 3-D IC 的电热设计. 但是这项工作目前仅集中在 TSV 模型上, 还无法对整个三维微系统进行分析. Wang 等<sup>[16]</sup>提出了一种动态线性泄露电流感知的全芯片热估计方法. 该算法将非线性热模型转换为多个局部线性热模型, 并设计了一种自适应降阶法以提高效率. 但线性泄露电流仅能运用于瞬态仿真迭代, 无法在稳态迭代中使用.

针对以上研究中存在的问题, 本文提出了一种能够快速计算电热耦合的改进对偶单元法 (dual cell method, DCM). 该方法在考虑了泄露功率、材料系数与温度的耦合关系的前提下, 将整体本构矩阵分解为常数矩阵和温变矩阵的乘积, 使得在每次温变迭代过程中只需计算温变矩阵. 对比传统 FEM 中的单元传热矩阵, 改进 DCM 的温变矩阵拥有更低的阶数, 在计算量和整体矩阵的组装上有着显著优势. 通过仿真验证了在相同自由度下, 改进 DCM 比传统 FEM 具有更快的计算速度. 最后面向三维集成微处理器系统基于改进的 DCM 对其进行了电热耦合分析, 并根据分析结果进行布局优化指导, 对三维集成微系统的设计优化具有一定的参考价值.

## 2 改进的 DCM 算法

### 2.1 DCM 原理

对偶单元法是一种基于传统 FEM 发展的代数方法, 通过 FEM 的网格剖分, DCM 可以不通过微分方法而直接根据问题的物理场以及基本的几何和拓扑概念定义数值方案, 从而该算法更适用于实现快速计算<sup>[17,18]</sup>. DCM 首先通过网格剖分得到初始单元, 并根据规则构造对偶单元. 之后通过单元对应关系及本构关系分别构造拓扑矩阵和本构矩阵, 最后组成线性方程组进行求解.

DCM 求解传热问题的计算流程如图 1 所示,

单元节点上的温度  $T$  通过拓扑算子矩阵  $\mathbf{G}$  表示成单元边上的温差  $\gamma$ . 然后通过本构关系利用温差计算出对偶面上的热通量  $\Phi$ , 最后再将热通量通过拓扑算子矩阵  $\mathbf{D}$  转化成对偶体上的整体发热量  $q$ .

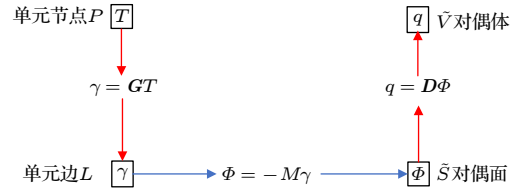


图 1 DCM 求解传热问题流程图

Fig. 1. Flow chart of DCM solving heat transfer problem.

如图 2 所示, DCM 根据四面体单元的重心、4 个面的重心和 6 个边中点的连线构建对偶空间<sup>[19,20]</sup>. 在单个四面体中, 每条边对应着一个对偶面, 如  $e_2$  对应  $S_2$ , 每个顶点对应三个对偶面, 如  $A$  对应  $S_2, S_3, S_6$ . 在单个顶点接触的所有四面体中, 对应该点的所有对偶面构成对偶单元.

对于传热问题的研究, 首先定义节点温度列阵  $\mathbf{T}$ , 获得以节点温度之间的差值作为边  $e_i$  的温差列阵. 温差列阵  $\gamma$  可表示为

$$\gamma = \mathbf{GT} = \begin{pmatrix} T_1 - T_2 & T_1 - T_3 & T_1 - T_4 \\ T_2 - T_3 & T_2 - T_4 & T_3 - T_4 \end{pmatrix}^T, \quad (1)$$

其中拓扑算子矩阵  $\mathbf{G} = \begin{pmatrix} 1 & -1 & 0 & 0 \\ 1 & 0 & -1 & 0 \\ 1 & 0 & 0 & -1 \\ 0 & 1 & -1 & 0 \\ 0 & 1 & 0 & -1 \\ 0 & 0 & 1 & -1 \end{pmatrix}$ , 矩

阵  $\mathbf{G}$  表示了两个节点的关系, 在矩阵  $\mathbf{G}$  中每行对应于一条边, 每列对应一个节点. 节点温度列阵  $\mathbf{T} = (T_1 \ T_2 \ T_3 \ T_4)^T$ .

同时两个节点间的温差  $\gamma$  也可以由单元温度梯度  $\mathbf{g}$  和边向量  $\mathbf{L}$  表示:

$$\gamma_i = \int_{\mathbf{L}} \nabla T \cdot d\mathbf{l} = \mathbf{g} \cdot \mathbf{L}_i = \frac{\partial T}{\partial x} l_{ix} + \frac{\partial T}{\partial y} l_{iy} + \frac{\partial T}{\partial z} l_{iz}, \quad (2)$$

$$\gamma = [\gamma_1 \ \gamma_2 \ \gamma_3 \ \gamma_4 \ \gamma_5 \ \gamma_6]^T = \mathbf{L} \cdot \mathbf{g}. \quad (3)$$

根据傅里叶定律, 热通量  $\Phi$  的表达式为

$$\Phi = \int_{\tilde{S}} \mathbf{q} \cdot d\mathbf{S} = -\mathbf{J} \cdot \tilde{\mathbf{S}} = -k \cdot \mathbf{g} \cdot \tilde{\mathbf{S}}, \quad (4)$$

其中  $k$  为热导率;  $\mathbf{J}$  为热流密度;  $\tilde{\mathbf{S}}$  表示对偶面的面积向量, 方向垂直于对偶面. 结合 (1) 式、(3) 式和 (4) 式可得四面体内部对偶面的热通量矩阵  $\Phi$  为

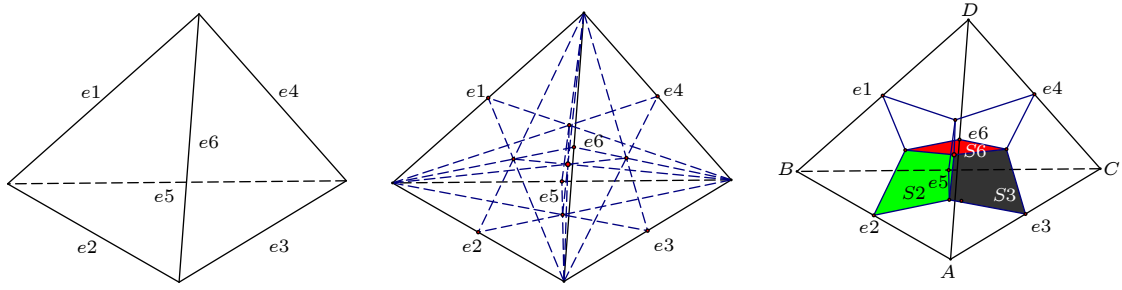


图 2 对偶单元构建过程

Fig. 2. The process of dual unit construction.

$$\Phi = -k \cdot \tilde{S}P\gamma = -M\gamma, \quad (5)$$

其中  $P$  为  $(L_{1,3 \times 3}^{-1} L_{2,3 \times 3}^{-1})/2$ ,  $L_{1,3 \times 3}$ ,  $L_{2,3 \times 3}$  为边矩阵的分块阵;  $M$  为传热问题的本构矩阵.

对于整体网络来说, 将所有对偶面上的热通量相加即为整体节点载荷列阵  $q$ :

$$q = D\Phi. \quad (6)$$

$D$  为拓扑矩阵  $G$  转置的负矩阵即  $D = -G^T$ . 结合 (1) 式、(5) 式和 (6) 式可得整体传热方程为

$$G^T M G T = q. \quad (7)$$

## 2.2 改进的 DCM 耦合分析

随着功率密度不断增加, 芯片的整体温度不断上升, 所以对温度上升导致的耦合分析变得至关重要.

由下式可知泄漏功率与泄漏电流成正比, 其中泄漏电流  $I_{\text{leak}}$  分为亚阈值泄漏电流  $I_{\text{sub}}$  和栅极泄漏电流  $I_{\text{gate}}$ :

$$P_{\text{leak}} = V_{\text{dd}} I_{\text{leak}} = V_{\text{dd}} \cdot (I_{\text{sub}} + I_{\text{gate}}), \quad (8)$$

其中栅极泄漏电流  $I_{\text{gate}}$  对温度并不敏感.

对于 BSIM 4 的 MOSFET 晶体管模型, 其亚阈值电流公式为 ( $V_{\text{ds}} \gg V_t$ )

$$I_{\text{sub}}(T) = K V_T^2 e^{\frac{V_{\text{GS}} - V_{\text{th}}}{\eta V_T}} \left(1 - e^{-\frac{V_{\text{ds}}}{V_T}}\right) \approx K V_T^2 e^{\frac{V_{\text{GS}} - V_{\text{th}}}{\eta V_T}}, \quad (9)$$

其中  $K$  和  $\eta$  为相关工艺参数;  $V_T$  为热电压, 与温度成正比;  $V_{\text{th}}$  为阈值电压.

另外, 材料的热导率是与温度相关的函数, 同时材料的温度变化可以通过温度的插值函数表示, 可得热导率公式如下:

$$k(T) = \sum_0^4 c_n T^n, \quad T_0 \leq T \leq T_1, \quad (10)$$

其中  $c_n$  为插值系数, 具体数值参考文献 [4,10].

引入耦合项  $I_{\text{sub}}(T)$ ,  $k(T)$  后, (7) 式的整体传热方程可改写为与温度相关的形式:

$$G^T M(k(T)) G T = q(I_{\text{sub}}(T)). \quad (11)$$

由 (11) 式可知, 在每次温度迭代计算时, 需要重新计算每个单元的本构矩阵  $M(k(T))$  和载荷列阵  $q(I_{\text{sub}}(T))$  并重新组装. 对于 DCM, 每个单元本构矩阵  $M$  为  $6 \times 6$  的矩阵, 相比于有限元  $4 \times 4$  的传热矩阵  $K$  计算量更大, 组装时间更长. 因此本文对 DCM 的整体传热方程做了进一步的改进.

(5) 式中的本构矩阵  $M(k(T))$  可以分解为

$$M(k(T)) = k(T) \cdot \tilde{S}P = \tilde{S}(k(T)P). \quad (12)$$

由 (1) 式可知在一个四面体单元中通过任意三条边的温差  $\gamma_1, \gamma_2, \gamma_3$  可以计算得到另外三条边的温差. 同时由 (3) 式可知, 求解列矩阵  $g_{3 \times 1}$  所需要的条件为矩阵  $L$  满秩, 所以只需要三个互不相关的边向量即可表示列阵  $g_{3 \times 1}$

$$g_{3 \times 1} = \begin{bmatrix} l_{1x} & l_{2x} & l_{3x} \\ l_{1y} & l_{2y} & l_{3y} \\ l_{1z} & l_{2z} & l_{3z} \end{bmatrix}^{-1} \cdot \begin{bmatrix} \gamma_1 \\ \gamma_2 \\ \gamma_3 \end{bmatrix}. \quad (13)$$

为了满足本构矩阵  $M$  的维度, 温差列阵  $\gamma$  可以由三个温差与三个 0 元构成, 边矩阵  $L$  可由三个边向量和  $3 \times 3$  的零方阵表示:

$$\gamma = (\gamma_1 \quad \gamma_2 \quad \gamma_3 \quad 0 \quad 0 \quad 0)^T, \quad (14)$$

$$L = \begin{pmatrix} l_{1x} & l_{2x} & l_{3x} & 0 & 0 & 0 \\ l_{1y} & l_{2y} & l_{3y} & 0 & 0 & 0 \\ l_{1z} & l_{2z} & l_{3z} & 0 & 0 & 0 \end{pmatrix}^T. \quad (15)$$

此时矩阵  $P$  为  $(l_{3 \times 3}^{-1} \quad O_{3 \times 3})$ , 有效数据减少为 9 个. 梯度阵  $g$  可表示为

$$g = P\gamma. \quad (16)$$

最终可得整体传热方程为

$$\mathbf{G}^T \tilde{\mathbf{S}}(k(T)\mathbf{P})\mathbf{G}\mathbf{T} = \mathbf{G}_S \mathbf{P}_k(T)\mathbf{G}\mathbf{T} = \mathbf{q}(I_{\text{sub}}(T)), \quad (17)$$

其中  $\mathbf{G}_S = \mathbf{G}^T \tilde{\mathbf{S}}$ ;  $\mathbf{P}_k(T) = k(T)\mathbf{P}$ ;  $\mathbf{G}_S$  与  $\mathbf{G}$  矩阵均可在获得网格信息后计算得出, 且不随温度变化. 此时, 每次温度更新仅计算  $\mathbf{P}_k(T)$  即可, 而  $\mathbf{P}_k(T)$  在单个网格单元迭代计算时只需要完成  $3 \times 3$  个数据的计算和组装, 相比于 FEM 的  $4 \times 4$  个数据有着明显的优势. 并且对于同一网格模型的研究, 每次只需计算  $\mathbf{G}$  和  $\tilde{\mathbf{S}}$  矩阵一次就可以应用于不同边界条件的求解.

算法的整体耦合迭代流程如图 3 所示, 首先根据划分的网格信息计算拓扑矩阵  $\mathbf{G}_S$  和  $\mathbf{G}$ , 根据给定的初始温度计算初始状态下的亚阈值泄漏电流和热导率, 并带入计算本构矩阵  $\mathbf{P}_k(T)$  和节点载荷  $\mathbf{q}(I_{\text{sub}}(T))$ . 下一步将本构矩阵和载荷带入传热方程计算出该迭代步的温度场分布  $\mathbf{T}_{\text{new}}$ . 根据计算的温度场更新本构矩阵和节点载荷, 并带入传热方程计算新的温度场分布, 直到两步迭代的结果小于设定的迭代截止精度  $\text{tol}$ .

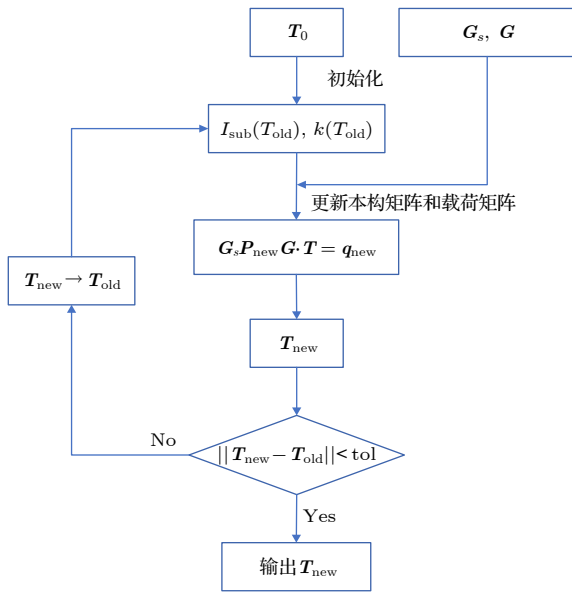


图 3 迭代算法流程图  
Fig. 3. Flow chart of Iteration scheme.

### 3 模型验证与分析

本节采用改进的对偶单元法研究三维集成微处理器系统在耦合情况下的温度分布, 讨论不同 I/O 端口和 TSV 阵列布局对叠层芯片热点温度的影响. 图 4 所示为参考三星 DRAM 和 Intel i7 处

理器芯片构成的两层堆叠微系统结构示意图 [21]. 两层芯片的尺寸均为  $10 \text{ mm} \times 10 \text{ mm}$ , 衬底的尺寸为  $20 \text{ mm} \times 15 \text{ mm}$ , 热沉的尺寸为  $40 \text{ mm} \times 35 \text{ mm}$ . 芯片层的厚度为  $100 \text{ }\mu\text{m}$ , 带 C4 凸块的 TIM 层厚度为  $100 \text{ }\mu\text{m}$ , 带微凸块的 TIM 层厚度为  $40 \text{ }\mu\text{m}$ . 初始温度和环境温度为  $293 \text{ K}$ , 热对流系数为  $100 \text{ W}\cdot\text{m}^{-2}\cdot\text{K}^{-1}$ . DRAM 和处理器的版图布局如图 5 所示, 其中 DRAM 被分为 8 个 Bank 区, 处理器芯片由 4 个 Core 构成 (从左到右分别记为 Core1, Core2, Core3, Core4). 在 DRAM 芯片的 I/O 区域中均匀分布了  $16 \times 80$  个 TSV. 为了能直观表征 Core 区和 Bank 区的温度, 选取如图 5 中所示的黑色虚线为观察芯片温度分布的基准线. 根据 DRAM 和处理器的典型工作状态, 本文在仿真中将 DRAM 的工作功率设为  $2.82 \text{ W}$ , 处理器工作功率设  $36 \text{ W}$ , 其中四个核的总功率为  $26.5 \text{ W}$ , 整个微系统泄漏功率占比为  $12\%$  [3,21].

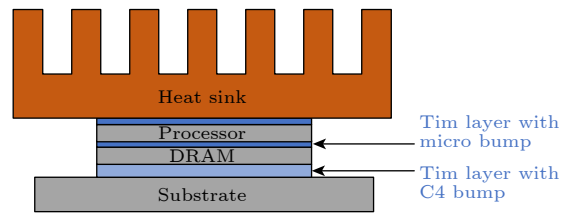


图 4 三维集成微处理器系统结构示意图  
Fig. 4. Schematic diagram of the three-dimensional integrated microprocessor system.

#### 3.1 改进的 DCM 准确性验证

在保证精度的前提下为了降低仿真复杂度, 采用等效模型法对 TSV 阵列进行了等效处理, 通过插值法获得等效区域各向异性的热导率 [22]. 当处理器 4 个核心功率均匀分布时, 处理器和 DRAM 芯片上观察基准线上的温度分布分别如图 6 所示. 当不考虑电热耦合时, FEM 求解得出的处理器和 DRAM 芯片的热点温度分别为  $351.83 \text{ K}$  和  $346.64 \text{ K}$ , DCM 求解得出的处理器和 DRAM 芯片的热点温度分别为  $351.83 \text{ K}$  和  $346.63 \text{ K}$ . 改进的 DCM 与 FEM 获得的温度曲线几乎完全吻合, 有着良好的一致性. 在考虑电热耦合时, 发现用改进的 DCM 与 FEM 仿真得到的处理器芯片与 DRAM 芯片的热点温度为分别为  $373.64, 374.07 \text{ K}$  和  $365.87, 366.24 \text{ K}$ , 改进的 DCM 仿真相比于传统 FEM 误差仅为  $0.53\%$  和  $0.51\%$  (仿真后温度与

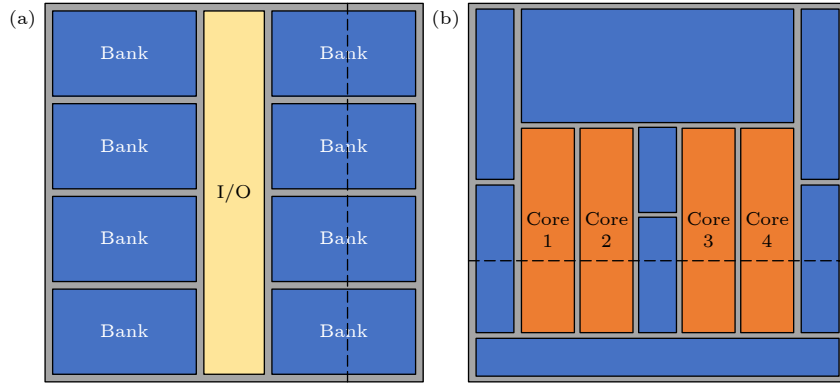


图 5 工作区域分布图 (a) DRAM 芯片; (b) Intel i7 处理器芯片  
Fig. 5. Work area distribution map: (a) DRAM; (b) processor.

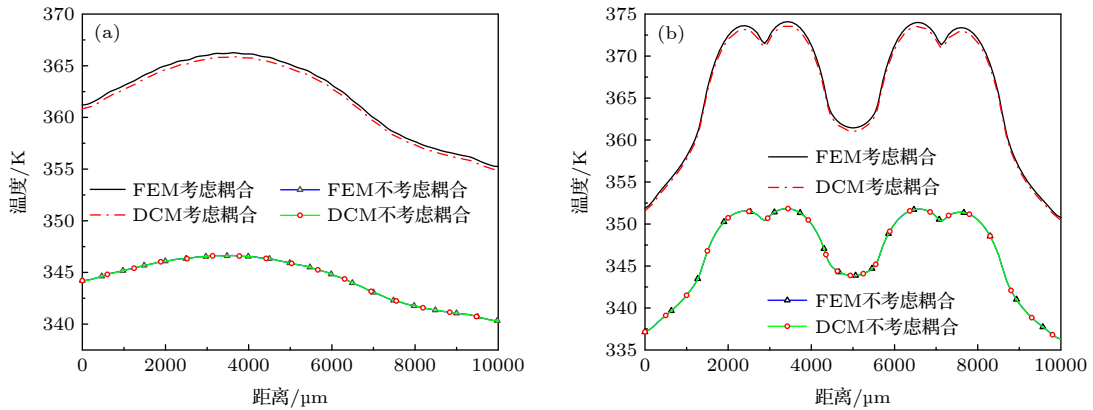


图 6 不考虑耦合与考虑耦合时芯片温度分布 (a) DRAM; (b) 处理器

Fig. 6. Chip temperature distribution without considering coupling and considering coupling: (a) DRAM; (b) processor.

初始温度的差值进行误差计算, 下文同), 其精度满足应用要求.

对比考虑电热耦合前后的仿真结果, 发现在考虑电热耦合因素之后两个芯片的平均温度均提高了约 20 K. 这是因为随着工作温度的上升, 芯片泄漏功率急剧增大, 这使得芯片发热量进一步增大, 形成温度正反馈循环, 这是影响三维集成微系统工作温度的主要因素. 同时材料的热导率会随着温度的升高而降低, 使得结构的导热性能变差, 从而使得温度再度升高, 因此在三维集成微系统的设计过程中, 综合考虑电热耦合对系统可靠性的影响是十分必要的, 否则存在低估系统工作温度的风险.

表 1 所列为将 FEM 和改进 DCM 应用于分析三维集成微系统的仿真时间对比情况. 仿真中均使用相同的网格信息, 因此求解自由度相同. 在不考虑电热耦合时, 两者仿真时间相近. 而在考虑电热耦合后, 进行了 5 次仿真迭代计算, 改进的 DCM 在更新计算组装新的本构矩阵方面其计算量更有

优势. 并且改进的 DCM 在不考虑耦合时已经根据网格信息计算得到了拓扑矩阵, 所以在进行耦合迭代计算时不需再次计算拓扑项, 进一步提高了仿真

表 1 FEM 与改进 DCM 的仿真时间对比  
Table 1. Simulation time comparison between FEM and improved DCM.

耦合情况	仿真方法	仿真时间	仿真自由度
不考虑耦合	FEM	60 S	416941
	改进DCM	55.3 S	
电热耦合	FEM	154 S	416941
	改进DCM	104.7 S	

效率. 综上所述, 改进的 DCM 仿真速度要明显优于传统 FEM, 将仿真时间提升了约 32.0%.

### 3.2 三维集成微系统的布局分析

在三维集成电路中, 由于具有高热导率的 TSV 阵列是温度传导的重要路径, 因此 I/O 端口中的

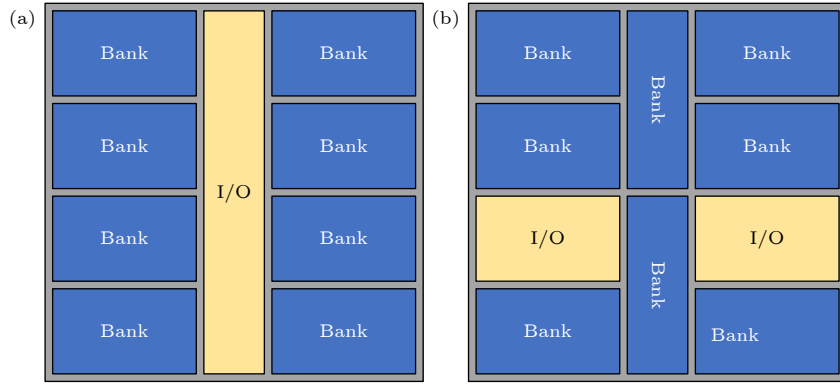


图 7 两种不同的 TSV 阵列布局 (a) 常规布局; (b) Core-布局  
Fig. 7. Two different TSV array layouts: (a) Conventional layout; (b) core layout.

TSV 阵列常被作为重要的散热手段, 而 TSV 阵列的 Core-布局方式通常被认为能够有效的降低系统的热点温度 [23]. Core-布局的具体布局方式如图 7(b) 所示, 即将 DRAM 芯片中 I/O 区域的 TSV 阵列布局位置对应上层处理器芯片 4 个 Core 的位置. 在以往的研究中采用 Core-布局结构的上下层芯片功率相近, 使得两层芯片的温度变化连续, 因此能够使得上下层芯片的热点温度同时下降 [23,24]. 而本文所考察的微处理器系统工作状态中处理器功率远大于 DRAM 的功率, 并且上下层芯片的热点温度相差接近 8 K, 因此有必要重新评估 Core-布局的可行性.

为了比较两种布局的温度分布, 首先将处理器的四个 Core 功率设置为均匀分布, 采用改进的 DCM 对两种布局结构进行电热耦合仿真分析. 如图 8 所示采用 Core-布局结构时, 处理器芯片的热点温度下降了 2.20 K. 而与此同时图 9 所示 DRAM 芯片的热点温度为 370.93 K, 相比 3.1 节仿真得到的常规布局热点温度上升了 4.30 K. 这是由于 TSV 阵列作为重要散热路径, Core-布局结构会将处理器高功率 Core 区域产生的热量传导到下层, 使得处理器芯片温度下降的同时让 DRAM 芯片的整体温度上升. 对比 TSV 阵列常规布局的情况, Core-布局使得处理器芯片热点温度下降 2.73%, 而使得 DRAM 芯片的热点温度上升 5.85%. 考虑到高温会导致 DRAM 的晶体管电荷损失加快, 使得数据丢失. 因此在选择布局方式时, 需要综合考虑处理器芯片的降温情况与 DRAM 芯片的升温情况.

在实际工作中, 多核处理器芯片在执行事务时各个 Core 会工作在不同功率下, 因此有必要结合

不同的 Core 功率分配情况, 对两种布局结构的热分布对功率配比的敏感度进行分析. 图 10 给出了几种典型的 Core 功率分配情况, 4 个 Core 的总功

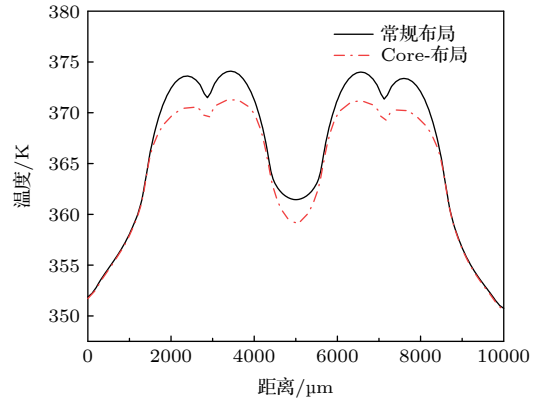


图 8 两种不同 TSV 阵列布局时处理器的温度分布  
Fig. 8. Temperature distributions of processors with two different TSV arrays.

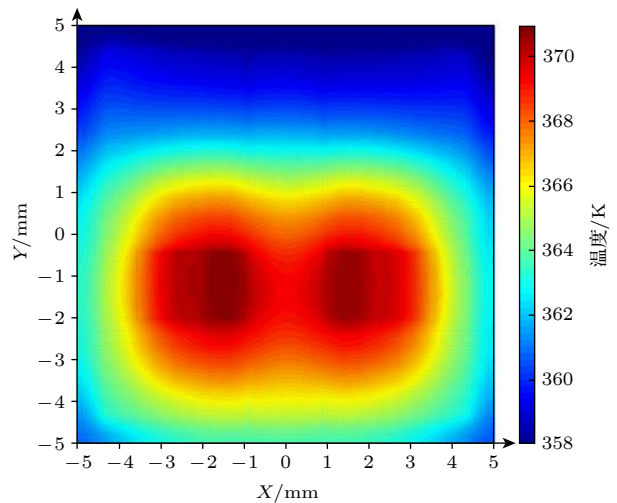


图 9 Core-布局时 DRAM 温度分布图  
Fig. 9. DRAM temperature distributions in core-layout.

表 2 不同功率分配时仿真时间  
Table 2. Improving simulation time of DCM and FEM with different power allocation.

布局方式	改进的DCM法仿真时间/s						FEM平均时间/s	自由度
	Case1	Case2	Case3	Case4	Case5	Case6		
常规布局	105.6	106.1	106.0	105.7	107.2	104.8	152.2	416941
Core布局	100.9	105.6	102.6	101.4	101.9	100.3	144.9	404345

表 3 不同功率分配下 Core-布局相比于常规布局的芯片温度变化  
Table 3. Chip temperature change of core layout compared with conventional layout under different power allocation.

温度变化	均匀	Case1	Case2	Case3	Case4	Case5	Case6
处理器降温/K		2.20	2.82	2.25	2.25	2.82	2.90
DRAM升温/K		4.29	6.69	5.77	6.12	6.09	7.88

率值保持为 26.5 W, 其中 Case1 为大功率事务集中在单侧两个 Core, Case2 为大功率事务交错分布, Case3 为大功率集中在外侧 Core, Case4 为大功率事务集中在中间两个 Core, Case5 为外侧单个 Core 大功率工作, Case6 为内侧单个 Core 大功率工作.

基于本文所提出的改进 DCM 对不同功率分配情况下的 DRAM 和处理器芯片的热点温度进行了统计分析. 几种情况仿真时间如表 2 所列, 在对两种布局的仿真分析中, 改进的 DCM 与传统 FEM 相比仿真速度提升了约 30%.

结合图 11 和图 12 的统计结果, 发现处理器芯片在内侧核高功率的 Case6 下热点最高, 功率均匀分配时热点温度最低. DRAM 芯片在 Case1 下的热点温度最高, 功率均匀分配时的热点温度最低. 由此可见在 Core 功率分布不均匀时会加剧热点问题, 因此处理器工作时应尽量保持各核功率分布均匀能有效降低整个微系统的热点温度. 同时发现单侧两个 Core 处理大功率事务的 Case1 以及单核处

理大功率事务的 Case5, Case6 情况下, 整个微系统的热点温度均会显著升高, 因此在系统设计时应尽量避免这种情况.

在不同功率配比的情况下, TSV 阵列 Core-布局对比常规布局的处理器芯片降温与 DRAM 芯片升温情况如表 3 所列. 可以看出当 Core 功率不均匀分布时, Core-布局对处理器芯片的降温效果与功率均匀分布时相比有提升, 同时也加剧了 DRAM 芯片的升温. 比较功率均匀分布与降温最多的 Case5, 处理器芯片降温效果提升了 42.27%, 而 DRAM 芯片的升温上升了 82.52%. 因此 Core-布局在功率不均匀分布时, DRAM 芯片会受到更大

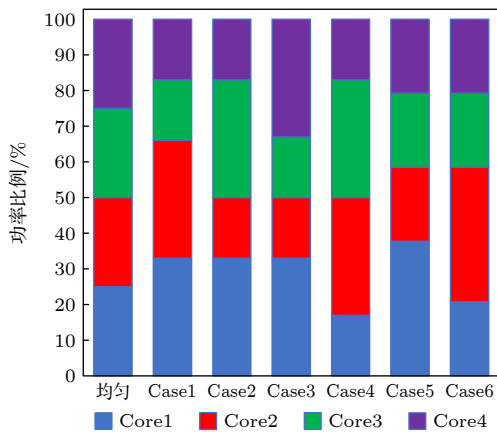


图 10 典型 Core 功率分配情况  
Fig. 10. Typical core power allocation.

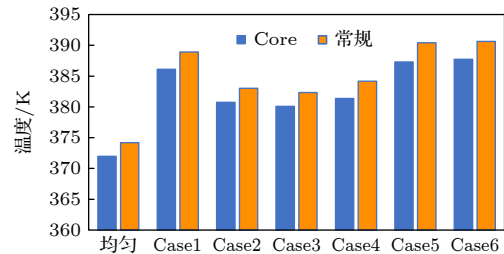


图 11 不同功率分配下处理器芯片最高温度  
Fig. 11. Maximum temperature of processor chip under different power allocation.

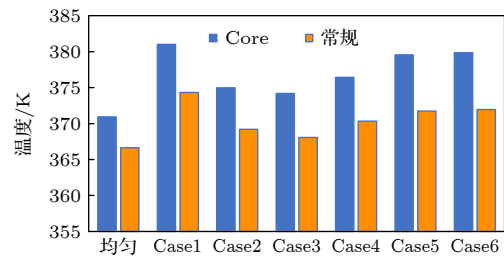


图 12 不同功率分配下 DRAM 芯片最高温度  
Fig. 12. Maximum temperature of DRAM chip under different power allocation.



影响. 在设计三维集成微处理器系统时, 若要降低整体系统的热点温度, 在采用 Core-布局时需要考虑到 DRAM 芯片能工作在容限温度内. 若要降低 DRAM 芯片热点温度, 则需要将 TSV 阵列即 I/O 端口布局在远离 Core 的区域.

## 4 总 结

本文针对三维集成微系统的电热耦合问题提出了一种改进的 DCM 算法. 基于三维集成微处理器系统对所提算法进行了仿真验证, 并对微系统的布局设计、功率分配进行了分析讨论. 研究表明: 本文提出的改进 DCM 能快速准确地对三维集成微系统实现建模计算, 在分析电热耦合问题方面具有显著的时间优势; 在考虑电热耦合因素后, 微系统泄漏功耗上升, 材料热导率下降, 热点温度对比耦合前上升约 20 K, 表明了对三维集成微系统进行电热耦合分析的必要性; 在微系统布局设计方面, TSV 阵列的 Core-布局虽然能够降低处理器芯片的热点温度, 但却同时恶化了 DRAM 芯片的热点问题, 在 Core 功率不均匀分配时影响尤为严重. 因此在系统设计时, 要综合考虑处理器和 DRAM 芯片的容限温度来确定 TSV 阵列布局方案. 综上所述, 本文提出的算法能快速分析三维集成微系统的电热耦合问题, 实现系统热点预测, 为微系统芯片布局设计提供理论指导.

## 参考文献

- [1] Benkart P, Kaiser A, Munding A, Bschorr M, Pfeleiderer H J, Kohn E, Heittmann A, Huebner H, Ramacher U 2005 *IEEE Des. Test Comput.* **22** 512
- [2] Pop, E 2010 *Nano Res.* **3** 147
- [3] Li S, Ahn J H, Strong R D, Brockman J B, Tullsen D M, Jouppi N P 2010 2009 *42nd Annual IEEE/ACM International Symposium on Microarchitecture (MICRO)* New York, United states, December 12–16, 2009 p469
- [4] Wang X P, Yin W Y, He S 2010 *IEEE Trans. Electron Devices* **57** 1382
- [5] Feng Y P, Cui J Z, Deng M X 2009 *Acta Phys. Sin.* **58** 327 (in Chinese) [冯永平, 崔俊芝, 邓明香 2009 物理学报 **58** 327]
- [6] Xie J Y, Swaminathan M 2014 *IEEE Trans. Compon. Pack. Manuf. Technol.* **4** 588
- [7] Lu T J, Jin J M 2014 *IEEE Trans. Compon. Pack. Manuf. Technol.* **4** 1684
- [8] Sai M P D, Yu H, Shang Y, Tan C S 2013 *IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst.* **32** 1734
- [9] Wang C H, Zheng S, Zhang X X 2020 *Acta Phys. Sin.* **69** 034401 (in Chinese) [王存海, 郑树, 张欣欣 2020 物理学报 **69** 034401]
- [10] Wang D W, Zhao W S, Chen W C, Zhu G D, Xie H, Gao P Q, Yin W Y 2019 *IEEE Trans. Electron Devices* **66** 5117
- [11] Chai J R 2019 *Ph. D. Dissertation* (Xi'an: Xidian University) (in Chinese) [柴泾睿 2019 博士学位论文 (西安: 西安电子科技大学)]
- [12] Lin S G, Chrysler R, Mahajan V K, De K, Banerjee K 2007 *IEEE Trans. Electron Devices* **54** 3342
- [13] Lin S G, Chrysler R, Mahajan V K, De K, Banerjee K 2007 *IEEE Trans. Electron Devices* **54** 3351
- [14] Pi Y D, Wang N Y, Chen J, Miao M, Jin Y F, Wang W 2018 *Int. J. Heat Mass Transfer* **120** 361
- [15] Chai J R, Dong G, Yang Y T 2019 *IEEE Trans. Electron Devices* **66** 1032
- [16] Wang H, Wan J C, Tan S, Zhang C, Tang H, Yuan Y, Huang K H, Zhang Z H 2018 *IEEE Trans. Comput.* **67** 617
- [17] Alotto P, Freschi F, Repetto M, Rosso C 2013 *The Cell Method for Electrical Engineering and Multiphysics Problems* (Berlin-Heidelberg: Springer-Verlag) pp11–113
- [18] Tonti E 2001 *CMES-Comput. Model. Eng. Sci.* **2** 237
- [19] Freschi F, Giaccone L, Repetto M 2008 *Compe-Int. J. Comput. Math. Electr. Electron. Eng.* **27** 1343
- [20] Alotto P, Freschi F, Repetto M 2010 *IEEE Trans. Magn.* **46** 2959
- [21] Zhang Y, Sarvey T E, Bakir M S 2014 *2014 International 3D Systems Integration Conference (3DIC)* Kinsdale, Ireland, December 1–3, 2014 p14
- [22] Ma H, Yu D Q, Wang J 2014 *Microelectron. Reliab.* **54** 425
- [23] Tavakkoli F, Ebrahimi S, Wang S, Vafai K 2016 *Int. J. Heat Mass Transfer* **97** 337
- [24] Ren Z, Alqahtani A, Bagherzadeh N, Lee J 2020 *IEEE Trans. Compon. Pack. Manuf. Technol.* **4** 599

# Electrothermal coupling analysis of three-dimensional integrated microsystem based on dual cell method\*

Cao Ming-Peng<sup>1)</sup> Wu Xiao-Peng<sup>1)†</sup> Guan Hong-Shan<sup>1)</sup> Shan Guang-Bao<sup>1)</sup>  
Zhou Bin<sup>2)</sup> Yang Li-Hong<sup>1)</sup> Yang Yin-Tang<sup>1)</sup>

<sup>1)</sup> (*School of Microelectronics, Xidian University, Xi'an 710071, China*)

<sup>2)</sup> (*Science and Technology on Reliability Physics and Application Technology of Electronic Component Laboratory, Guangzhou 510610, China*)

( Received 30 September 2020; revised manuscript received 6 November 2020 )

## Abstract

With the improvement of the integration and power density of three-dimensional integrated microsystem, it is imperative to simultaneously investigate the multi-field coupling analysis of electrical design and thermal management. This paper is to investigate a three-dimensional integrated microprocessor system and realize the rapid electrothermal analysis of the system through an improved dual cell method (DCM). This method decomposes the constitutive matrix into a constant matrix and a temperature-dependent matrix by introducing the coupling of leakage power and material coefficients with temperature. In the calculation, only the temperature-dependent matrix needs to be updated and assembled, which makes the calculation speed faster than the traditional finite element method. The simulation results show that the speed of the proposed algorithm is improved by about 30% compared with that of the traditional finite element method. After considering the thermal coupling factors of material coefficient and leakage power, the hot spot temperature of the system increases by 20.8 K compared with before coupling. Finally, the algorithm proposed in this paper is used to study the layout of three-dimensional integrated microprocessor system. The influence of TSV array conventional layout and centralized layout under the processor core(core-layout) on the hot spot temperature of upper and lower chips are compared, and the influences of uneven power distribution on the two layouts are studied. The results show that compared with the conventional layout of TSV array, the core-layout can reduce the hot spot temperature of processor, but it will aggravate the hot spot problem of DRAM at the same time. And when the power is not evenly distributed on the four cores, the hot spot of DRAM under the core-layout will be more seriously affected. In conclusion, the algorithm model proposed in this paper can quickly analyze the electrothermal coupling problem of 3D integrated microsystem, realize the hot spot prediction of the system, and provide theoretical guidance for designing the chip layout of 3D integrated microsystem.

**Keywords:** three-dimensional integrated microsystem, dual cell method, electrothermal coupling, finite element method

**PACS:** 44.05.+e, 44.10.+i, 47.11.Fg

**DOI:** [10.7498/aps.70.20201628](https://doi.org/10.7498/aps.70.20201628)

\* Project supported by the National Defense Basic Scientific Research Program of China (the Stability Support Fund of the State Administration of Science, Technology and Industry for National Defense) (Grant No. 614280620200201), the National Natural Science Foundation of China (Grant Nos. 62074121, 62034002), the Natural Science Foundation of Shaanxi Province, China(Grant No. 2019GY-010), Scientific Research Program Funded by Shaanxi Provincial Education Department, China (Grant No. 20JY018), and the Fundamental Research Funds for the Central Universities (Grant Nos. XJS191101, XJS191106).

† Corresponding author. E-mail: [xpwu@mail.xidian.edu.cn](mailto:xpwu@mail.xidian.edu.cn)