第 42 卷第 8 期　　物 理 学 报　　Vol. 42, No. 8
1993 年 8 月　　ACTA PHYSICA SINICA　　Aug., 1993

在 p 型硅 MOS 结构 Si/SiO_2 界面区中与金有关的界面态和深能级*

陈开茅　金泗轩　武兰青
北京大学物理系，北京 100871
曾树荣
北京大学微电子学研究所，北京　100871
刘鸿飞
北京有色金属研究总院，北京　100088
1992 年 10 月 28 日收到

用深能级瞬态谱(DLTS)技术详细研究了金在 p 型〈111〉晶向硅 MOS 结构 Si/SiO_2 界面区中的行为. 结果表明，金与 Si/SiO_2 界面缺陷 H_{it}(0.494)相互作用形成新的缺陷 Au-H_{it}(0.445)，和金在硅的禁带中产生一个能量分布很广的连续界面态，利用这些界面态可以合理地解释金使硅 MOS 结构平带电压向正方向移动的物理机制。结果还表明，在 Si/SiO_2 界面附近的半导体中，金施主中心的剖面分布不是单调地向界面增加，而是在距界面 0.37 μm 处有一个最大值.

PACC: 7320; 7340Q; 7155; 6848

一、引　　言

金是单晶硅中的一种高温快扩散的杂质。这种杂质的各种特性已被做了广泛的研究[1—6]. 在硅中存在着与金有关的两个深能级，其中一个是在硅禁带中央附近的受主能级，另一个是在禁带下半部的施主能级[1,2]，实验已经证明，这两个深能级是属于与金有关的同一微观缺陷[3,4]. 金对于半导体材料和半导体器件是一种十分重要的杂质. 由于与它有关的受主能级是硅中的有效复合中心，以及在低温退火过程中这一中心具有很好的热稳定性，所以在半导体工业中，它常被用于控制硅材料中的少子寿命和半导体器件的开关时间.

金除了对硅半导体的少子寿命有强烈的影响之外，对 Si/SiO_2 界面以及硅 MOS 器件的平带电压(或开启电压)也有重要的影响，例如从 MOS 样品的背面扩金使样品的平带电压向正电压方向移动[7—9]，相反从 MOS 样品正面通过氧化层扩金，结果使样品的平带电压向负电压方向移动[10,11]. 人们推测这些现象是金在 Si/SiO_2 界面引进新的量子态所

* 国家自然科学基金资助的课题.

致，但是由于 Si/SiO_2 界面系统的复杂性，至今未见能令人满意的金所引进的界面态的深入研究的报道.

在这一工作中，我们用电容瞬态技术（包括 DLTS）以及稳态高频 *C-V* 详细研究了从样品背面扩金，金在 Si/SiO_2 界面引入的量子态、金与 Si/SiO_2 界面缺陷相互作用以及金在半导体表面层中的性质.

二、实验与结果

1. 样品制备

本工作的样品是扩金和不扩金的 p 型硅 MOS 结构. 首先在 1050℃的掺 1% HCl 气体的干氧气氛中，使〈111〉晶向的电阻率为 5—8Ω. cm 的 P 型硅单晶片的抛光面热氧化形成厚度约为 160 nm 的氧化层. 将这些样品从炉子的高温区中缓慢地拉出到炉口进行粹火. 样品正面的氧化层用光刻胶保护，用氢氟酸腐蚀掉背面的氧化层. 经过煮浓硫酸、煮稀盐酸和去离子水冲洗后，将样品分成两组. 在一组样品的背面真空淀积上纯度为 0.99999 的金，并在通氮气的炉子中经 860℃ 或 900 ℃温度扩金 1 h. 另一组样品为不掺金的控制样品，将它放进未曾受任何金属污染过的炉管中经受和扩金相同的条件以及相同时间的热处理. 两组样品都用稀氢氟酸漂去其背面的薄氧化层，经煮稀盐酸和去离子水冲洗后，在样品的氧化层上真空蒸发厚度约为 500 nm 的铝膜，用光刻技术刻出直径为 1400 μm 的圆形铝栅电极. 在样品的背面蒸发上铝膜，并在 470 ℃的氮氢混合气体（$H_2:N_2=1:9$）中合金化 30 min，以便形成良好的欧姆接触.

在 300 K 温度下，经稳态高频 C-V 分析得知，掺金 MOS 结构的平带电压和半导体的载流子（空穴）浓度分别为 −1.5 V 和 $1.5\times10^{15}\ cm^{-3}$左右，以及控制样品的这两个参数分别为 −6.5 V 和 $1.3\times10^{15}\ cm^{-3}$左右.

2. 在 Si/SiO_2 界面与金有关的连续界面态

在 MOS 结构处于平衡态时，其半导体表面的状态主要是由费密能级 E_F 决定. 在实验中经常用半导体表面处费密能级与价带顶 E_v^s 的距离 $E_F-E_v^s$ 代替栅偏压 V_g 表示界面的测量条件.

有些 Si/SiO_2 界面缺陷很难为脉冲引进的载流子饱和填充[12,13]，在这个工作中，为了使尽可能多的界面缺陷得到测量，采用了大宽度和大高度的脉冲，宽度 t_p 在 1—5 ms 以及高度 V_p 在 10—15V 等范围内.

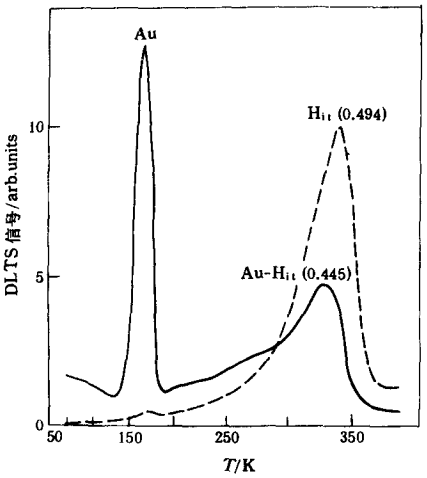


图 1　N_2 气保护 860 ℃扩金 1 h 〈111〉晶向 p 型硅 MOS 结构电容 DLTS　$V_g=-1.20$ V，300 K 时 $E_F-E_v^s=0.510$ eV；虚线代表控制样品，$V_g=-5.60$ V，300 K 时，$E_F-E_v^s=0.541$ eV，$V_p=-15.0$ V，$t_p=1$ ms；率窗为 $t_1=1$ ms，$t_2=2$ ms；$\tau=1.44$ ms

图 1 的实线示出扩金的〈111〉晶向 p 型硅 MOS 结构的 DLTS. 为了便于比较，将控制样品的谱线也绘于图 1 中，见虚线. 由图 1 可见，扩金与不扩金样品

的 DLTS 线是很不相同的，首先在 160 K 附近扩金样品的谱线有一个很高的峰，它是硅半导体内部的金施主能级产生的[14]；其次扩金谱线的高温峰的位置比不扩金的高温峰位置低了十多度；而且峰的高度也比不扩金的低了约一倍；第三在温度低于 280 K 的那一段谱线中，扩金的谱线明显高于不扩金的，而且它们随温度变化的趋势也很不相同. 下面先对第三个问题作更深入地分析.

从图 1 中看到，当温度低于 280 K 时，控制样品的 DLTS 信号几乎是随温度的降低而单调地减小，文献[13]研究过这些界面态的空穴俘获截面，其结果是截面的大小与界面态的能量位置无明显关系，但是强烈地依赖于温度，即

$$\sigma_p = 2.5 \times 10^{-17}(300/T)^{3.9}\ \mathrm{cm}^2. \tag{1}$$

将这一结果与文献[15]提供的公式

$$D_{it}(E) = -A\varepsilon_s N_a C_{ox}[\Delta C(t_1) - \Delta C(2t_1)]_{max}/C^3(V_g)kT\ln 2, \tag{2}$$

以及

$$E = kT\ln[\sigma_p V_p N_V t_1/\ln 2] \tag{3}$$

应用到控制样品，可将其 DLTS 反演成为界面态的能量分布，见图 2 中的虚线. (2)和(3)式中的 $D_{it}(E)$ 为能量 E 处单位面积单位能量的界面态数目，A 为 MOS 结构的栅极面积，ε_s 为硅的介电常数，N_a 为半导体中的浅受主浓度，C_{ox} 为 MOS 结构的氧化层电容，$C(V_g)$ 为栅压 V_g 对应的 MOS 电容，$[\Delta C(t_1)-\Delta C(2t_1)]_{max}$ 为 DLTS 信号，k 为玻耳兹曼常数，T 为绝对温度，V_p 为空穴的热运动速度，N_v 为硅价带有效状态密度.

扩金 MOS 结构的 Si/SiO_2 界面态比较复杂，除了本征界面态之外，它还包含有金引入的界面态. 在这种情况下要准确测量不同界面态的空穴俘获截面是很困难的. 作为对金引入的界面态的一种近似估计，把上述的(1)—(3)式应用到扩金 MOS 结构，将其 DLTS 反演成界面态的能量分布，见图 2 中的实线.

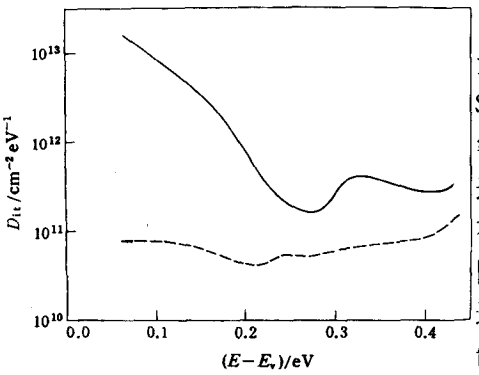


图 2 在 N_2 气中 900 ℃扩金 1 h〈111〉晶向 p 型硅 MOS 结构 Si/SiO_2 界面态的能量分布 虚线代表控制样品

从图 2 看到，在我们测量的硅禁带下半部能量范围内，扩金〈111〉晶向 p 型硅 MOS 结构 Si/SiO_2 界面态密度大于或远远大于控制样品的态密度. 这说明金在 Si/SiO_2 界面引进一个连续态. 这个态分布的特点是在价带顶以上 0.32 eV 附近有一个极大值($3.9\times10^{11}\ \mathrm{cm}^{-2}\mathrm{eV}^{-1}$)，在 0.27 eV 附近有一个极小值($1.4\times10^{11}\mathrm{cm}^{-2}\mathrm{eV}^{-1}$)，以及从这里向价带方向，态密度迅速增大，其最大值比控制样品的高出两个数量级.

3. 金与 Si/SiO_2 界面缺陷 $H_{it}(0.494)$ 的相互作用

图 1 示出控制样品 DLTS 的高温峰对应的是 Si/SiO_2 界面主缺陷 $H_{it}(0.494)$[12,13]. 扩金样品的 DLTS 的高温峰较前者向低温方向移动了十来度，它是与金以及 $H_{it}(0.494)$ 都有关的界面缺陷 Au-$H_{it}(0.445)$ 所产生的[16]. 图 3 中实心圆点表示的是这一新缺陷的空穴俘获截面与温度的关系. 这些数据是通过调节脉冲高度使得在脉冲期间 MOS 结构的有效栅压恰好为其在测量温度下的平带电压，接着测

量 DLTS 峰高度随脉冲宽度的变化，从中求算出的直接测量俘获截面. 从图 3 中看出，Au-H_{it}(0.445)的空穴俘获截面与温度无关，其平均值为 $\sigma_p=2.4\times10^{-17}cm^2$.

文献[17—19]指出，表征深能级在禁带中位置的较好物理量应该是离化吉布斯自由能. 利用新缺陷的空穴热发射率 e_p 和上述俘获截面的测量结果，以及 Engström 的公式[18]

$$e_p=\sigma_p\langle V_p\rangle N_v\exp(-\frac{\Delta G_p}{kT}),\qquad(4)$$

可以求出它的空穴离化吉布斯自由能 ΔG_p，图 3 中叉号数据示出 ΔG_p 随温度的变化，在测量温度范围内其平均值为 0.445 eV. 据此将它记为 Au-H_{it}(0.445).

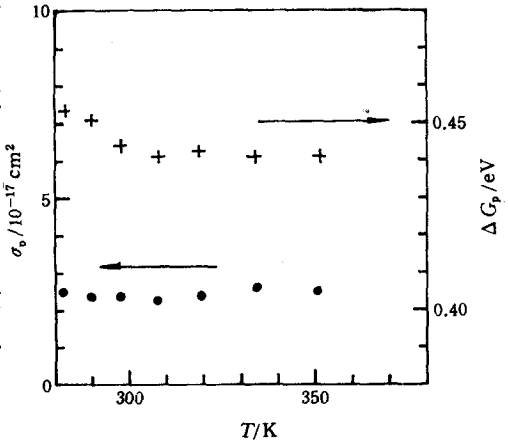
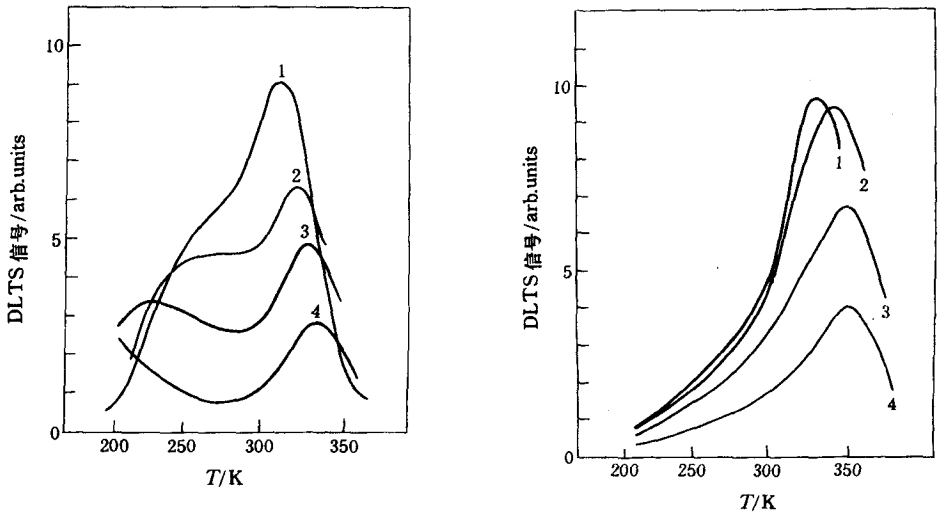


图 3　扩金 p 型 Si 的 MOS 结构高温峰对应的界面缺陷的空穴俘获截面 σ_p 和空穴离化吉布斯自由能 ΔG_p 与温度的关系　900 ℃扩金 1 h，$V_G=-0.704$V，$T=300$ K 时 $E_F-E_v^s=0.473$ eV.

扩金和不扩金 MOS 结构 Si/SiO_2 界面的缺陷 Au-H_{it}(0.445)和 H_{it}(0.494)，具有多方面的类似特性，其中最主要的有如下两点.

(1)当栅压使 MOS 结构的 $E_F-E_v^s$ 小于它们的空穴离化吉布斯自由能 ΔG_p 时，仍然存在它们的强大 DLTS 信号.



(a) 900 ℃扩金 1 h 样品　曲线 1,2,3,和 4 分别对应于 $T=300$ K 时 $E_F-E_v^s=0.562$, 0.416, 0.332 和 0.258 eV

(b) 控制样品　曲线 1,2,3 和 4 分别对应于 $E_F-E_v^s=0.576$, 0.401, 0.305 和 0.236 eV, $\tau=0.391$ ms, $V_p=-15.0$ V, $t_p=1$ ms

图 4　〈111〉晶向 p 型 Si/SiO_2 界面缺陷 DLTS 峰随栅压的变化

图 4(a)示出在不同栅压下，$V_p=-15.0$ V 和 $t_p=1$ ms 的电压脉冲把扩金的 MOS 结构从耗尽或多数载流子累积状态推到强累积状态，以及脉冲过后缺陷 Au-H_{it}(0.445)热

发射空穴产生的 DLTS 峰. 从图 4(a)中看到,在栅压使 $E_F-E_v^s$ 小于 Au-H_{it}(0.445)的空穴离化吉布斯自由能时,Au-H_{it}(0.445)的 DLTS 信号非但不为零,而是仍然存在着很高的 DLTS 峰,峰的高度随 $E_F-E_v^s$ 的减小而降低. 表 1 定量地给出用 DLTS 技术测量的 Au-H_{it}(0.445)的面密度 Au-D_{it}随栅压和 $E_F-E_v^s$ 的变化.

表 1 Au-H_{it}(0.445)面密度 Au-D_{it}与栅压的关系($V_p=-15.0$ V,$t_p=1$ ms)

栅压 V_g/V	−3.15	−1.86	−1.50	−1.24(平带)	−0.85	−0.63	−0.48	−0.35
$(E_F-E_v^s)$/(eV)*	0.157	0.209	0.235	0.261	0.313	0.365	0.416	0.468
(Au-D_{it})/10^7cm^{-2}	2.6	10.6	19.8	34.1	94.6	201	348	546

* $E_F-E_v^s$ 的值是在 300 K 温度下测算的.

图 4(b)示出在不同栅压下,使用与图 4(a)的相同的脉冲把控制样品从耗尽或累积状态推进强累积状态,及脉冲过后 Si/SiO_2 界面本征缺陷 H_{it}(0.494)热发射空穴所产生的 DLTS 峰. 从图 4(b)中看到与上述 Au-H_{it}(0.445)相类似的现象,即在栅压使 $E_F-E_v^s$ 小于 H_{it}(0.494)的空穴离化吉布斯自由能时,仍然可以观测到 H_{it}(0.494)所产生的强大的 DLTS 峰,峰的高度随着 $E_F-E_v^s$ 的减小而降低. 表 2 定量地给出 DLTS 测量的 H_{it}(0.494)的面密度 D_{it}随栅压和 $E_F-E_v^s$ 的变化.

表 2 H_{it}(0.494)面密度 D_{it}与栅压的关系($V_p=-15.0$ V,$t_p=1$ ms)

栅压 V_g/V	−6.85	−6.17	−5.97	−5.81(平带)	−5.59	−5.41	−5.28	−5.16
$(E_F-E_v^s)$/eV	0.162	0.214	0.240	0.266	0.318	0.370	0.421	0.473
D_{it}/10^7cm^{-2}	11.3	46.0	84.8	135	303	533	743	899

(2)两缺陷的空穴表观激活能随栅压的变化

从图 4 还可以看到,随着栅压向负的方向变动,Au-H_{it}(0.445)和 H_{it}(0.494)的 DLTS 峰位置 T_p 向高温方向移动. 这就意味着两缺陷的表观激活能随栅压的负向变化而增大. 表 3 和表 4 具体地说明了这种关系.

表 3 Au-H_{it}(0.445)的表观激活能与栅压的关系

栅压 V_g/V	−0.70	−0.91	−1.20	−1.42	−1.48(平带)	−1.57
$(E_F-E_v^s)$/eV	0.464	0.371	0.295	0.265	0.261	0.249
表观激活能(eV)$^{-1}$	0.613	0.618	0.634	0.657		0.664

表 4 H_{it}(0.494)的表观激活能与栅压的关系

栅压 V_g/V	−5.55	−5.76	−5.96	−6.16	−6.26(平带)	−6.37
$(E_F-E_v^s)$/eV	0.547	0.452	0.370	0.311	0.286	0.267
表观激活能(eV)$^{-1}$	0.539	0.579	0.649	0.700		0.746

4. 硅中金的施主中心在 Si/SiO_2 界面附近的行为

图 1 的实线在 160 K 附近的峰是金施主中心产生的,这里测出它的能级为 E_v+

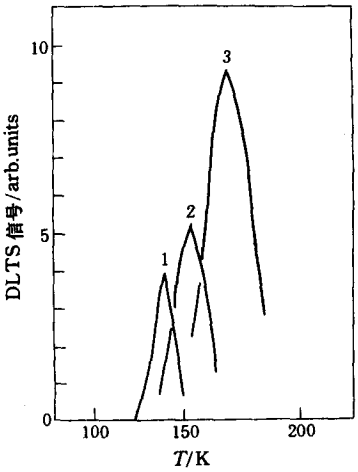


图 5　紧挨 Si/SiO_2 界面 Si 半导体薄层中，金施主中心 DLTS 峰高度与率窗的关系　曲线 1，2 和 3 分别对应 t_1/t_2：20 ms/100 ms，2 ms/20 ms 和 0.2 ms/2 ms

0.343 eV. 当调整栅压使界面处费密能级 $E_F-E_v^s$ 减小到与金施主能级接近时，金施主中心的 DLTS 峰的特性变得与界面态分立能级 H_{it}(0.494)的特性[13]部分类似，即峰的高度强烈地依赖于扫描率窗，当 t_1/t_2 保持为常数时，峰的高度随 t_1 的减小而迅速升高，见图 5. 这种现象只有当 $E_F-E_v^s$ 与体深能级很接近时才会发生，因为这时能被多子脉冲 DLTS 探测的只有分布在界面附近的薄层中的深能级，随着延迟取样时间 t_1 的变小以及相应的 DLTS 峰位向高温移动，进而引起费密能级向半导体的禁带中央方向移动，使得能被探测的深中心数目迅速增加，也就是说使峰的高度迅速增高.

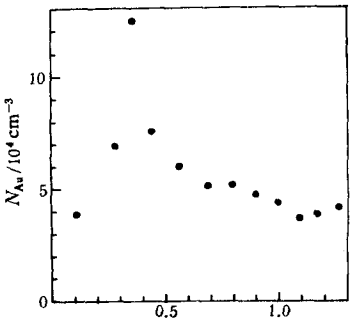


图 6　金施主中心在硅〈111〉面 MOS 结构的半导体中的剖面分布　860℃的 N_2 气中扩金 1 h

图 6 示出金施主中心在〈111〉晶向 p 型硅 MOS 结构半导体中的分布. 由图 6 可见，金施主中心的浓度先是从半导体内向界面方向增大，在离界面约 370 nm 附近达到最大值，接着向界面迅速减小.

三、讨　　论

为了判断金在 Si/SiO_2 界面引进的连续态是属于何种类型的，有必要去考查扩金样品与控制样品的平带电压的差别. 图 7 示出扩金 MOS 结构与不扩金 MOS 结构在 300 K 时的稳态高频 C-V 曲线. 从图 7 中看到，扩金样品的平带电压相对于控制样品的向正电压方向移动了 6.3 V. 一般情况下，对于一批样品这种平带电压的移动 ΔV_{FB}是在 5.1—6.3 V 之间，其中间值为 5.7 V. Brotherton[9]已经查明，这种平带电压的移动是由 Si/SiO_2 界面增加了负电荷的结果. 根据平带电压移动 5.7 V 并利用公式

$$\Delta D_{it} = C_{ox}\Delta V_{FB}/Aq, \qquad (5)$$

可以算出引起平带电压移动的界面缺陷数目为 $7.2\times10^{11}cm^{-2}$. 在 300 K 温度时，扩金样品的费密能级距价带顶 0.261 eV. 由图 2 计算出在 $E_v+0.07eV$ 至 $E_v+0.26eV$ 之间金引入的界面态总密度为 $6.8\times10^{11}cm^{-2}$，这一数目与由平带电压移动算出来的相当接近. 如果在 300 K 时费密能级之下的这些与金有关的界面态是带负电的，则它们是可以产生前

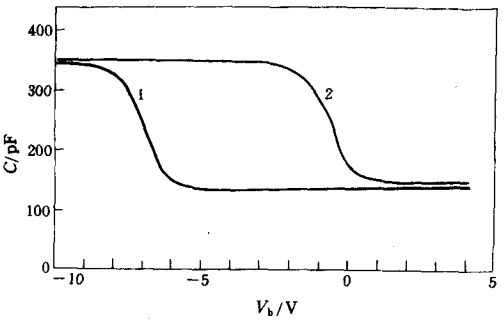


图 7　在 N_2 气中扩金 1 h〈111〉晶向 p 型硅 MOS 结构和控制样品在 300 K 的稳态高频 C-V 曲线　标号 1 和 2 分别代表控制样品和扩金样品

述的平带电压移动的.因此可以比较肯定地认为,金在Si价带附近引进的Si/SiO_2界面连续态是受主态.

从第二节的测量结果看出,金与Si/SiO_2界面缺陷之间存在着相互作用,其中可能有4种主要的相互作用过程.(1)金与H_{it}(0.494)相互作用形成不电激活的复杂缺陷;(2)金与Si/SiO_2界面的其它缺陷结合形成Au-H_{it}(0.445);(3)金与Si/SiO_2界面的其它缺陷相互作用形成连续界面态;(4)金与H_{it}(0.494)作用形成Au-H_{it}(0.445).其中的第三种可能过程已在图1和图2得到证实.从前面的测量结果看,头两种过程几乎是不可能发生的,而第四种过程却是最可能发生的,因为Au-H_{it}(0.445)与H_{it}(0.494)具有重要的相似性.这些相似性强烈地意味着新缺陷Au-H_{it}(0.445)是由Si/SiO_2本征缺陷H_{it}(0.494)演变来的,而且只有在金存在的条件下,才发生这种演变.

Will,Hofman和Schulz等人[14]曾经用离子注入技术将金注在〈100〉晶向p型Si的MOS结构背面,并用高温将金扩散到Si/SiO_2界面,接着研究金在Si/SiO_2界面附近的特性.他们的结果没有观测到金对界面态的影响,只观测到金的施主中心浓度向Si/SiO_2界面迅速增大的剖面分布,说明Si/SiO_2界面对Si体内的金有很强的提取作用.

他们的研究结果与我们的结果有很大的不同,我们的结果发现金不仅在Si/SiO_2界面在硅禁带的下半部引进了一个连续态,见图2,而且还与Si/SO_2界面的本征缺陷H_{it}(0.494)相互作用形成新的缺陷Au-H_{it}(0.445),还有我们测量的金施主中心的剖面分布不是单调地向Si/SiO_2界面增加,而是在距界面370 nm处有一个最大值,见图6.

我们的样品与他们的样品的主要差别是晶向不同,前者是做在硅的〈111〉面上,而后者是在〈100〉上,两种样品测量结果的很大差别说明,硅片的晶向对金在Si/SiO_2界面及其附近的行为有强烈的决定性作用.以前Brotherton用传统方法研究金对MOS结构的影响时,曾经发现金使制作在Si〈110〉和〈111〉两晶向上的MOS结构的平带电压都程度不等地、显著地向正电压方向移动,而在〈100〉晶向上的样品未发现有金的影响.这种结果与前述的结果是一致的.

图6示出的金施主中心在Si/SiO_2界面附近的硅表面层中的分布具有其独特的性质,在距界面0.37 μm处出现极大值,在深处和界面附近其浓度明显的低.造成这种分布的原因可能有二:一是如文献[14]所说的,Si/SiO_2界面对硅中的金杂质的提取机制,使得金在半导体表面层中的分布向界面有迅速增加的趋势;另一原因是由于金易于与Si〈111〉(或者还有〈110〉)晶向的Si/SiO_2界面缺陷相互作用,使这种界面成为金的沉,进而造成金从硅中向外扩散.如果在Si/SiO_2界面附近,后一原因强于或远远强于前一原因,则有可能造成图6的分布.另外,从图6金施主中心的剖面分布看出,Si/SiO_2界面对Si半导体影响的深度约为0.55μm.

四、结 论

从样品的背面扩金,金与硅的〈111〉晶向的Si/SiO_2界面缺陷H_{it}(0.494)相互作用形成新的缺陷Au-H_{it}(0.445),以及与界面的其它本征缺陷相互作用形成硅禁带下半部的新的连续分布界面态,其中分布于价带顶至价带以上0.26 eV的态是受主型的,它是造成

硅 MOS 结构平带电压向正电压方向移动的内在原因. 这种与金有关的 Si/SiO_2 界面连续态的大小受到所用硅片的晶向强烈地影响. 这很有可能意味着金原子易于与硅的〈111〉、〈110〉等晶向的 Si/SiO_2 界面缺陷相互作用，而不易于与〈100〉晶向的 Si/SiO_2 界面缺陷相互作用.

在硅〈111〉晶向的 MOS 结构中，Si/SiO_2 界面附近的金施主中心的剖面分布与硅〈100〉晶向的 MOS 结构中的金施主中心的分布完全不一致，造成这种不一致的根本原因是硅〈111〉晶向的 Si/SiO_2 界面是金原子的沉，这个沉是金原子易于与这种界面的缺陷相互作用形成新的缺陷造成的.

上述结果不仅深刻地揭示了金使硅 MOS 结构的平带电压正向移动的内在原因，而且从某一个侧面揭示了部分界面态的起源. 这些知识对制造 MOS 器件或半导体物理研究都是相当有用的.

北京半导体器件五厂的朱秀兰同志为这一工作提供了测试样品，在此对她表示感谢.

[1] C. B. Collins and R. O. Carlson, *Phys. Rev.*, **105**(1957), 1168.
[2] C. T. Sah and L. Forbes, *Appl. Phys. Lett.*, **15**(1969), 145.
[3] L. A. Ledebo and Z. G. Wang, *Appl. Phys. Lett.*, **42**(1983), 680.
[4] K. M. Chen(陈开茅), S. X. Jin, (金泗轩), L. Q. Wu(武兰青), and X. Q. Tan(谭雪清), 物理学报, **38**(1989), 1391; *Chin. Phys.*, **10**(1990), 616.
[5] D. Vuillaume, M. Lannoo, J. C. Bourgoin and E. Rosencher, *J. Appl. Phys.*, **66**(1989), 5920.
[6] J. W. Petersen and J. Nielsen, *Appl. Phys. Lett.*, **56**(1990), 1122.
[7] A. G. Nassibian, *Solid State Electron.*, **10**(1967), 879.
[8] D. R. Collins, *J. Appl. Phys.*, **39**(1968), 4133.
[9] S. D. Brotherton, *J. Appl. Phys.*, **42**(1971), 2085.
[10] S. F. Cagnina and E. H. Snow, *J. Electrochem. Soc.*, **114**(1967), 1165.
[11] P. F. Schmidt and L. P. Adda, *J. Appl. Phys.*, **45**(1974), 1826.
[12] K. M. Chen and D. T. Lu, *Science in China*, **A32**(1989), 1458.
[13] 陈开茅、武蓝青、彭清智、刘鸿飞，物理学报，**41**(1992), 1870.
[14] N. F. Will, K. Hofman and M. Schulz, *Appl. Phys.*, **A41**(1986), 107.
[15] K. M. Chen(陈开茅), Z. A. Wang(王忠安), C. G. Hong(冯初光), Q. Zhang(张蕾) and Y. X. Gao(高玉秀), 半导体学报, **5**(1984), 468; *Chin. Phys.*, **5**(1985), 489.
[16] Liu Hong-fai, Chen Kai-mao, Yuan Min-hua, Wu Lan-ging, *ACTA PHYSICA SINICA (Overseas Edition)*, **2**(1993), 365.
[17] H. Brooks, Advances in Electronics and Electron Physics, Ed. L. Marton (Academic Press Inc., Publishers, New York, 1955), Vol. Ⅵ, p. 17.
[18] O. Engström and A. Alm, *Solid State Electron.*, **21**(1978), 1571.
[19] K. M. Chen(陈开茅) and G. G. Qin(秦国刚), 半导体学报, **8**(1987), 11; *Chin. Phys.*, **7**(1987), 1110.

INTERFACE STATES AND DEEP CENTERS IN Au-DOPED MOS STRUCTURES

CHEN KAI-MAO JIN SI-XUAN WU LAN-QING
Department of Physics, Peking University, Beijing 100871
ZENG SHU-RONG
Research Institute of Microelectronics, Peking University, Beijing 100871
LIU HONG-FEI
General Research Institute for Nonferrous Metal, Beijing 100088
(Received 28 October 1992)

ABSTRACT

Behavior of gold in the Si/SiO_2 interface region has been investigated using deep level transient spectroscopy (DLTS) in the MOS structures made on p-type silicon wafers with ⟨111⟩ orientation. The results are as follows. A new defect, Au-H_{it}(0.445), has been observed at the interface, which is the incorporation of gold atom by the interaction with the interface defect, H_{it}(0.494). A continuous spectrum of the interface states related to gold has also been measured in the lower half of Si band gap, which are acceptors, and the physical mechanism of the positive shift of the flat band voltage of the MOS structure caused by gold doping ean be explained in terms of these gap states. The profile of the gold donors in the silicon near the interface has been obtained, which is not monotonically increase towards the surface but exhibits a maximum at 0.37 μm from the surface.

PACC: 7320; 7340Q; 7155; 6848