第 45 卷 第 9 期 1996 年 9 月
1000-3290/96/45(09)/1543-08

物 理 学 报
ACTA PHYSICA SINICA

Vol. 45, No. 9, September, 1996
©1996 Chin. Phys. Soc.

$BaTiO_3$ 半导体陶瓷从 PTC 特性向边界层电容效应过渡问题探讨*

晶界势垒模型的应用

郑振华 陈 羽 缪容之
(宁波大学物理系,宁波 315211)
(1995 年 1 月 23 日收到)

对作者提出的晶界势垒模型作定量分析.由理论模型得到的结果定量解释了 $BaTiO_3$ 半导体陶瓷从 PTC 特性向边界层电容效应过渡的有关现象;由此对 $BaTiO_3$ 半导体陶瓷边界层电容器和 PTC 电阻器的性能作出了设计,设计值明显优于目前的实验值;对提高器件性能的方法作了探讨,提出了相应的措施.本文的结果为 $BaTiO_3$ 半导体陶瓷器件的设计、生产和性能提高提供了理论基础.

PACC: 7340L; 8140R; 6170N

1 引 言

PTC 特性和边界层电容效应作为 $BaTiO_3$ 半导体陶瓷的主要现象而得到广泛的应用和重视[1].晶界势垒是这两个现象赖以存在的依据,其中对 PTC 特性,当温度高于居里温度时,介电常数减小引起的晶界势垒的增加,从而导致电阻率的增大[2];对边界层电容效应,晶界的高阻层承受了大部分外加电压,从而使表观电容增大,而高阻层的高阻也来源于晶界具有的较高势垒.并且边界层电容效应时晶界的较高势垒可由 PTC 特性时的低势垒过渡而来,过渡过程中的基本变量是晶粒表面的钡缺位扩散层厚度[3],在此基础上我们提出了存在钡缺位扩散层可以定量计算的晶界势垒模型[4].

本文首先根据作者提出的晶界势垒模型定量计算 $BaTiO_3$ 半导体陶瓷从 PTC 特性向边界层电容效应过渡的有关性能关系,再对边界层电容器和 PTC 电阻器的性能作出设计,并探讨提高器件性能的方法.

2 模 型

$BaTiO_3$ 半导体陶瓷是 n 型半导体,其晶界势垒的形成是由于存在能级低于晶粒的费密能级的晶界受主态.虽然晶界的非周期结构、缺陷和杂质必定引入晶界电子态,但这些

* 浙江省教育委员会资助的课题.

电子态的能级不一定低于晶粒的费密能级而起受主态的作用.事实上,晶界电子态没有受主性质正是还原气氛烧结的 $BaTiO_3$ 半导体陶瓷没有或只有很弱 PTC 特性的原因.

在晶界起深能级受主态作用的主要是晶界的过剩氧离子、正离子缺位和氧化态离子等受主缺陷.生成这些缺陷的主要方法是施主掺杂并氧化气氛烧结、冷却或热处理,并且晶界的氧化程度越高受主缺陷浓度越高,晶界受主态的能级越低、态密度越大.对非平衡冷却和热处理过程,这些在晶界首先形成的受主缺陷在进一步的过程中将向晶粒扩散,在晶粒表面形成受主缺陷扩散层($BaTiO_3$ 半导体陶瓷中为钡缺位为主的缺陷扩散层).如过程足够长扩散可深入晶粒内部使整个晶粒变成绝缘体.扩散层中的受主缺陷浓度由气氛决定,气氛的氧化程度高则受主缺陷浓度高.

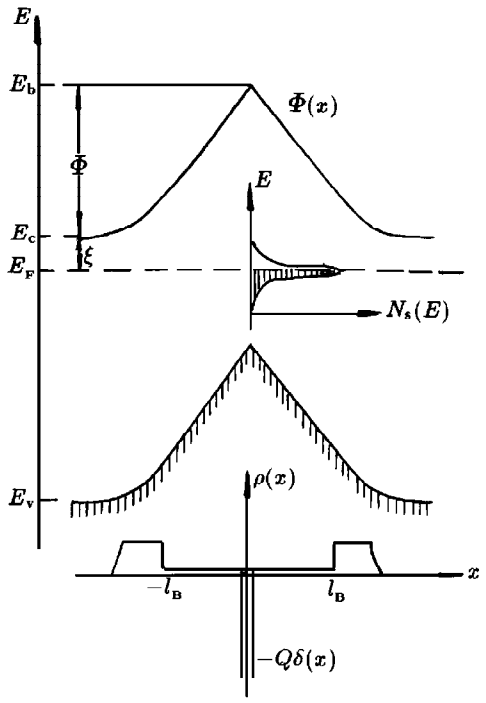

图1 晶界势垒模型(晶界附近的能带结构和电荷分布 $\rho(x)$)

受主缺陷扩散层中的受主缺陷抵消了大部分载流电子,使扩散层中的载流子浓度降低而成为低载流子浓度层,这使得在晶界形成包含低载流子浓度层的晶界势垒[4].图1为这一势垒模型的电荷分布和势垒形式的示意图.可见势垒高度 Φ 由晶粒内部的载流子耗尽层的势垒 Φ_c,晶粒内部的载流子耗尽层在受主缺陷扩散层上形成的势垒 Φ_a 和受主缺陷扩散层中载流子耗尽形成的势垒 Φ_b 三个部分组成.由 Poisson 方程可求得晶界附近的电荷分布和势垒,在载流子耗尽层近似下,静态(零偏压)时势垒高度 Φ_0 可表示为

$$\Phi_0 = \Phi_{0c} + \Phi_{0a} + \Phi_{0b}, \tag{1}$$

其中

$$\Phi_{0c} = \frac{e^2 N_D l_D^2}{2\varepsilon_0 \varepsilon_B} = \frac{e^2 Q_0^2}{8\varepsilon_0 \varepsilon_B N_D}, \tag{2a}$$

$$\Phi_{0a} = \frac{e^2 N_D l_D^2 l_B}{\varepsilon_0 \varepsilon_B} = \frac{e^2 Q_0 l_B}{2\varepsilon_0 \varepsilon_B}, \tag{2b}$$

$$\Phi_{0b} = \frac{e^2 N_B l_B^2}{2\varepsilon_0 \varepsilon_B}, \tag{2c}$$

式中 N_D 和 l_D 分别为晶粒内部的载流子浓度和载流子耗尽层厚度,l_B 和 N_B 分别为晶粒表面的受主缺陷扩散层的厚度和载流子浓度,ε_B 为晶界的相对介电常数,ε_0 为真空介电率,e 为电子电荷.

在外加偏压 V 时晶界势垒高度 Φ 下降,其关系为

$$\Phi = S^2 \Phi_{0c}\left(1 - \frac{V}{V_c}\right)^2 + S\Phi_{0a}\left(1 - \frac{V}{V_c}\right) + \Phi_{0b}, \tag{3}$$

式中 $V_c = (4S^2\Phi_{0c} + 2S\Phi_{0a})/e$, $S = Q/Q_0$.其中 $Q_0 = Q(V=0)$, Q 为偏压 V 时晶

粒内部载流子耗尽层的总电荷,

$$Q = \int_{-\infty}^{\infty} dE\, N_S(E)/[1 + \exp(\frac{\Phi + \xi + E - E_b}{kT})] - 2 N_B l_B, \tag{4}$$

式中 ξ 为载流子的电离能, $N_S(E)$ 为晶界受主态密度, k 为 Boltzmann 常数, T 为绝对温度.

由此可见,由于受主缺陷扩散层的存在,一方面使晶界势垒高度增加,这对于晶界受主态密度低时具有较高的 PTC 特性有重要意义;另一方面,也使势垒高度和外加偏压的关系发生变化,即出现线性项,且在 S 和 Φ 不变时,临界偏压值 V_c 随受主缺陷扩散层厚度的增大而减小,从而使得势垒随偏压增大而减小得更快,直至正偏向的势垒消失.

外加偏压下流过晶界势垒的电流密度 J 和直流偏压的关系式为

$$J = J_0 \exp\left(-\frac{\xi + \Phi}{kT}\right)\left[1 - \exp\left(-\frac{eV}{kT}\right)\right], \tag{5}$$

式中 $J_0 = A^* T^2$, $A^* = 4\pi m^* ek/h^2$, m^* 为导电电子的有效质量, h 为普朗克常数.

静态时,由(5)式可得晶界电阻率为

$$\rho_{B0} = \rho_0 \exp\left(\frac{\Phi_0}{kT}\right), \tag{6}$$

其中 $\rho_0 = k \exp\left(\frac{\xi}{kT}\right)/(edA^* T)$ 与晶粒的电阻率相当.

晶界电阻率的偏压关系为

$$\rho_B = \rho_{B0} \exp\left(-\frac{\Phi_0 + \Phi}{kT}\right)\left[\frac{-d\Phi}{edV} + \exp\left(-\frac{eV}{kT}\right)\right]^{-1}, \tag{7}$$

其中括号内的第一项由(3)式决定,而第二项在 V 趋于零时有最大值 1,外加偏压较大时趋于零.

在满足 $\rho_B \gg \alpha\rho_B \gg \rho_G$ 时,半导体陶瓷电阻率和介电常数的色散关系可表示为[5]

$$\rho = \rho_G + \alpha\rho_B/(1 + \omega^2 \tau_\rho^2), \tag{8}$$

$$\varepsilon = \varepsilon_G + \left(\frac{\varepsilon_B}{\alpha} - \varepsilon_G\right)/(1 + \omega^2 \tau_\varepsilon^2), \tag{9}$$

式中 $\alpha = d/D$, D 为晶粒尺寸, d 为晶界高阻层的厚度, ε_G 为晶粒内部的相对介电常数, ρ_G 为晶粒电阻率,电阻率和介电常数的弛豫时间分别为 $\tau_\rho = \varepsilon_0 \varepsilon_B (\rho_G \rho_B/\alpha)^{\frac{1}{2}}$ 和 $\tau_\varepsilon = \varepsilon_0 \varepsilon_B \rho_G/\alpha$.

直流或低频时,(7),(8)式的电阻率和介电常数可分别简化为

$$\rho = \rho_G + \alpha\rho_B = \rho_G + \rho_B d/D, \tag{10}$$

$$\varepsilon = \varepsilon_B/\alpha = \varepsilon_B D/d. \tag{11}$$

介电损耗因子 $\tan\delta$ 可表示为

$$\tan\delta = (\omega CR)^{-1} = (\omega\varepsilon_0 \varepsilon\rho)^{-1}, \tag{12}$$

式中 C 和 R 分别为样品的电容和电阻.

3　计算结果和讨论

由(1)—(12)式,选取相应的参数,计算得到的直流电阻率、低频介电常数和介电损耗

因子等物理性能的结果如图 2—4 所示.

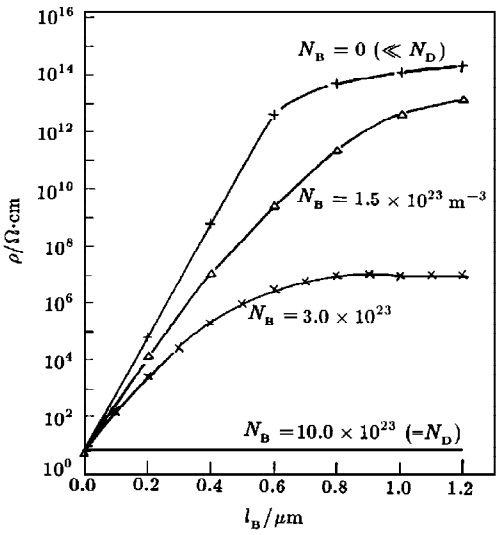

图 2 电阻率和钡缺位扩散层厚度的关系 其中参数: $N_D = 1.0\times10^{24}m^{-3}$, $\xi = 0.05$ eV, $N_S(E) = N_0\delta(E_S)$, $N_0 = 5.0\times10^{17}m^{-2}$, $E_b - E_S = 0.95$ eV, $\varepsilon_B = 4.0\times10^3$, $\rho_0 = \rho_G = 1.0\ \Omega\cdot cm$, $D = 20\ \mu m$, $T = 20$ ℃

由图 2 可见,当晶粒表面的钡缺位扩散层厚度增加时,陶瓷的电阻率由低阻状态逐步过渡到高阻状态,其关系在钡缺位扩散层厚度小时为指数,钡缺位扩散层厚度增大后逐渐变为线性,这是晶界势垒趋于饱和的结果.这和许多实验结果是一致的[6—8].电阻率的色散频率随钡缺位扩散层厚度和晶界电阻率的增大而减小,这也和实验结果[6]一致.

介电常数在晶界高阻层厚度不变时和晶粒尺寸成正比,而晶粒尺寸不变时随晶界高阻层厚度的增加而减小.当取 $\alpha\sim0.1$, $\rho_G\sim10^{-2}$—$10^1\Omega\cdot cm$, $\varepsilon_B\sim10^4$,介电常数的色散频率的取值介于 10^6Hz 和 10^{10}Hz 之间.这些都和实验结果[6,9]一致.

介电损耗在信号频率不变时随钡缺位扩散层厚度的增加而单调减小,但其色散关系存在低频随频率迅速减小的漏电损耗和高频的共振损耗峰,并且当钡缺位扩

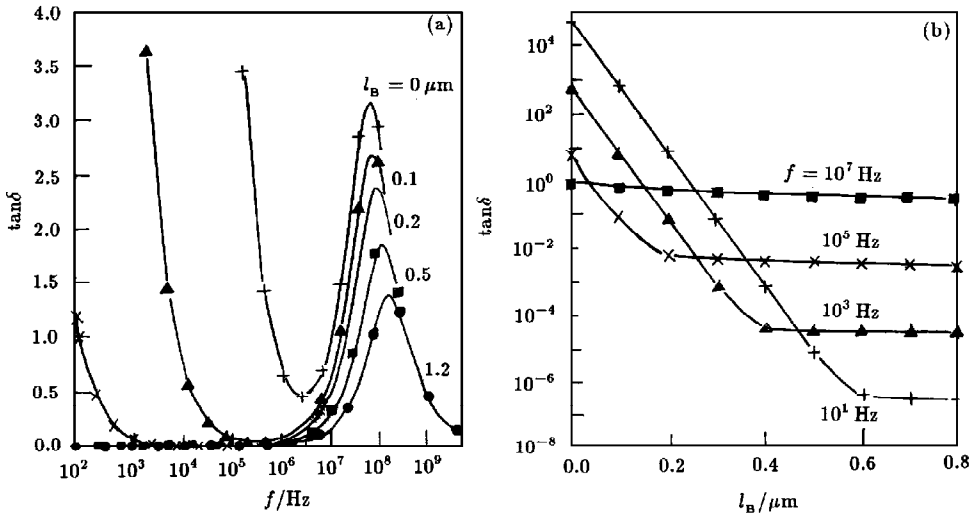

图 3 介电损耗因子的色散及其和钡缺位扩散层厚度的关系 (a)为钡缺位扩散层厚度;(b)为信号频率,其中参数: $N_B\sim0$($N_B\ll N_D$),其他参数同图 2

散层或晶界高阻层厚度的增加时漏电损耗和共振损耗都明显减小.张沛霖等[10]和 Waku[11]分别测量了 PTC 电阻器和边界层电容器的漏电损耗和共振损耗峰;而 Chiou 等[6]对高温还原烧结后经不同时间热处理样品的介电损耗的测量结果有和图 3(a)相同的变化关系.

电阻率的升阻比是 PTC 特性的一个重要参数.图 4 为零偏压不同晶界受主态密度的升阻比和钡缺位扩散层厚度的关系,对晶界受主态密度分别为高、中、低三种情况,升阻比和钡缺位扩散层厚度的关系分别为单调减小、出现峰值和单调增加.这三种情况分别与 Wang 等[12]、Ihrig 等[7]和 Al-Allak 等[8]、周东祥等[13]和 Kim 等[14]的实验结果相符.

此外,由(6)式可知,晶粒表面的钡缺位扩散层的存在严重影响电阻率的电压效应.其关系为:在 S 和 Φ 不变时,钡缺位扩散层使得电阻率的电压效应增大,并且厚度增大时电压效应加强.电阻率的电压效应及器件的耐压特性的详细结果及减弱电压效应的方法已在文献[15]中作了讨论.

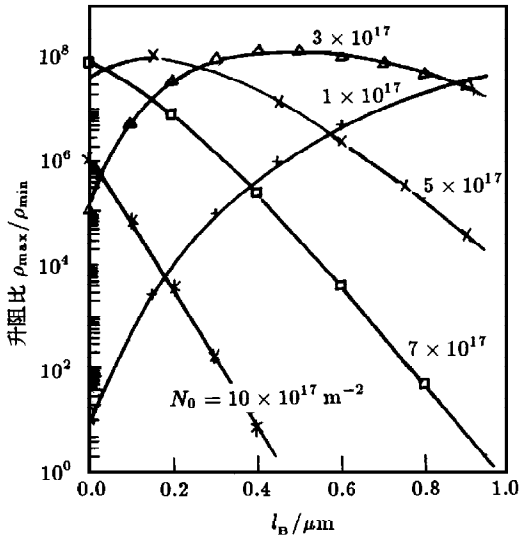

图 4　升阻比与钡缺位扩散层厚度的关系(图中数字为晶界受主态密度)　参数 $E_b - E_S = 1.25$ eV, $\varepsilon_B = 1.0 \times 10^4$, 其他参数同图 2

4　应用于器件设计

$BaTiO_3$ 半导体陶瓷边界层电容器和 PTC 电阻器都是多晶器件,微观上是大量晶粒及其相应的晶界组成的复杂结构器件,因此显微结构对器件的性能影响很大.在此我们只对匀质结的性能进行分析,显微结构的影响将在其他文章中讨论.

4.1　边界层电容器的设计

应用的需要总是要求器件具有尽量高的物理性能.对于半导体陶瓷边界层电容器,要求器件具有高的电阻率、介电常数和使用频率(色散频率)及低的介电损耗.但是,边界层电容器的每种性能都存在极限,不可能无限制地提高;并且器件的物理性能是相互关联和制约的,当一种性能提高的同时肯定会使其他一种或几种性能降低.因此,设计器件时应根据应用的需要综合考虑器件的物理性能.

根据前面的结果,当钡缺位扩散层的厚度增加时,晶界势垒高度由线性增加趋于饱和,亦即电阻率由指数关系变为线性关系.在势垒的饱和区域,电阻率的增长很小,但介电常数迅速减小.因此,可把晶界势垒从线性关系到饱和关系的转变点作为参考点,用以设

计边界层电容器.

表 1 为根据上述原理设计的 $BaTiO_3$ 边界层电容器的物理性能.从表中可见,根据本文结果得到的性能明显优于现有的边界层电容器性能,这表明边界层电容器的性能可进一步提高.

表 1 $BaTiO_3$ 边界层电容器的设计性能[1)]

晶粒尺寸 $D/\mu m$	10	20	50	100
$\rho/\Omega\cdot cm$	9.2×10^{11}	4.6×10^{11}	1.8×10^{11}	9.2×10^{10}
ε	2.9×10^{4}	5.8×10^{4}	14.5×10^{4}	29.0×10^{4}
tan δ(1kHz 值)	0.5×10^{-4}	1.0×10^{-4}	2.5×10^{-4}	5.0×10^{-4}
f_c/Hz	6.2×10^{7}	3.1×10^{7}	1.2×10^{7}	0.6×10^{7}

1)其中参数: $N_D = 4.0\times10^{23}m^{-3}$, $N_S(E) = N_0\delta(E_S)$, $N_0 = 6.0\times10^{17}m^{-2}$, $N_B\sim0(N_B\ll N_D)$, $\varepsilon_B = 1.5\times10^{3}$, $E_b - E_S = 0.85\,eV$, $\xi = 0.05\,eV$, $l_B = 0.184\,\mu m$, $\rho_0 = 3.0\,\Omega\cdot cm$

有关提高边界层电容器性能的方法,微观上主要是使得半导体陶瓷具有较高的载流子浓度和晶界受主态的密度、合适的晶界受主态的能级和钡缺位扩散层厚度.提高载流子浓度不但降低了材料的晶粒电阻率而提高使用(色散)频率,而且可以减小载流子耗尽层和晶界高阻层的厚度而提高介电常数.从而可在较高的晶界受主态密度、适当的晶界受主态能级和合适的钡缺位扩散层厚度时同时具有较高的介电常数和电阻率等性能.因此,制备器件时要求选取合适的组分、杂质和制备工艺以加强陶瓷的半导体化、改善晶界附近的电子结构和控制钡缺位扩散层的厚度等,从而使边界层电容器具有最佳性能.

4.2 PTC 电阻器的设计

$BaTiO_3$ 半导体陶瓷 PTC 电阻器的主要物理性能参数有室温电阻率、升阻比、电阻率的温度系数和耐压特性等.根据晶界势垒的饱和性质和电阻率与势垒的关系,由物理性能的关系式可求得升阻比的最大值、室温电阻率和电阻率的温度系数在正温度系数区的平均值,得到的结果列于表 2.

表 2 所示的性能明显优于现有 PTC 电阻器的性能,表明 PTC 电阻器的性能还没有达到极限值,仍可通过适当的方法提高器件的性能.提高性能的方法包括降低晶界受主态的能级、调整晶界受主态密度和钡缺位扩散层厚度及降低晶粒电阻率等.

表 2 $BaTiO_3$ PTC 电阻器的设计性能[1)]

晶界受主态密度 N_0/m^{-2}	10×10^{17}	8×10^{17}	4×10^{17}	2×10^{17}	1×10^{17}
ρ_{max}/ρ_{min}(无铁电补偿)	2.6×10^{8}	4.3×10^{9}	9.0×10^{9}	1.1×10^{10}	1.2×10^{10}
ρ_{max}/ρ_{min}(完有铁电补偿)	6.5×10^{13}	4.0×10^{12}	1.2×10^{12}	2.6×10^{12}	3.2×10^{12}
$\rho_{20℃}/\Omega\cdot cm$	2.5×10^{5}	9.4×10^{2}	1.3×10^{2}	2.4×10^{2}	2.9×10^{2}
温度系数(%/℃)	64	49	40	40	38
耐压特性	好	一般	差	较差	一般

1) 其中参数: $N_D = 6.0\times10^{23}m^{-3}$, $N_S(E) = N_0\delta(E_S)$, $E_b - E_S = 1.5\,eV$, $\xi = 0.05\,eV$, $\varepsilon_B = 1.0\times10^{4}$, $\rho_B = \rho_G = 1.0\,\Omega\cdot cm$, $D = 20\,\mu m$, $T = 20\,℃$

表 2 的结果还表明铁电补偿对升阻比有很大的影响,这是由于温度低于居里点时,晶界受主态被补偿使晶界势垒降低,晶界高阻层厚度减小,从而使晶界电阻降低的.铁电补偿对 PTC 特性的影响将在另文中讨论.

5 结　论

(1)对我们提出的晶界势垒模型作了定量分析,得到了和实验值一致的结果.这些结果定量解释了 $BaTiO_3$ 半导体陶瓷从 PTC 特性向边界层电容效应过渡的有关现象和性能关系.

(2)由模型对 $BaTiO_3$ 半导体陶瓷边界层电容器和 PTC 电阻器的性能作出了设计,设计值明显优于目前的实验值.还对提高边界层电容器性能的方法作了讨论,提出了相应的措施.

本文的结果为 $BaTiO_3$ 半导体陶瓷器件的设计、生产和性能提高提供了理论基础.

[1] 莫以豪、李标荣、周国良,半导体陶瓷及其敏感元件(上海科技出版社,1983),第 3 章.
[2] W. Heywang, *Solid State Electronics*, **3**(1961), 51.
[3] J. Daniels and R. Wernicke, *Phillips Res. Rept.*, **35**(1976), 544.
[4] 郑振华、缪容之、陈　羽,中国科学,**24**(1994),218.
[5] C. G. Koops, *Phys. Rev.*, **83**(1951), 121.
[6] B. Chiou *et al.*, *J. Am. Ceram. Soc.*, **72**(1989), 1967.
[7] H. Ihrig and W. Puschert, *J. Appl. Phys.*, **48**(1977), 3081.
[8] H. M. Al-Allak *et al.*, *J. Phys.*, **D20**(1987), 1645.
[9] S. Waku, *Rev. Electr. Lab. Comm.*, **15**(1967), 689.
[10] 张沛霖等,硅酸盐学报,**15**(1987),136.
[11] S. Waku, *Rev. Electr, Lab. Comm.*, **18**(1970), 681.
[12] D. Y. Wang and K. Umeya, *J. Am. Ceram. Soc.*, **73**(1990), 669.
[13] 周东祥、龚树萍,华中工学院学报,**14**(1986),499,
[14] H. Kim, G. Y. Sung and G. H. Kim, *J. Am. Ceram. Soc.*, **75**(1992), 587.
[15] 郑振华、陈　羽、缪容之,科学通报,**37**(1993),1846.

ON THE CONTINUOUS TRANSITION FROM PTC EFFECT TO GBBL CAPACITOR FOR $BaTiO_3$ SEMICONDUCTING CERAMICS

APPLICATION OF THE GRAIN BOUNDARY BARRIER MODEL

ZHENG ZHEN-HUA CHEN YU MIAO RONG-ZHI
(*Department of Physics, Ningbo University, Ningbo* 315211)
(Received 23 January 1995)

ABSTRACT

The quantitative analyses for our proposed potential－barrier model are given in this paper. The results quantitatively explain how the semiconducting $BaTiO_3$ ceramics transforms from PTC effect to GBBL capacitor. The designs of PTC resistors and GBBL capacitors from this model are made, and the design properties are much better than that of present experimental data. The mathods improving the properties of relevant devices are discussed. The model provides a theoretical basis for the design, manufacture and property improvement of semiconducting $BaTiO_3$ ceramic devices.

PACC: 7340L; 8140R; 6170N