

考虑硅通孔的三维集成电路热传输解析模型^{*}朱樟明[†] 左平 杨银堂

(西安电子科技大学微电子学院, 西安 710071)

(2010年7月3日收到; 2011年5月14日收到修改稿)

基于不考虑硅通孔的 N 层叠芯片的一维热传输解析模型, 提出了硅通孔的等效热模型, 获得了考虑硅通孔的三维集成电路热传输解析模型, 并采用 Matlab 软件验证分析了硅通孔对三维集成电路热管理的影响. 分析结果表明, 硅通孔能有效改善三维集成电路的散热, 硅通孔的间距增大将使三维集成电路的温升变大.

关键词: 三维集成电路, 热管理, 硅通孔, 等效热模型

PACS: 84.30.-r, 84.40.Bw

1. 引言

三维(3D)集成电路作为立体集成芯片系统, 通过将芯片层叠, 采用短的垂直互连线将各层二维芯片连接起来, 从而实现系统集成, 避免了系统芯片(SOC)中一些长互连线, 因此 3D 集成电路能有效解决系统芯片(SOC)的互连功耗和互连延迟等性能问题, 也能缓解 SOC 研发及制造成本费用过高的问题, 将成为更高系统集成芯片的集成方式^[1-13]. 然而, 3D 集成电路还存在许多方面的问题^[2,3], 如设计规则和设计软件没有普遍制定和开发; 测试方法和设备缺乏; 不同二维芯片速度和尺寸之间的匹配; 晶圆减薄问题; 热管理问题; 硅通孔(TSV)制作的高成本问题等等. 在影响 3D 集成电路发展的各种问题中, 热管理无疑是最为重要的因素之一. 这是因为^[4]: (1) 微型封装中的层叠芯片产生的热流非常高; (2) 3D 集成电路增加了单位表面积功率; (3) 如果冷却不充分将会导致 3D 层叠中的芯片发生过热; (4) 层叠芯片之间的空间太小, 从而导致建立冷却通道困难. 基于以上原因, 提出一些低成本且有效的热管理设计规则和解决方法就非常有必要.

文献[5]提出了集成电路微互连结构的焦耳热解析模型; 文献[6]使用有限元工具分析了 TSV 对

3D 集成电路热管理的影响; 文献[7]提出了将 3D 集成电路中的功耗分布转换为温度分布的数值模拟方法; 文献[8,9]则通过分析硅通孔或互连线的布局来优化 3D 集成电路中的散热. 然而以上研究所给出的多层叠层芯片热传输的解析模型并没有考虑到 TSV 影响.

本文在考虑 TSV 对 3D 集成电路热管理影响的基础上, 提出一种 N 层芯片热传输的一维解析模型. 论文首先提出忽略 TSV 时 N 层叠芯片的一维热传输解析模型, 进一步在考虑 TSV 基础上提出等效热阻的概念, 提出考虑硅通孔的 3D 集成电路热传输解析模型, 并利用 Matlab 软件分析比较 TSV 对 3D 集成电路热管理的影响.

2. 不考虑 TSV 的 N 层芯片热传输的一维解析模型

由于多种热源的存在, 实际 3D 集成电路中的热传输分析是非常复杂的, 图 1 为 N 层叠芯片示意图及其一维热传输模型^[10].

假设每个芯片层所产生的热量是均匀分布的, 并且热流只是从垂直于芯片的方向进行的, 也忽略了每个芯片层热量的横向扩散. 此外, N 层芯片一般是通过适当的黏合技术连接在一起的. 我们用 R_s 和 R_c 分别表征芯片层和粘合层的热阻, 那么相邻节点

^{*} 国家自然科学基金(批准号:60725415, 60676009)、国家重大科技专项(批准号:2009ZX01034-002-001-005)、国家重点实验室基金(批准号:ZHD200904)和西安 AM 创新基金(批准号:XA-AM-200907)资助的课题.

[†] E-mail: zmyh@263.net

之间热阻 R_j 就可以简单表示为 R_s 和 R_e 之和. 基于以上假设, 则图 1 所示的一维热传输模型包含了 N 个热源和 $N+2$ 个热阻 (其中 R_{hs} 和 R_{pk} 分别代表热沉和封装的热阻), R_j 为节点 j 和 $j-1$ 之间的热阻 (其中 j 代表粘合层的层号, 下同), T_j 和 Q_j 分别代表节点 j 处的温度和产生的热量, T_{amb} 代表外部环境的温度, q_j 代表从 j 流向 $j-1$ 的热量, 热阻网络中每个节点产生的热量通过热沉或者封装传递到外部环境.

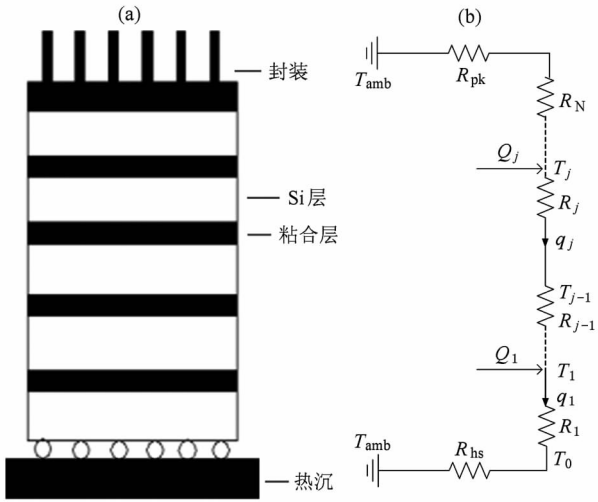


图 1 N 层叠芯片示意图及其一维热传输模型 (a) N 层叠芯片示意图; (b) 一维热传输模型

在稳定状态下, 不同芯片层的温度分布可由能量守恒方程来确定:

$$q_j = q_{j+1} + Q_j \quad (j = 1, 2, \dots, N-1), \quad (1)$$

$$q_N = q_{pk} + Q_N \quad (j = N). \quad (2)$$

温度和热流的关系为:

$$T_j - T_{j-1} = q_j \cdot R_j, \quad j = 1, 2, \dots, N. \quad (3)$$

热沉和封装处的热流方程可分别表示为

$$T_0 - T_{amb} = q_1 \cdot R_{hs}, \quad (4)$$

$$T_N - T_{amb} = -q_{pk} \cdot R_{pk}. \quad (5)$$

(1) 到 (5) 式共有 $2N+2$ 个方程, 未知数数量也是 $2N+2$ —— $T_0, T_1, \dots, T_N, q_1, q_2, \dots, q_N$ 和 q_{pk} . 因此可以求解出各芯片层的温度为:

$$\begin{aligned} \frac{\theta_i}{R_{hs}} = & \sum_{j=i}^N Q_j (1 - F_j) \left(1 + \sum_{m=1}^i r_m \right) \\ & + \sum_{j=1}^{i-1} Q_j \left[(1 - F_j) \left(1 + \sum_{m=1}^j r_m \right) \right. \\ & \left. - F_j \sum_{m=j+1}^i r_m \right], \end{aligned} \quad (6)$$

式中

$$F_j = \frac{1 + \sum_{m=1}^j r_m}{1 + \alpha + \sum_{m=1}^N r_m}, \quad (7)$$

其中 r_m 和 α 分别表示第 m 层芯片和封装被 R_{hs} 无量纲化后的热阻, 即 $r_m = \frac{R_m}{R_{hs}}, \alpha = \frac{R_{pk}}{R_{hs}}$. θ_i 代表第 i 层芯片相对外部环境升高的温度 (其中 i 代表芯片层的层号, 下同), 即 $\theta_i = T_i - T_{amb}$.

方程 (6) 为不同芯片层的温度分布解析模型, 对于 3D 集成电路设计过程中可能遇到的一些关键热分析问题是有帮助的, 如芯片的最高温度及其出现的位置、热沉和封装热阻对各层温度的影响、不同层的热优化问题等.

3. 考虑 TSV 的 N 层芯片热传输的一维解析模型

第二部分的讨论只是针对芯片层叠的简单情形, 并未考虑到 TSV 对芯片温度的影响. 然而在实际 3D 集成电路中, TSV 是必需的^[11]. TSV 为 3D 集成电路的实现提供了至少两方面的益处^[12]: 其一, TSV 实现了层叠芯片之间的信号通路, 从而代替了 2D 集成电路中的长的全局互连, 减小了互连延迟和功耗的同时也降低了芯片产生的热量; 其二, TSV 中填充的材料一般为铜, 其热导率相比于硅层和粘合层要高得多, 从而大大利于各层芯片的热转移, 降低芯片温度.

图 2 为 3D 集成电路中某一层 (例如第 i 层) 叠芯片的俯视示意图 (包含 TSV), D 为 TSV 的直径, P 为两个 TSV 之间的间距. 边长为 P 的正方形 (虚线所示) 可以看作该芯片层中的一个“单元”. 该“单元”中的 q_2 和 R_2 分别表示 TSV 的热流和热阻, 而 q_1 和 R_1 用来表示剩余部分的热流和热阻. 图 3 为图 2 中“单元”的等效热传导模型, 其中 q_{eq} 和 R_{eq} 分别表示等效热流和等效热阻.

对于图 2 中的“单元”, 根据热阻和温度的关系, 可得

$$q_1 \cdot R_1 = \Delta T_1, \quad (8)$$

$$q_2 \cdot R_2 = \Delta T_2. \quad (9)$$

假设每层芯片的温度是均匀分布, 则

$$\Delta T_1 = \Delta T_2 = \Delta T. \quad (10)$$

考虑到图 3 为图 2 中“单元”的等效, 类似可以得到:

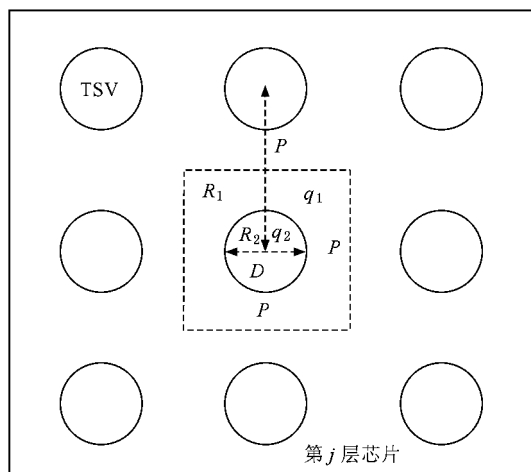


图 2 第 i 层芯片俯视示意图

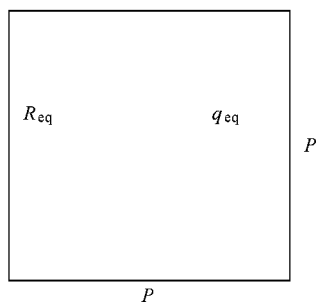


图3 “单元”的等效热模型

$$q_{\text{eq}} \cdot R_{\text{eq}} = \Delta T, \quad (11)$$

$$q_1 + q_2 = q_{\text{eq}}. \quad (12)$$

由(8)——(12)式,可得

$$\frac{1}{R_{\text{eq}}} = \frac{1}{R_1} + \frac{1}{R_2}. \quad (13)$$

另一方面,对于横截面为 s 的圆柱体,设其两个截面的温差和距离分别为 ΔT 和 ΔX ,截面之间的热流为 q ,则根据热力学

$$q = k \cdot \frac{dT}{dX} \cdot s = k \cdot \frac{\Delta T}{\Delta X} \cdot s, \quad (14)$$

$$q \cdot R = \Delta T. \quad (15)$$

由(14)和(15)式可以解得:

$$R = \frac{\Delta X}{k \cdot s}, \quad (16)$$

其中 k 为材料的热导率,

根据(16)式并结合论文第二部分的结果,可得

$$R_l = R_s + R_e = \frac{\Delta X_s}{k_s \cdot \left(P^2 - \frac{\pi}{4} D^2 \right)} + \frac{\Delta X_e}{k_e \cdot \left(P^2 - \frac{\pi}{4} D^2 \right)} \quad (17)$$

$$R_2 = \frac{\Delta X_c}{k_c \cdot \frac{\pi}{4} D^2} = \frac{\Delta X_s + \Delta X_e}{k_c \cdot \frac{\pi}{4} D^2}, \quad (18)$$

其中 k_s, k_e, k_c 和 $\Delta X_s, \Delta X_e, \Delta X_c$ 分别为硅层、粘合层、TSV 材料的热导率和厚度.

将(17)和(18)式代入(13)式,得到图3中的等效热阻为

$$R_{\text{eq}} = \frac{\left(\frac{\Delta X_s}{k_s \cdot \left(P^2 - \frac{\pi}{4} D^2 \right)} + \frac{\Delta X_e}{k_e \cdot \left(P^2 - \frac{\pi}{4} D^2 \right)} \right) \cdot \frac{\Delta X_s + \Delta X_e}{k_c \cdot \frac{\pi}{4} D^2}}{\frac{\Delta X_s}{k_s \cdot \left(P^2 - \frac{\pi}{4} D^2 \right)} + \frac{\Delta X_e}{k_e \cdot \left(P^2 - \frac{\pi}{4} D^2 \right)} + \frac{\Delta X_s + \Delta X_e}{k_c \cdot \frac{\pi}{4} D^2}}. \quad (19)$$

对于面积为 S 的叠层芯片,其热阻解析表达式为

$$R = \frac{\Delta X_s}{k_s \cdot S} + \frac{\Delta X_e}{k_e \cdot S} \quad (\text{不考虑 TSV}), \quad (20)$$

$$R_{\text{eq}} = \frac{P^2}{S} \cdot \frac{\left(\frac{\Delta X_s}{k_s \cdot \left(P^2 - \frac{\pi}{4} D^2 \right)} + \frac{\Delta X_e}{k_e \cdot \left(P^2 - \frac{\pi}{4} D^2 \right)} \right) \cdot \frac{\Delta X_s + \Delta X_e}{k_c \cdot \frac{\pi}{4} D^2}}{\frac{\Delta X_s}{k_s \cdot \left(P^2 - \frac{\pi}{4} D^2 \right)} + \frac{\Delta X_e}{k_e \cdot \left(P^2 - \frac{\pi}{4} D^2 \right)} + \frac{\Delta X_s + \Delta X_e}{k_c \cdot \frac{\pi}{4} D^2}} \quad (\text{考慮 TSV}). \quad (21)$$

4. 模型验证与讨论

为简单起见,本文将考虑 8 层 3D 集成电路作为模型验证对象,并假设每层芯片的热阻和产生的热量相同,即 $R_i = R$ (如(20)式)、 $Q_i = Q$. 由(6)和(7)式可得无 TSV 时芯片的温升表达式为

$$\theta_i = \frac{Q}{2(R_{hs} + R_{pk} + NR)} \cdot \{ Ni(N-i)R^2 + N(N-1)R_{hs}R + 2NiR_{pk}R - i(i-1)(R_{pk} + R_{hs})R + 2NR_{pk}R_{hs} \}. \quad (22)$$

将 R_{eq} (如(21))式代入(22)式即可得有 TSV 时芯片的温升表达式:

$$\theta_i = \frac{Q}{2(R_{hs} + R_{pk} + NR_{eq})} \cdot \{ Ni(N-i)R_{eq}^2 + N(N-1)R_{hs}R_{eq} + 2NiR_{pk}R_{eq} - i(i-1)(R_{pk} + R_{hs})R_{eq} + 2NR_{pk}R_{hs} \}. \quad (23)$$

假设芯片的面积 $S_i = S = 10 \text{ mm} \times 10 \text{ mm}$. 实际中,各参数的典型值为: $Q = 5 \text{ W}$, $R_{hs} = 2 \text{ K/W}$, $R_{pk} = 20 \text{ K/W}$, $k_s = 150 \text{ W/mK}$, $k_e = 0.1 \text{ W/mK}$, $k_c = 390 \text{ W/mK}$, $\Delta X_s = 50 \text{ }\mu\text{m}$, $\Delta X_e = 10 \text{ }\mu\text{m}$. 取 $D = 0.0015 \text{ mm}$, $P = 0.03 \text{ mm}$. 结合(22)和(23)式,得到无 TSV 和有 TSV 两种情形下各叠层芯片的温升对比,如图 4 所示.

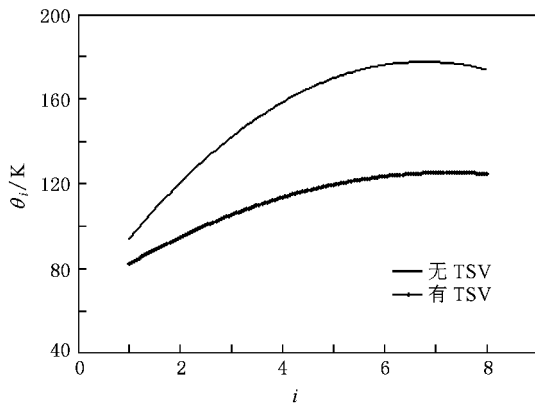


图 4 无 TSV 和有 TSV 下各叠层芯片温升对比

从图 4 可以看出,无 TSV 时,3D 集成电路的最高温升为 177.2 K,而有 TSV 时其值为 125.2 K,两种情形下的最大温差为 52.4 K (图中 i 代表芯片层的层号,下同). 并且应该注意到,最高温度并不一

定出现在距离热沉最远的芯片 (即 $i = 8$),它是跟 R_{hs}, R_{pk} 等参数相关的.

取 $D = 0.005 \text{ mm}$, 其他参数保持不变,得到如图 5 所示的各层芯片温升随 TSV 间距 P 的变化曲线,各层芯片温升随 TSV 直径 D 的变化曲线 (取 $P = 0.2 \text{ mm}$) 如图 6 所示. 从图 5 和图 6 中可得,随着 TSV 间距 (直径) 的增大 (减小),叠层芯片的温升不断增加并逐渐接近于无 TSV 时的温升,这跟实际情况是非常符合的. 图 4、图 5 和图 6 综合考察了 TSV 对 3D 集成电路热耗散的影响,给出了不同 TSV 直径和间距下层叠芯片的温升,从而为 3D 集成电路设计提供有益的参考.

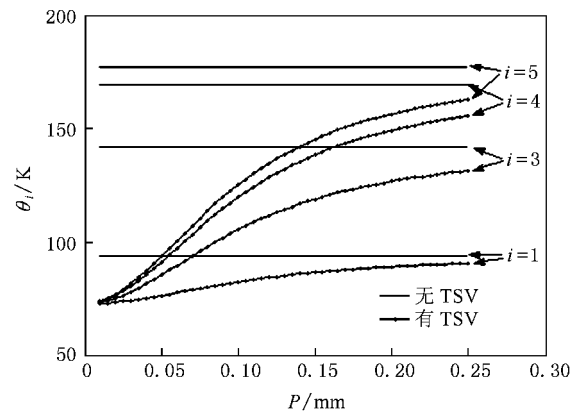


图 5 3D 集成芯片温升随 TSV 间距 P 的变化曲线

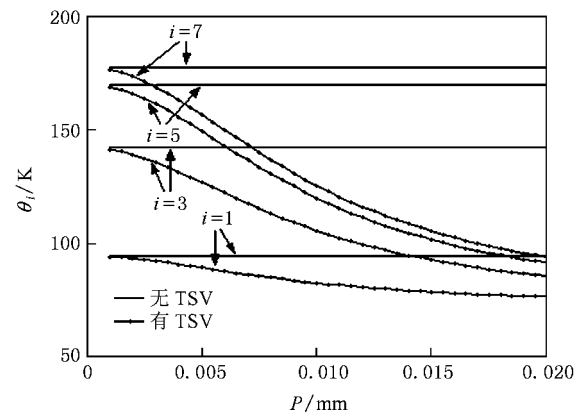


图 6 芯片温升随 TSV 直径 D 的变化曲线

5. 结 论

本文在考虑 TSV 对 3D IC 热管理的影响时,提出了等效热阻的概念,并在此基础上推导出其一维热传输模型. 通过仿真验证发现,该模型结果与实

际情况是非常吻合的.更为重要的是,它为 3D IC 设计者在设计过程中很可能遇到的诸如叠层芯片的最高温度及其出现的位置,如何设计 TSV 的间距和

直径以在性能和成本之间取得折中等问题提供了有意义的参考.

-
- [1] Xie Y, Chang Y W, Wang Y 2010 *15th Asia and South Pacific Design Automation Conference (ASP-DAC)*, Taiwan, Taipei, January 18—21, 2010 p169
 - [2] Andry P S, Tsang C K, Webb B C, Sprogis E J, Wright S L, Bang B, Manzer D G 2008 *IBM J. Resear. and Develop.* **52** 571
 - [3] Lau J H, Lim Y Y, Lim T G, Tang G Y, Khong C H 2008 *Proceedings of SPIE- Photonics Packaging, Integration, and Interconnects VIII*, San Jose, USA, January 19—24, 2008 DOI: 689907
 - [4] John H L, Tang G Y 2009 *IEEE 59th Electronic Components and Technology Conference San Diego*, CA, USA, May 26—29, 2009 p635
 - [5] Zhang J S, Wu Y P, Wang Y G, Tao Y 2010 *Acta Phys. Sin.* **59** 4395 (in Chinese)[张金松、吴懿平、王卫国、陶媛 2010 物理学报 **59** 4395]
 - [6] Shiv G S, Chuan S T 2009 *IEEE International Conference on 3D System Integration*, Washington, DC, USA, September 28—30, 2009 DOI:5306527
 - [7] Puttaswamy K, Loh G H 2006 *Proceedings of the 16th ACM Great Lakes Symposium on VLSI*, Washington, DC, USA, September 12—14, 2006 p19
 - [8] Cong J, Luo G J 2009 *14th Asia and South Pacific Design Automation Conference (ASP-DAC)*, Yokohama, Japan, January 19—22, 2009 p361
 - [9] Yan H X, Zhou Q, Hong X L 2009 *Integration, the VLSI Journal* **42** 175
 - [10] Jain A, Jones R E, Chatterjee R, Pozder S, Huang Z H 2008 *11th Intersociety Conference Thermal and Thermo-mechanical Phenomena in Electronics Systems (ITHERM)*, Orlando, Florida, USA, May 28—31 2008 p1139
 - [11] Choi K M 2010 *15th Asia and South Pacific Design Automation Conference (ASP-DAC)*, Taiwan, Taipei, January 18—21, 2010 p163
 - [12] Yoon K Y, Kim G, Lee W J, Song T G, Lee J H, Lee H D, Park K W 2009 *IEEE 11th Electronics Packaging Technology Conference*, Singapore, December 9—11, 2009 p702
 - [13] Zhu Z M, Zhong B, Yang Y T 2010 *Acta Phys. Sin.* **59** 493 (in Chinese)[朱樟明、钟波、杨银堂 2010 物理学报 **59** 493]

An analytical thermal model for 3D integrated circuit considering through silicon via *

Zhu Zhang-Ming[†] Zuo Ping Yang Yin-Tang

(School of Microelectronics, Xidian University, Xi'an 710071, China)

(Received 3 July 2010; revised manuscript received 14 May 2011)

Abstract

Based on the one-dimensional analytical thermal model for N strata stacked chips without through-silicon via (TSV), the equivalent thermal model for TSV is presented in this paper. And then, the corresponding analytical thermal model with considering TSV is derived. Finally, Matlab software is used to verify and analyze the influence of TSV on the thermal management of 3D IC integration. The analysis results indicate that the TSV can effectively improve the heat dissipation of 3D IC circuits, and the increase of TSVs' pitch can raise the temperature of the 3D IC circuit.

Keywords: 3D IC, thermal management, through silicon via, equivalent thermal model

PACS: 84.30.-r, 84.40.Bw

* Project supported by the National Natural Science Foundation of China (Grant Nos. 60725415, 60676009), the National Science & Technology Important Project of China (Grand No. 2009ZX01034-002-001-005), the National Key Laboratory Foundation of China (Grant No. ZHD200904), and the Xi'an-AM Innovation Foundation, China (Grant No. XA-AM-200907).

[†] E-mail: zmyh@263.net