

专题: 半导体物理与器件

垂直型 GaN 功率电子器件: 结构、工艺与关键机制*

王军太 韩在天 杜佳宏 谢选 杨树†

(中国科学技术大学国家示范性微电子学院, 合肥 230026)

(2025 年 11 月 30 日收到; 2026 年 1 月 15 日收到修改稿)

相比于传统的基于异质外延材料的平面型 GaN-on-Si 器件, 垂直型 GaN-on-GaN 功率电子器件具有厚度更大、品质更高的同质外延层, 能够实现更高耐压、更高电流和更优异的动态性能, 对拓展 GaN 功率电子器件的电压等级、功率等级具有重要意义. 本文重点探讨了新型垂直结构 GaN 肖特基势垒二极管 (SBD)、PiN 二极管和沟槽栅金属氧化物半导体场效应晶体管 (MOSFET) 的相关研究, 主要包括: 1) 通过 GaN 特有的极化电荷和隧穿增强层新结构, 在垂直型 GaN SBD 中同时实现耐压的提升和开启电压的降低; 2) 基于直接带隙 GaN 的光电耦合效应, 在双极型 GaN PiN 二极管中同时实现了电导调制和零反向恢复特性; 3) 垂直型 GaN 二极管还展现出优异的动态电阻性能、浪涌耐量与抗高能质子辐照能力; 4) 通过 AlN 氮化界面层实现高迁移率、高品质因数的垂直型 GaN 沟槽栅 MOSFET.

关键词: GaN-on-GaN, 界面工程, 功率电子器件, 动态特性

DOI: 10.7498/aps.75.20251638

CSTR: 32037.14.aps.75.20251638

1 引言

宽禁带半导体氮化镓 (Gallium Nitride, GaN) 功率电子器件可突破传统硅基器件的本征极限, 实现高效、轻质、小型化的功率转换系统, 在新能源汽车、航空航天、大数据中心、激光雷达、智能电网等领域具有广阔应用前景^[1,2]. 当前, 基于异质外延层的平面型 GaN 高电子迁移率晶体管 (high-electron-mobility transistor, HEMT) 已成功商业化. EPC、GaN Systems、Infineon、Transphorm 等公司已推出额定电压 15—1200 V 的平面型 GaN HEMT 商业器件. 另一方面, 近年来, 在固态照明的推动下, 国内外已推出了 2—8 英寸 GaN 单晶衬底, 为高压大功率垂直型 GaN-on-GaN 功率电子器件的发展奠定了良好的材料基础^[3,4]. 基于高品质 GaN 单晶衬底, 垂直型 GaN-on-GaN 功率电子器件具有厚度

更大、品质更高的漂移区 (同质外延层), 可拓展传统平面型 GaN 器件的电压等级; 同时, 垂直型器件结构更适宜导通大电流, 有助于拓展器件的功率等级^[5]; 此外, 垂直电流路径使垂直型 GaN-on-GaN 功率电子器件对表面陷阱效应不敏感, 有助于解决由表界面陷阱与异质外延层中的体陷阱所导致的动态电阻退化难题^[6].

在功率电子器件中, 整流二极管通常包括单极型肖特基势垒二极管 (Schottky barrier diode, SBD) 和双极型 PiN 二极管, 其仍主要面临以下挑战.

传统单极型 SBD 开启电压和阻断漏电均受肖特基势垒高度 (Schottky barrier height, SBH) 调控, 更低的 SBH 有助于降低 SBD 的开启电压和导通损耗, 但通常会导致较大的阻断漏电, 限制了器件的耐压; 反之, 更高的 SBH 有助于降低阻断漏电、提升器件耐压, 但会导致较高的开启电压和导通损耗. 总而言之, 传统单极型 SBD 面临着由于

* 国家科技重大专项 (批准号: 2024ZD06050xx)、江苏省重大科技专项 (批准号: BG2024019) 和江苏省基础研究计划自然科学基金 (批准号: BK20232045) 资助的课题.

† 通信作者. E-mail: eesyang@ustc.edu.cn

SBH 所导致的正向开启电压与反向阻断漏电之间相互制约的关系^[7,8]. 因此如何突破该相互制约关系, 是传统单极型 SBD 面临的挑战之一.

传统双极型 PiN 二极管导通损耗和开关频率均受少子注入效应的影响, 更高的少子注入水平引发显著的电导调制效应、降低导通损耗^[9]; 在间接带隙半导体 Si 和 SiC 双极型 PiN 二极管中, 尽管少子注入与存储可以带来导通性能的提升, 但在器件关断瞬间, 少子存储效应会造成较长的反向恢复时间, 限制了器件效率和频率的提升. 因此, 传统双极型 PiN 二极管面临着由于少子存储效应所导致的导通和开关动态性能之间的相互制约关系. 不同于间接带隙半导体 Si 或 SiC, 直接带隙材料 GaN 拥有极短的 ($\sim 10^{-8}$ s) 本征少数载流子寿命^[10]和光电转化能力, 双极型 GaN PiN 二极管有望实现更快的开关速度和更低的开关损耗. 而直接带隙 GaN PiN 二极管极短的少子寿命能否实现有效电导调制尚不明确.

同时, 平面型 GaN 功率电子器件在高压高频开关过程中普遍面临陷阱效应导致的动态电阻退化问题^[7]. 得益于高质量同质外延显著降低了缓冲层陷阱密度, 垂直电流路径对表面陷阱不敏感, 垂直型 GaN 功率电子器件有望实现优异动态导通特性^[8]. 对于预期工作频率高达兆赫兹的垂直型 GaN 功率电子器件而言^[6], 开发测试延迟在百纳秒级的快速动态测试电路, 对实现垂直型 GaN 功率电子器件开关特性的准确表征和验证具有重要研究价值.

在极端工况下, 高能质子辐照引发的位移损伤^[11,12]与瞬态大电流等引起的冲击应力^[13,14]可能导致功率电子器件性能退化或热失效. 因此研究垂直型 GaN 功率电子器件在强辐照与瞬态大电流等极端应力下的耐受能力, 对准确界定该器件的安全工作区具有重要意义.

在功率晶体管中, 垂直型沟槽栅金属氧化物半导体场效应晶体管 (metal-oxide-semiconductor field-effect transistor, MOSFET) 基于 p 型基区反型沟道实现导通, 是天然的常关型器件, 且具有较理想的阈值电压. 然而, 在多数 1.2—1.7 kV 宽禁带半导体沟槽栅 MOSFETs 中, 因表面粗糙度散射与库仑散射等因素限制了反型沟道迁移率的提升, 沟道电阻通常占器件整体导通电阻的 $\sim 25\%$ 或以上^[15,16]. 因此, 如何通过抑制表面粗糙度散射与库仑散射来提升反型沟道迁移率, 是实现高压低阻千伏级 GaN MOSFET 的重要挑战之一.

围绕垂直型 GaN SBD、垂直型 GaN PiN 二极管与垂直型 GaN 沟槽栅 MOSFET 面临的挑战 (图 1), 本文报道了近年来在垂直型 GaN 功率电子器件方面所取得的一些进展, 包括: 1) 通过引入隧穿增强层 (tunneling-enhancement layer, TEL) 的界面工程技术, 调控载流子输运机制, 突破垂直型 GaN SBD 正反向电学特性相互制约的关系; 2) 揭示了双极型垂直结构 GaN PiN 二极管的电导调制效应和反向恢复特性, 突破传统 PiN 二极管导通和开关动态特性之间的制约关系; 3) 表征分析了垂直型 GaN 功率二极管在快速开关电路中的动态电阻特性; 4) 垂直型 GaN 功率二极管在质子辐照与浪涌等极端环境下的鲁棒性; 5) 通过 AlN 氮化界面层实现了高迁移率、高品质因数的垂直型 GaN 沟槽栅 MOSFET.

2 垂直型 GaN 功率二极管

本节聚焦垂直型 GaN 功率二极管的制备及静态特性表征, 介绍了适用于垂直型 GaN 功率电子器件的终端技术、垂直型 GaN SBD 肖特基界面载流子输运机制研究、垂直型 GaN PiN 光电耦合效应及电导调制研究、垂直型 GaN PiN 二极管抗辐照能力研究.

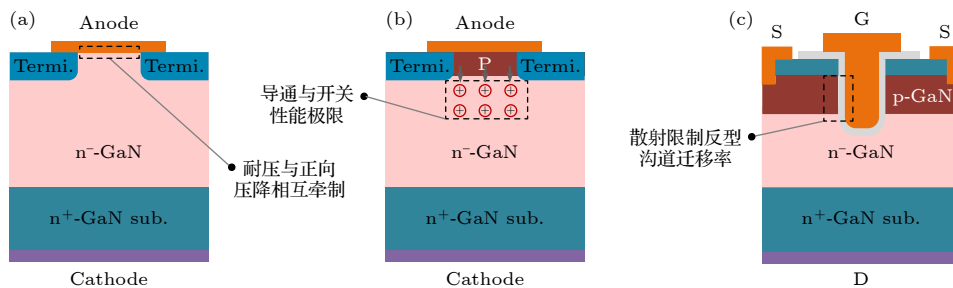


图 1 (a) 垂直型 GaN SBD, (b) 垂直型 GaN PiN 二极管与 (c) 垂直型 GaN 沟槽栅 MOSFET 面临的挑战
Fig. 1. Challenges in (a) vertical GaN SBD, (b) vertical GaN PiN diode, and (c) vertical GaN trench MOSFET.

2.1 单极型垂直结构 GaN 二极管

2.1.1 垂直型 GaN SBD

图 2 展示了垂直型 GaN SBD 器件结构. 11 μm 厚的 n^- -GaN 漂移层通过有机金属化学气相沉积 (metal-organic chemical vapor deposition, MOCVD) 生长于单晶 n^+ -GaN 衬底上, 经电容电压 (C - V) 测试提取有效掺杂浓度约为 $1 \times 10^{16} \text{ cm}^{-3}$. n^+ -GaN 衬底欧姆接触金属采用厚度分别为 50/200/50/50 nm 的 Ti/Al/Ti/Au 金属叠层, 肖特基接触金属采用 Pt/Au 金属叠层 [17].

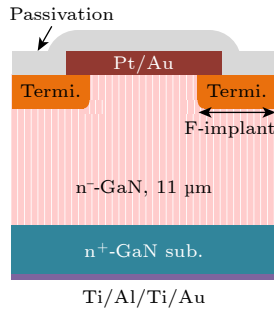


图 2 垂直型 GaN-on-GaN SBD 结构示意图

Fig. 2. Schematic cross section of vertical GaN-on-GaN SBD.

垂直型 GaN SBD 的制造工艺主要包括终端结构制作、表面肖特基接触形成、介质层钝化与背面 n^+ -GaN 衬底欧姆接触形成. 首先通过氟离子注入制备终端结构, 并在样品表面沉积 SiN_x 保护层后退火修复注入损伤. 在对样品表面进行预处理后, 随即沉积 Pt/Au 金属层并退火, 制备高质量的

肖特基界面. 随后在样品表面沉积一层 SiO_2 作为钝化层并开孔. 最后, 在样品背面沉积 Ti/Al/Ti/Au 金属叠层并退火, 实现 n^+ -GaN 衬底的欧姆接触 [8].

图 3 所示为垂直型 GaN SBD 的导通特性, 其导通电流密度高达 2 kA/cm^2 , 微分比导通电阻 (specific on-resistance, $R_{\text{ON,sp}}$) 低至 $1.08 \text{ m}\Omega\text{-cm}^2$. 对于 SBD, 考虑理想因子和串联电阻时, 导通电流密度的理论计算公式为 [16]

$$J = A^* T^2 \exp\left(-\frac{q\phi_B}{kT}\right) \left\{ \exp\left[\frac{q(V - Jr_{\text{S,sp}})}{\eta kT}\right] - 1 \right\}, \quad (1)$$

其中 A^* 为理查森常数, k 为玻尔兹曼常数, T 为温度, q 为电子电荷, ϕ_B 为 SBH, η 为理想因子, $Jr_{\text{S,sp}}$ 为串联电阻分压. 实际测试曲线与根据理想的热电子发射 (TE) 模型 (即 $\eta = 1$) 计算出的 I - V 特性曲线拟合良好 (图 3(b)), 且测试提取出的理想因子低至 1.02, 说明该垂直型 GaN SBD 载流子输运机制由 TE 模型主导, 而与陷阱/缺陷相关的非理想载流子输运机制 (图 3(c)) 几乎可忽略 [17], 表明界面预处理与金属沉积后退火实现了接近理想的金属/GaN 肖特基界面. 同时, 理想的肖特基界面和较低的 SBH 使垂直型 GaN SBD 表现出低开启电压 (0.55 V , 定义于 0.1 A/cm^2).

垂直型功率电子器件中, 结边缘电场聚集会加剧漏电流, 并导致器件提前击穿 [18]. 对于 Si 或 SiC 功率电子器件, 常通过引入基于 pn 结的终端结构 (如场限环、结终端扩展) 抑制边缘电场聚集 [19,20]. 然而, GaN 材料中实现有效的 p 型掺杂较为困难,

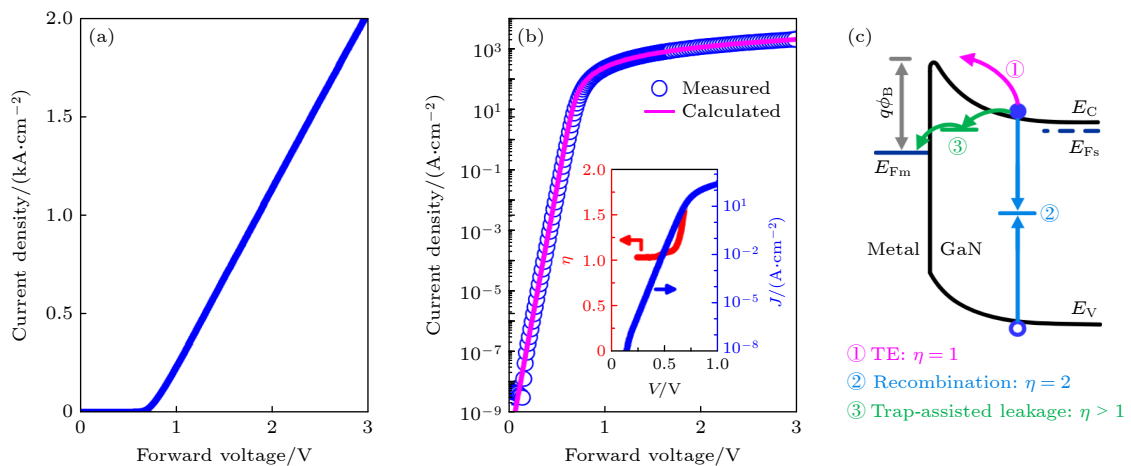


图 3 垂直型 GaN SBD 的 (a) 正向 I - V 特性和 (b) 实测与计算的正向 I - V 特性; (c) 肖特基界面处可能的载流子输运机制. 出自文献 [17], 已获得授权

Fig. 3. (a) Forward I - V characteristics of the vertical GaN SBD; (b) measured and calculated forward I - V characteristics; (c) possible carrier transport mechanisms at/near the Schottky interface. Reproduced with permission from Ref. [17].

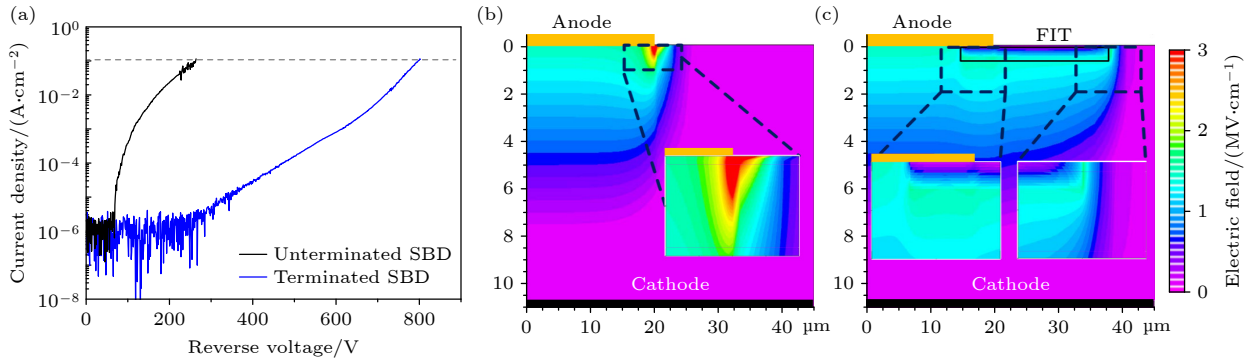


图 4 (a) 有无终端时 GaN SBD 的反向 I - V 特性曲线; (b) 无终端与 (c) 有终端 SBD 在 -600 V 时的仿真电场分布图. 出自文献 [17], 已获得授权

Fig. 4. (a) Reverse I - V characteristics of the unterminated-SBD and terminated-SBD; simulated electric field distribution in (b) unterminated-SBD and (c) terminated-SBD at -600 V. Reproduced with permission from Ref. [17].

限制了上述终端结构的研发. 为此, 本课题组致力于开发适用于垂直型 GaN 功率器件的新型终端结构. 如图 4(a) 所示, 通过多能量氟离子注入及注入后退火优化形成的低损伤终端结构, 可将垂直型 GaN SBD 的击穿电压由 ~ 260 V 提升至 ~ 800 V^[17]. 氟离子凭借其较强的电负性, 可在 III-V 族材料中成为带负电的固定电荷^[21], 该特性已在平面型 GaN 晶体管阈值电压调控中得到应用^[22]. 基于此特性, 利用氟离子注入形成的固定负电荷, 可有效缓解 GaN SBD 结边缘电场聚集 (图 4(b), (c))^[17]. 因此, 多能量氟离子注入配合有效的注入后损伤修复为实现高性能垂直型 GaN SBD 提供了一种高效的终端保护方案.

2.1.2 垂直型 GaN 隧穿结二极管

传统 SBD 在正向导通和反向阻断特性之间存在相互制约的关系, 这是由于其开启电压和阻断漏电均受 SBH 的影响^[7,8]. 如图 5(a), (c) 所示, 较高的 SBH ($q\phi_B$) 有利于降低阻断漏电、提升耐压, 但同时会导致较高的开启电压和较高的通态损耗. 为了突破传统 SBD 正反向性能相互制约的关系, 本工作采用新型界面工程来调控载流子输运机制. 在金属/GaN 肖特基界面插入一层 ~ 5 nm 的 AlGaIn TEL 后 (图 6(b)), 可同时改变正向导通和反向阻断状态下的载流子输运机制^[23].

图 5 为有无 TEL 结构的垂直型 GaN SBD 在导通和阻断状态下的能带图对比^[23], 同时给出了主导的载流子输运机制: 热电子发射 (thermionic emission, TE)、隧穿 (tunneling) 和热场发射 (thermal field emission, TFE). 导通状态下, 极化效应产生的 AlGaIn/GaN 界面电子积累和极薄的组分渐

变 AlGaIn 层有利于提高电子隧穿概率和隧穿电流 (图 5(b)), 可有效降低器件开启电压. 阻断状态下, AlGaIn 相较于 GaN 可获得更高的 SBH (图 5(d)), 从而降低漏电流、提升耐压.

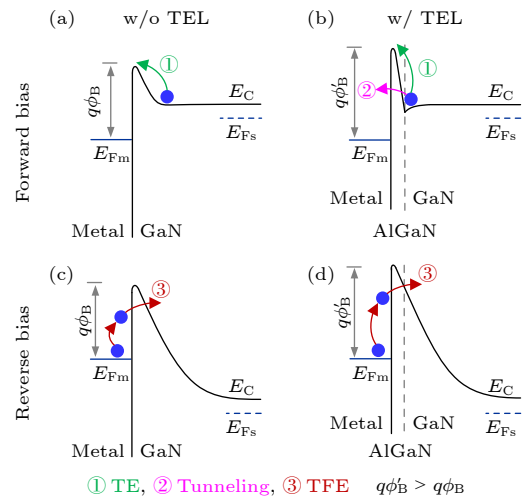


图 5 (a) 无 TEL 和 (b) 有 TEL 的垂直型 GaN SBD 在正向导通时的能带示意图对比; (c) 无 TEL 和 (d) 有 TEL 的垂直型 GaN SBD 在反向阻断时的能带示意图对比; 主导的载流子输运机制也在图中标出. 出自文献 [23], 已获得授权
Fig. 5. Schematic energy band diagrams of the SBD (a) without TEL and (b) with TEL at a forward bias; schematic energy band diagrams of the SBD (c) without TEL and (d) with TEL at a reverse bias; the dominant current transport mechanisms are also shown. Reproduced with permission from Ref. [23].

如图 6(a), (b) 所示, 引入 TEL 结构的垂直型 GaN 隧穿结二极管能够将传统 GaN SBD 的开启电压从 0.55 V 进一步降低至 0.43 V (定义在 0.1 A/cm²), 同时可以将击穿电压从 800 V 进一步提升至 1020 V^[23]. 垂直型 GaN 隧穿结二极管突破

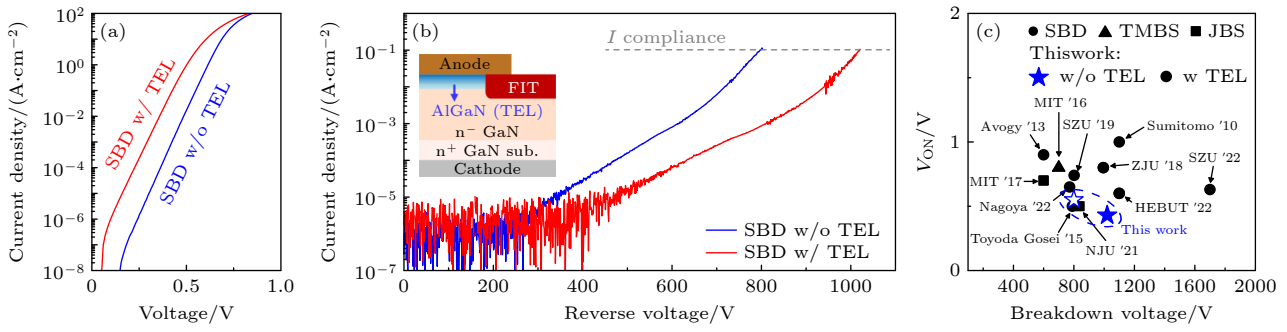


图 6 有 TEL 的垂直型 GaN SBD 与无 TEL 的垂直型 GaN SBD 的比较 (a) 正向 I - V 特性和 (b) 反向 I - V 特性; (c) 已报道的单极型垂直结构 GaN 二极管性能对比. 出自文献 [23], 已获得授权

Fig. 6. Comparison of the vertical GaN SBD with TEL and the vertical GaN SBD without TEL: (a) Forward I - V characteristics and (b) reverse I - V characteristics; (c) benchmark plot for reported unipolar vertical GaN diodes. Reproduced with permission from Ref. [23].

了传统 SBD 正向开启电压与反向阻断漏电之间相互制约的关系 (图 6(c)), 表现出更为优异的静态电学特性 [24-30].

2.2 双极型垂直结构 GaN PiN 二极管

垂直型 GaN PiN 二极管的基本结构如图 7 所示, 其外延结构包括极薄的 p^+ -GaN 接触层, 500 nm 厚的 p -GaN 层和 15 μm 厚的 n^- -GaN 漂移层, 通过 C - V 测试提取出其漂移层的有效掺杂浓度约为 $6 \times 10^{15} \text{ cm}^{-3}$.

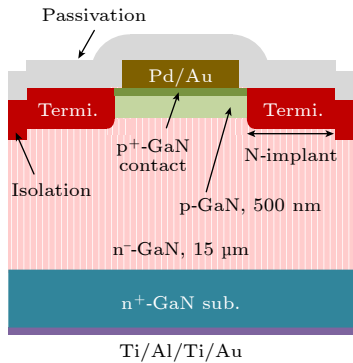


图 7 垂直型 GaN-on-GaN PiN 二极管结构示意图
Fig. 7. Schematic cross section of vertical GaN-on-GaN PiN diode.

垂直型 GaN PiN 二极管的制备工艺主要包括器件隔离、终端结构制作、表面欧姆接触形成、介质层钝化与背面欧姆接触形成. 首先通过刻蚀与离子注入对器件边缘进行隔离. 对结边缘进行多能量氮离子注入, 实现 p -GaN 区域的部分钝化与电荷补偿, 达到终端保护的电场调制. 在 GaN 表面沉积 Pd/Au 金属层并退火, 以获得低电阻的表面欧姆接触. 随后的介质层钝化、背面欧姆接触工艺与垂直型 GaN SBD 相同.

图 8(a) 展示了垂直型 GaN PiN 二极管的导通特性. 与垂直型 GaN SBD 不同, 垂直型 GaN PiN 二极管表现出随着正向电压持续下降的微分 $R_{\text{ON,sp}}$ ($0.81 \text{ m}\Omega \cdot \text{cm}^2 @ 2 \text{ kA/cm}^2, 0.46 \text{ m}\Omega \cdot \text{cm}^2 @ 6 \text{ kA/cm}^2$), 且整体低于计算的微分 $R_{\text{ON,sp}}$ 理论值 ($2.2 \text{ m}\Omega \cdot \text{cm}^2$), 表明 GaN PiN 二极管在准静态下存在有效的电导调制效应 [31,32].

如图 8(b) 所示, 通过多能量氮离子注入制备的终端结构, 可将垂直型 GaN PiN 二极管的击穿电压由 $\sim 1100 \text{ V}$ 提升至 $\sim 1800 \text{ V}$, 并显著抑制漏电流 [31]. 氮离子注入造成的深能级缺陷能够补偿 p -GaN 中的载流子, 从而降低该区域有效空穴浓度 [33]. 这一载流子调控过程在 GaN PiN 二极管结边缘形成了一种类似于结终端扩展 (junction termination extension, JTE) 的功能结构, 有效缓解了电场聚集, 进而提高了器件的耐压能力. 图 8(c) 展示氮离子注入终端的垂直型 GaN PiN 二极管和已报道的双极型垂直结构 GaN 二极管的关键性能指标 [34-42].

为进一步验证垂直型 GaN PiN 二极管中的电导调制效应, 对其与垂直型 GaN SBD 的正向导通瞬态特性进行对比分析 [43]. 如图 9(a) 所示, 垂直型 GaN SBD 的导通压降 (V_{ON}) 随导通时间 (t_{ON}) 增加而上升, 这主要源于自热效应的增强引起声子散射加剧, 导致迁移率下降. 相比之下, 垂直型 GaN PiN 二极管的 V_{ON} 表现出非单调的瞬态变化, 可划分为 3 个区域 (图 9(b)): 在区域 I ($\sim 10^{-3} - 10^{-1} \text{ s}$), 空穴注入引发的电导调制效应占主导, V_{ON} 随 t_{ON} 增加而降低, 自热效应尚不显著; 在区域 II ($\sim 10^{-1} - 10 \text{ s}$), 低电流 ($\leq 30 \text{ mA}$) 条件下电导调制仍占主导, V_{ON} 持续下降, 而在高电流 ($\geq 40 \text{ mA}$) 下自热

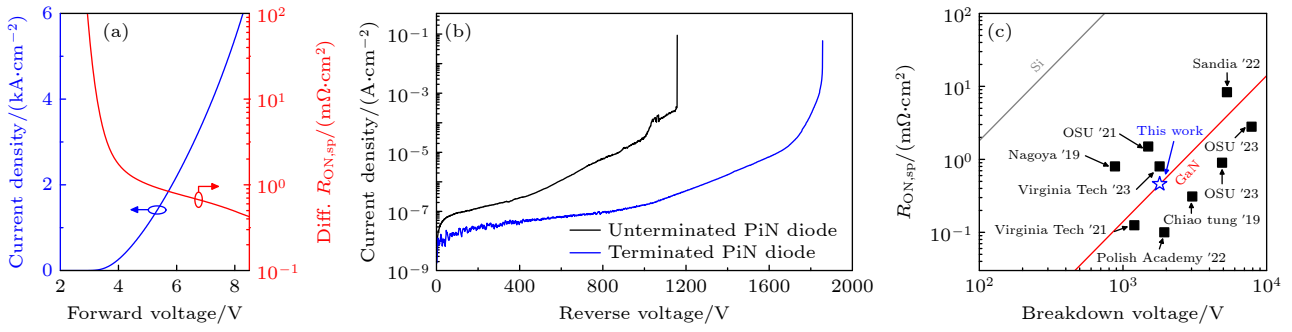


图 8 垂直型 GaN PiN 二极管的 (a) 正向 I - V 特性和微分 $R_{ON,sp}$ 特性与 (b) 反向 I - V 特性; (c) 已报道的双极型垂直结构 GaN 二极管性能对比. 出自文献 [31], 已获得授权

Fig. 8. (a) Measured I - V characteristics and corresponding differential $R_{ON,sp}$; (b) reverse I - V characteristics of the vertical GaN PiN diode; (c) benchmark plot for reported bipolar vertical GaN diode. Reproduced with permission from Ref. [31].

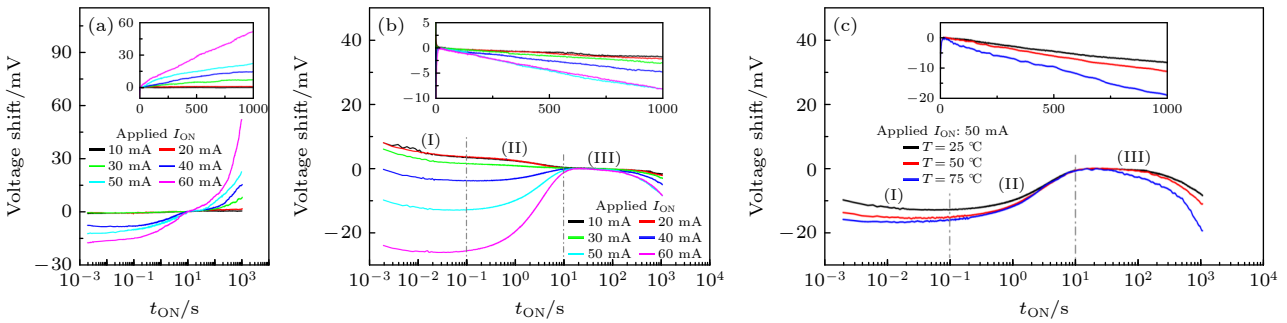


图 9 垂直型 GaN (a) SBD 与 (b) PiN 二极管在不同通态电流下的正向电压漂移曲线 (半对数坐标), 插图为线性坐标下的结果; (c) 垂直型 GaN PiN 二极管在 50 mA 电流及不同温度下的正向电压漂移曲线 (半对数曲线), 插图为线性坐标下的结果. 出自文献 [43], 已获得授权

Fig. 9. Time-resolved forward voltage shift of the vertical GaN (a) SBD and (b) PiN diode at various applied ON-state current in semi-log scale, inset represents voltage shift in linear scale; (c) time-resolved forward voltage shift of the vertical GaN PiN diode at 50 mA at elevated temperature in semi-log scale, inset represents voltage shift in linear scale. Reproduced with permission from Ref. [43].

效应成为主导, 导致 V_{ON} 随 t_{ON} 增加转而上升; 在区域 III (~ 10 — 10^3 s), 随着热平衡逐渐建立, 电导调制效应重新主导, V_{ON} 进一步降低. 此外, 随着温度升高, 垂直型 GaN PiN 二极管的 V_{ON} 呈下降趋势 (图 9(c)), 这种热增强型电导调制现象可能源于热环境下 p 型 GaN 激活效率的提升, 提高了 n-GaN 区的空穴注入水平 [43,44].

研究表明垂直型 GaN PiN 二极管的电导调制能力与内部光电耦合效应相关, 图 10 所示为其影响垂直型 GaN PiN 二极管电导调制的两种可能的传导机制 [32,45].

机制 1 在 GaN PiN 二极管中产生的光子主要来源于 n-GaN 区域内导带自由电子与价带自由空穴的辐射复合. 当辐射复合产生的光子进入 p-GaN 区域后, 部分光子被已电离的 Mg 受主吸收, 将受主能级上束缚的电子激发至导带, 导致电离的 Mg 受主转变为中性态, 激发到导带的电子在 p-GaN

中通过发射声子迁移至导带底. 中性态的 Mg 受主易通过从价带捕获电子而再次电离, 同时在价带产生自由空穴. 当价带顶的自由空穴注入 n-GaN 时, 为维持电中性, 等量电子从 n⁺-GaN 注入 n-GaN.

机制 2 由于 GaN 中 Mg 受主的电离能较高, p-GaN 中存在大量中性 Mg 受主. 进入 p-GaN 中的光子也可能被这些中性 Mg 受主吸收, 促使中性 Mg 受主从价带捕获电子并电离, 同时在价带产生高能空穴, 随后 p-GaN 价带中的高能空穴通过发射声子迁移至价带顶. 这一过程使 p-GaN 中电离的受主比例增加, 且当产生的空穴注入 n-GaN 时, 同样为维持电中性, 等量电子由 n⁺-GaN 注入 n-GaN.

以上两种机制通过对光子重吸收在价带顶生成空穴, 并在空穴注入 n-GaN 后引发等量电子从 n⁺-GaN 注入 n-GaN, n-GaN 载流子的增加降低了器件的导通电阻, 从而实现有效的电导调制.

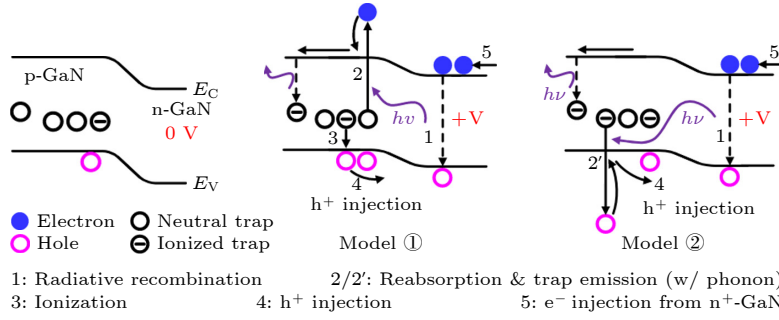


图 10 GaN PiN 二极管中两种可能的光子增强传导机制的能带示意图; 该机制涉及 p-GaN 中初始呈中性或已电离的缺陷态对辐射复合所产生光子的再吸收过程. 出自文献 [45], 已获得授权

Fig. 10. Energy-band diagrams illustrating two possible photon-enhanced conduction mechanisms (reabsorption of the radiative recombination by the initially neutral or ionized traps in p-GaN) in GaN PiN diode. Reproduced with permission from Ref. [45].

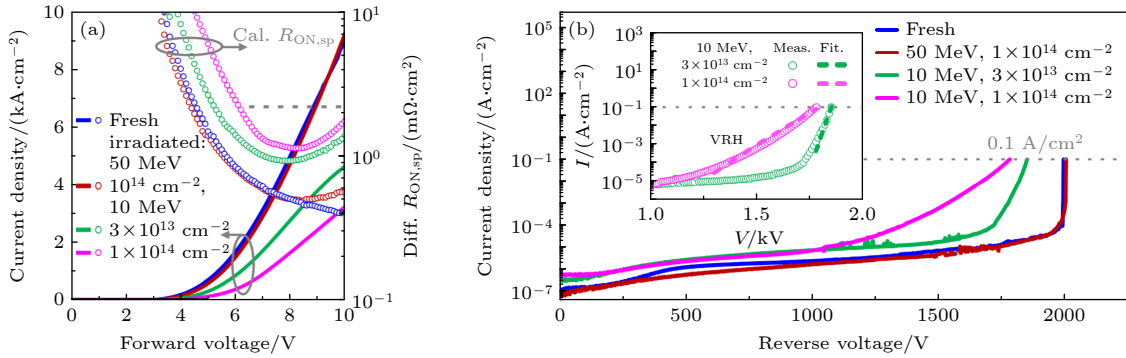


图 11 垂直型 GaN PiN 二极管在 高能质子辐照前后的 (a) 正向 I - V 特性和微分 $R_{ON,sp}$ 特性与 (b) 反向 I - V 特性. 出自文献 [12], 已获得授权

Fig. 11. (a) Quasi-static I - V characteristics with differential $R_{ON,sp}$; (b) reverse I - V characteristics of the fresh and irradiated GaN PiN diode. Reproduced with permission from Ref. [12].

在获得具备优异电学特性的 GaN PiN 二极管基础上, 为进一步评估其在深空探索等极端环境中的应用潜力, 需对其在强辐照环境下的可靠性进行深入研究. 太空中的高能质子辐照会导致传统功率电子器件漏电流增大、阻断电压退化. 而得益于宽禁带半导体 GaN 材料的高位移阈能, 垂直型 GaN PiN 二极管表现出优异的抗高能质子辐照能力^[11]. 如图 11 所示, 在经受能量为 10—50 MeV、剂量高达 1×10^{14} cm⁻² 的高能质子辐照后, 垂直型 GaN PiN 二极管仍可维持 1700 V 以上的阻断电压^[12]. 虽然辐照后器件内部深能级中心增加, 导致电导调制效应发生一定程度的衰退, 但仍保留较为有效的调制能力. 该研究为垂直型 GaN PiN 二极管在强辐照环境下的应用提供了重要实验依据.

2.3 新型垂直结构 GaN 二极管

近年来, 一些新型垂直结构 GaN 二极管被提出 (图 12) 用以克服垂直型 GaN SBD 与 GaN PiN

二极管的局限性, 并提供更好的器件性能. 图 12(a) 所示为垂直型 GaN 结势垒肖特基 (junction barrier Schottky, JBS) 二极管, 其顶部由一系列交替排列的 p-GaN 和 n-GaN 区域构成. JBS 二极管正向导通时, pn 结未开启, 具有类似 SBD 的低开启电压. 反向工作时, pn 结势垒屏蔽了肖特基接触处的电场, 抑制 SBH 降低, 从而降低漏电并提高击穿电压. 与 SBD 相比, JBS 二极管在保持低开启电压的同时, 具备更低的漏电水平, 但导通电阻因电流分布不均而更大. 2025 年, Kitagawa 等^[46] 采用镁离子注入及超高压退火工艺, 制备出垂直型 GaN JBS 二极管, 实现了 800 V 击穿电压与 2.0 mΩ·cm² 的低微分 $R_{ON,sp}$. 同年, Kwon 等^[47] 用浅层氮/镁共注入结合铝氯化物覆盖层退火的镁扩散工艺, 制备出垂直型 GaN JBS 二极管, 实现了 1.95 kV 击穿电压与 2.3—2.6 mΩ·cm² 的低微分 $R_{ON,sp}$.

图 12(b) 所示为垂直型 GaN 混合 pn-肖特基 (merged pn-Schottky, MPS) 二极管, 其顶部同样

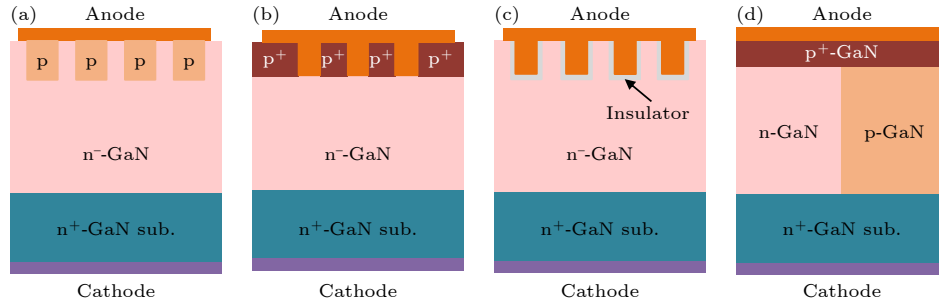


图 12 (a) 垂直型 GaN JBS 二极管; (b) 垂直型 GaN MPS 二极管; (c) 垂直型 GaN TMBS 二极管; (d) 垂直型 GaN SJ 二极管的结构示意图

Fig. 12. Schematic structure of (a) vertical GaN JBS diode, (b) vertical GaN MPS diode, (c) vertical GaN TMBS diode, and (d) vertical GaN SJ diode.

由交替的 p-GaN 和 n-GaN 区域组成, 与 JBS 二极管的关键区别在于阳极金属与 p-GaN 区域之间形成的是欧姆接触. MPS 二极管正向导通时, 低电压下肖特基结首先开启, 电压升高后 pn 结才开启, 从而实现低开启电压与大电流的结合. 但少数载流子通过欧姆接触注入, 导致 MPS 二极管具有更大的反向恢复电流, 限制了响应频率. 2024 年, Wang 等^[48]通过 T 型 p-GaN 屏蔽环结构优化电场分布, 将垂直型 GaN MPS 二极管的击穿电压从传统结构的 1123 V 提升至 2749 V, 同时 Baliga 优值达到 2.67 GW/cm^2 , 实现了高压低损耗性能. 2025 年, Atwimah 等^[49]通过 TCAD 建模与混合模式仿真框架, 对比了垂直型 GaN pn 二极管与 MPS 二极管, 证明 MPS 结构具有更低的反向恢复电荷与导通损耗.

图 12(c) 所示为垂直型 GaN 沟槽 MIS 势垒肖特基 (trench MIS barrier Schottky, TMBS) 二极管, 其在肖特基接触电极相邻的沟槽中采用 MIS 结构, 通过其耗尽区形成的势垒屏蔽肖特基接触处的电场, 进而降低漏电并提高击穿电压. 2024 年, Li 等^[50]采用自对准绝缘层开孔与六边形元胞结构, 研制出低漏电垂直型 GaN TMBS 二极管, 实现了 810 V 击穿电压、 10^{-6} A/cm^2 的低漏电流密度以及约 1 V 的正向压降.

图 12(d) 所示为垂直型 GaN 超级结 (superjunction, SJ) 二极管^[51-53], 其以交替排列的 p-GaN 和 n-GaN 柱区取代单一 n-GaN 漂移区. 与 GaN PiN 二极管一维耗尽的三角形电场分布相比, SJ 二极管的二维耗尽效应能产生更均匀的电场分布, 从而显著提升击穿电压. SJ 结构的核心在于实现 p 柱与 n 柱的电荷总量平衡, 在此前提下, 可通过提高

掺杂浓度并减小柱宽, 在维持高耐压的同时显著降低微分 $R_{\text{ON,sp}}$, 突破一维器件的性能极限. 目前通过 n-GaN 和 p-NiO 构成的异质结来实现电荷平衡, 以克服 GaN 材料 P 型掺杂困难的问题, 是实现 GaN SJ 二极管的有效途径之一. 2024 年, Ma 等^[51]针对 GaN 超级结器件制造中 p 型区域精确控制的难题, 提出了一种基于自对准工艺的 NiO/GaN 异质超级结设计方案, 实验制备的垂直型 GaN SJ 二极管实现了超过 1.1 kV 的击穿电压与 $0.4 \text{ m}\Omega\cdot\text{cm}^2$ 的低微分 $R_{\text{ON,sp}}$.

2.4 垂直型 GaN 二极管动态特性

本节聚焦于垂直型 GaN SBD 与 PiN 二极管的开关、浪涌动态特性. 搭建了适用于垂直型 GaN 二极管动态特性表征的高速板级测试平台, 并分别研究了垂直型 GaN 二极管的反向恢复特性和动态电阻特性. 搭建了变峰值电流变脉宽的板级测试平台, 研究了垂直型 GaN 二极管在不同峰值电流和浪涌时间下的浪涌特性. 搭建了高速实时结温监测平台, 表征垂直型 GaN 二极管极端瞬态浪涌应力下的结温特性.

2.4.1 垂直型 GaN 二极管反向恢复特性研究

图 13(a) 展示了用于垂直型 GaN 二极管反向恢复测试的双脉冲测试电路 (double pulse test circuit, DPT), 相较于半导体分析仪具有更小的寄生参数和更快的测试速度^[54]. 二极管作为被测器件 (device under test, DUT) 两端并联感性负载. 测试过程如图 13(b) 所示, 当控制开关 (商用 GaN GIT) 首次导通时, 电感电流上升, DUT 阻断; GIT 关断后, 电感续流流经 DUT, DUT 导通; 再次向 GIT 栅极施加导通脉冲后, DUT 迅速切换至阻断

状态. 通过此双脉冲测试电路表征了 4 种器件从导通状态以 $100 \text{ A}/\mu\text{s}$ 的速度快速切换至阻断状态后的反向恢复特性, 反向恢复最大电流、反向恢复时间和 $R_{\text{on}}Q_{\text{rr}}$ 品质因数是衡量反向恢复特性的重要标准, 分别用以评估器件的最大反向过冲电流、关断速度与关断损耗, 其中 $R_{\text{on}}Q_{\text{rr}}$ 是器件电阻与反向恢复特性的乘积. 在阻断电压为 400 V 时, Si 快恢复二极管 (FRD)、SiC SBD、垂直型 GaN SBD、垂直型 GaN PiN 二极管的反向恢复最大电流分别为 $5.60, 0.26, 0.19, 0.18 \text{ A}$. 反向恢复时间分别为 $44, 22, 17, 17 \text{ ns}$. 反向恢复 $R_{\text{on}}Q_{\text{rr}}$ 品质因数分别为 $37.1, 1.6, 1.2, 1.1 \Omega\cdot\text{nC}$, 垂直型 GaN SBD 和 GaN PiN 二极管均表现出低反向恢复最大电流、快速反向恢复以及低关断损耗的优异动态特性 (图 13(c)), 且其性能与电压/电流等级相近的商用 SiC SBD ($600 \text{ V}/1 \text{ A}$) 相当, 并显著优于商用 Si FRD ($700 \text{ V}/1 \text{ A}$). 测试结果表明, 双极型 GaN PiN 二极管凭借其极短的本征少子寿命, 获得了与单极型 SBD 相媲美的优异反向恢复特性 [54]. 同时, 2.3 节介绍了直接带隙 GaN PiN 二极管利用独特

的光电耦合效应与自热效应实现有效的电导调制, 这使其突破了传统双极型功率电子器件少子注入导致的导通/开关性能制约关系 [45].

2.4.2 垂直型 GaN 二极管动态电阻特性研究

图 13(a) 所示的双脉冲测试电路也可实现对垂直型 GaN 二极管的动态电阻表征 [54]. 为更准确地提取动态电阻, 测试电路将双脉冲测试电路与钳位电路相结合 (图 14(a)) 以快速捕捉 DUT 从阻断切换至导通时的电压信号. 测试过程如图 14(b) 所示, 当 GIT 由导通切换至关断时, DUT 从阻断状态快速切换至导通状态.

图 15(a), (b) 对比了商用平面型 GaN HEMT 与垂直型 GaN SBD 随导通时间变化的归一化动态电阻值 (dynamic $R_{\text{ON}}/\text{static } R_{\text{ON}}$) [54]. 在从阻断电压 (V_{OFF}) 为 $50\text{--}400 \text{ V}$ 、阻断时间 (t_{OFF}) 为 $1 \mu\text{s}$ 的阻断状态切换至导通状态后, 平面型 GaN 器件动态电阻退化显著, 且随 V_{OFF} 增大而加剧. 而垂直型 GaN SBD 在不同 V_{OFF} 下均展现出无动态电阻退化的优异动态性能 (图 15(c)).

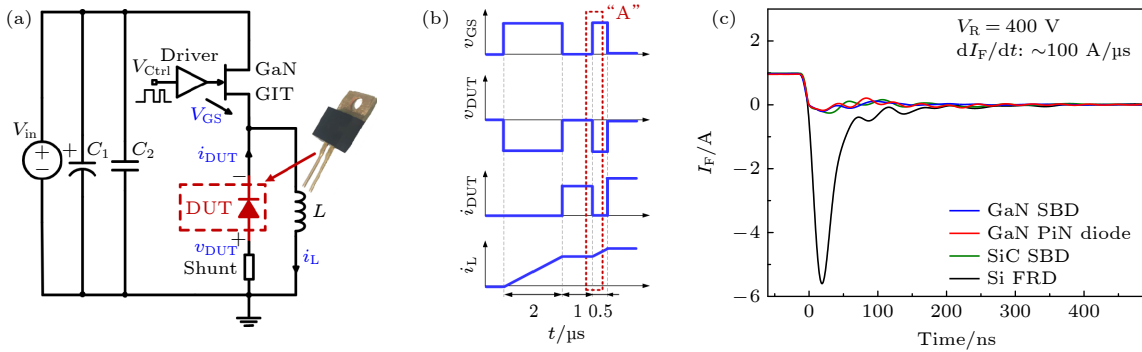


图 13 反向恢复特性测试 (a) 双脉冲测试电路; (b) 波形示意图; (c) 4 种器件反向恢复特性对比. 出自文献 [54], 已获得授权
Fig. 13. Reverse recovery measurements: (a) Double-pulse test circuit; (b) waveform schematic; (c) comparison of reverse recovery characteristics among the four types of devices. Reproduced with permission from Ref. [54].

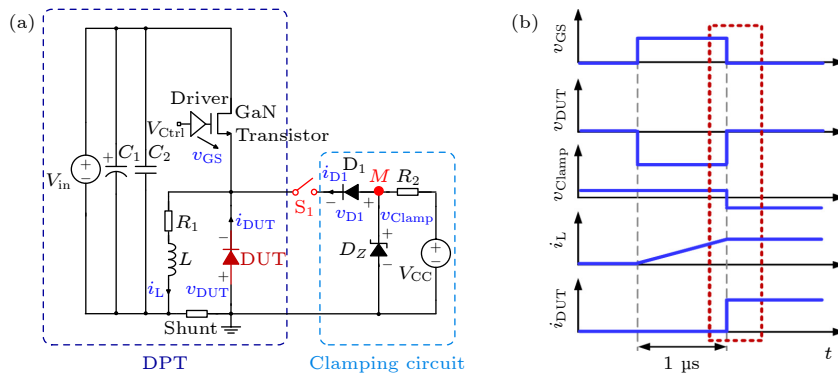


图 14 动态电阻测试 (a) 测试电路; (b) 波形示意图. 出自文献 [54], 已获得授权

Fig. 14. Dynamic R_{ON} measurements: (a) Test circuit; (b) waveform schematic. Reproduced with permission from Ref. [54].

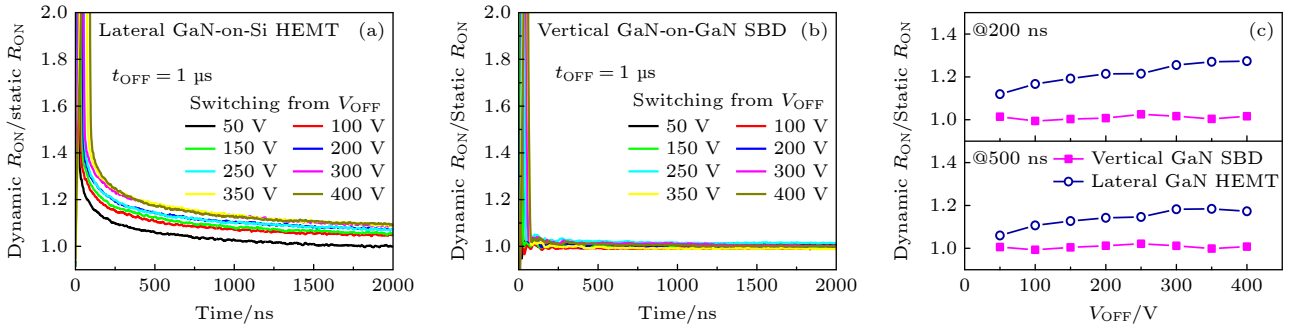


图 15 (a) 平面型 GaN HEMT 和 (b) 垂直型 GaN SBD 随导通时间变化的动态电阻/静态电阻; (c) 两种器件在 200 ns 和 500 ns 时的动态电阻/静态电阻值. 出自文献 [55], 已获得授权

Fig. 15. Time-resolved dynamic $R_{ON}/$ static R_{ON} of (a) lateral GaN device and (b) vertical GaN SBD; (c) extracted dynamic $R_{ON}/$ static R_{ON} of the two types of GaN devices at 200 ns and 500 ns. Reproduced with permission from Ref. [55].

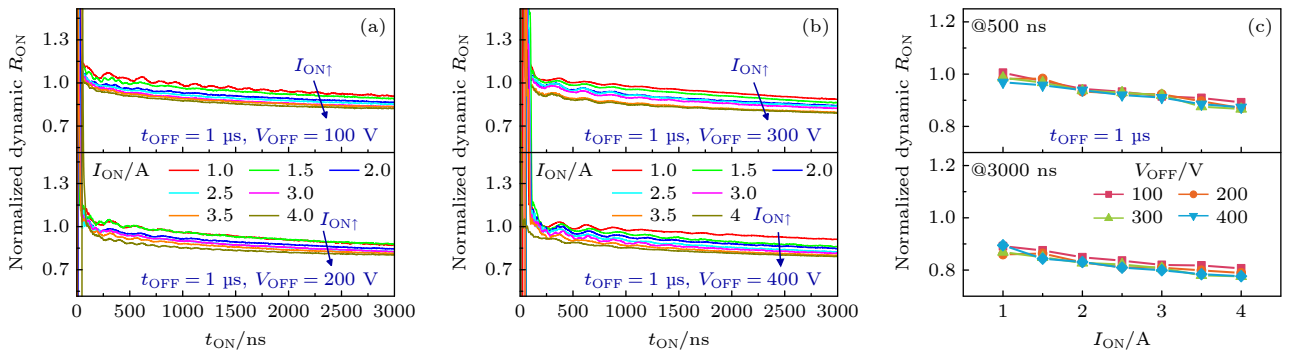


图 16 垂直型 GaN PiN 二极管从阻断 V_{OFF} 为 (a) 100 V 和 200 V, (b) 300 V 和 400 V 切换至导通 I_{ON} 为 1—4 A 时随时间变化的动态电阻/静态电阻; (c) 在 500 ns 和 3000 ns 时的动态电阻/静态电阻值. 出自文献 [43], 已获得授权

Fig. 16. Time-resolved normalized dynamic $R_{ON}/$ static R_{ON} of the vertical GaN PiN diode after switching from V_{OFF} of (a) 100 V and 200 V, (b) 300 V and 400 V to varying I_{ON} of 1–4 A; (c) dynamic $R_{ON}/$ static R_{ON} extracted at 500 ns and 3000 ns. Reproduced with permission from Ref. [43].

对于垂直型 GaN PiN 二极管, 动态电阻不仅可能受阻断电压的影响, 也可能受电导调制的影响. 如图 16 所示, 垂直型 GaN PiN 二极管的动态导通电阻几乎不受 V_{OFF} 的影响, 这说明器件内部由于陷阱效应导致的动态电阻退化问题不明显. 另一方面, 受电导调制的影响, 随着导通时间 (t_{ON}) 的增大, 双极型 GaN PiN 二极管的动态电阻持续下降; 同时, 随着导通电流 (I_{ON}) 的增大, 动态电阻可进一步下降, 甚至表现出归一化动态电阻小于 1 的特性 [43].

相比于长期受到动态电阻退化问题困扰的传统平面型 GaN 器件, 垂直型 GaN 器件的垂直电流通路使其对表面陷阱不敏感, 同时高质量的同质外延与可控的背景/补偿掺杂有效降低了体陷阱密度, 从而实现优异动态性能 [56]. 值得注意的是, 对于直接带隙双极型垂直 GaN PiN 二极管, 其光子增强电导调制也可通过快速的光子吸收来补偿可能的少量陷阱效应, 从而进一步降低动态电阻和

提升动态性能.

2.4.3 垂直型 GaN 二极管浪涌特性及结温特性研究

早期对垂直 GaN 功率二极管浪涌能力的研究多局限于单一脉宽下的峰值电流评估 [36]. 然而, 其导通能力实际与导通时间、电流及温度均密切相关 [31], 为此需系统研究不同峰值电流与脉冲宽度下的浪涌能力. 在 Si 或 SiC 等间接带隙 PiN 二极管中, 电导调制效应已被证实能增强浪涌能力. 虽然第 2.3 节表明直接带隙 GaN PiN 二极管也能实现有效电导调制, 但其对器件浪涌特性的具体影响机制仍不明确. 此外, 极端瞬态应力作用过程产生的热量可使结温骤升至数百摄氏度, 甚至引发热失效 [14], 因此, 对该瞬态过程中结温的实时监测对于揭示失效机理和优化热管理至关重要.

图 17 展示了基于 LC 谐振构建的浪涌电流测试电路及其产生的浪涌电流脉冲 [57]. 测试电路主要

由直流电源、开关管(S)、充电电容(C)、MOSFET、驱动电路、负载电感(L)、DUT 构成. 电容在 MOSFET 导通前由直流电源预充电, MOSFET 导通后, 产生的半正弦浪涌电流施加至 DUT. 半正弦浪涌电流的峰值电流 (I_{peak}) 与脉冲宽度 (t_{surge}) 可通过电感、电容和电容两端电压 (V_C) 进行调控:

$$I_{\text{peak}} = V_C \times \sqrt{C/L}, \quad (2)$$

$$t_{\text{surge}} = \pi \times \sqrt{C \times L}. \quad (3)$$

根据 (2) 式, 调节 V_C , 使施加在 DUT 上浪涌电流的 I_{peak} 从 2 A 增大至 16 A, 测试得到垂直型

GaN SBD 和 GaN PiN 二极管的浪涌电流/电压波形如图 18(a), (b) 所示. 垂直型 GaN SBD 和 PiN 二极管感应出的浪涌电压均随着 I_{peak} 增大而升高. 相比于垂直型 GaN SBD, 垂直型 GaN PiN 二极管浪涌电压的增幅更小, 具有更强的浪涌能力. 基于浪涌测试提取的双扫动态 I - V 特性曲线中 (图 18(c)), 单极型垂直 GaN SBD 呈现随浪涌电流增大而加剧的顺时针回滞, 该现象源于浪涌电流引发结温升高, 造成声子散射增强与载流子迁移率下降, 最终导致器件导通能力退化. 而双极型垂直 GaN PiN 二极管双扫动态 I - V 特性曲线则表现出逆时针回

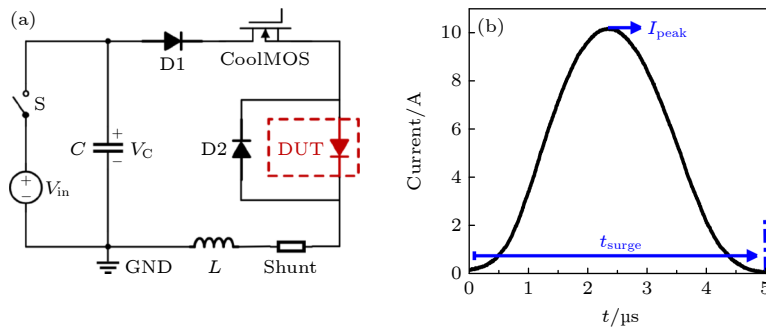


图 17 (a) 浪涌电流测试平台示意图; (b) 由 LC 振荡产生的单次浪涌电流脉冲测试波形. 出自文献 [57], 已获得授权

Fig. 17. (a) Characterization platform for surge current ruggedness evaluation; (b) test waveform of a single surge current pulse generated by LC oscillation. Reproduced with permission from Ref. [57].

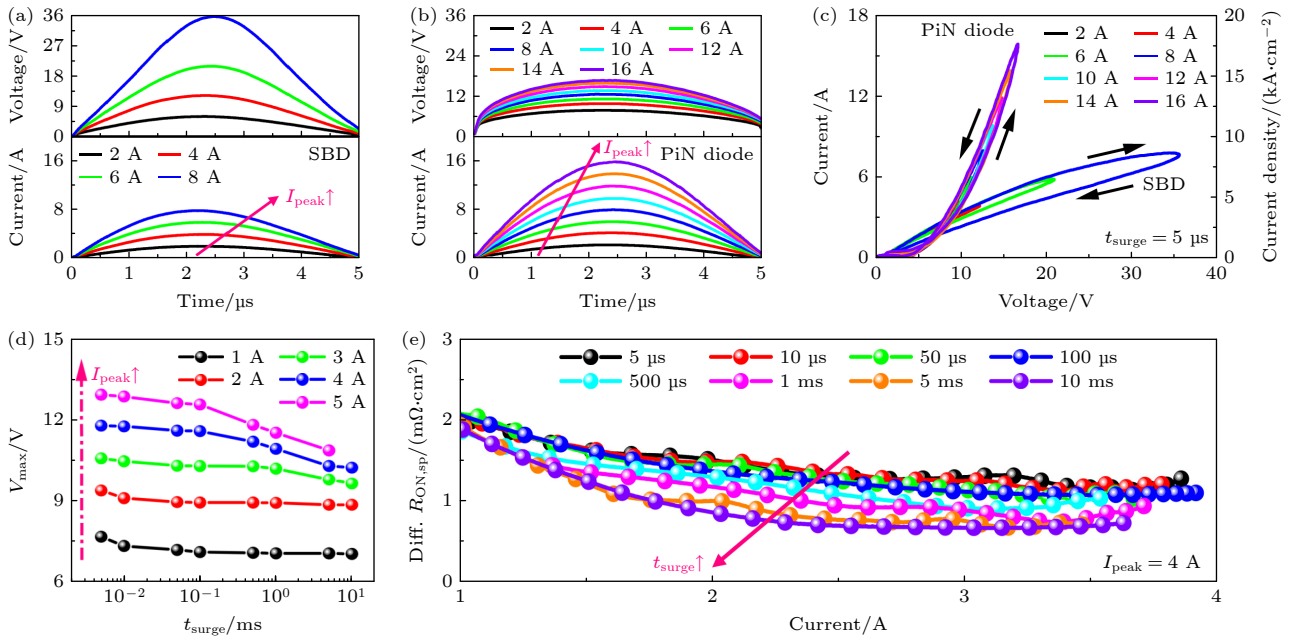


图 18 (a) 垂直型 GaN SBD 和 (b) 垂直型 GaN PiN 二极管在不同峰值电流下的浪涌电流/电压波形; (c) 两种器件在对应峰值电流范围内的 I - V 特性; (d) 不同浪涌时间与峰值电流下垂直型 GaN PiN 二极管的电压峰值; (e) 不同浪涌时间下, 垂直型 GaN PiN 二极管微分 $R_{\text{ON,sp}}$ 随浪涌电流的变化. 出自文献 [57], 已获得授权

Fig. 18. Surge current/voltage waveforms of (a) vertical GaN SBD and (b) vertical GaN PiN diode with varied I_{peak} ; (c) corresponding I - V characteristics of both devices; (d) maximum surge voltage of the PiN diode under different t_{surge} and I_{peak} ; (e) differential $R_{\text{ON,sp}}$ of the vertical GaN PiN diode as a function of surge current under different t_{surge} . Reproduced with permission from Ref. [57].

滞,且回滞程度随浪涌电流增大愈加显著,这体现了电导调制效应的作用,该效应显著增强了双极型垂直 GaN PiN 二极管的浪涌电流导通能力 [57].

根据 (3) 式,调节电容和负载电感,使施加在 DUT 上浪涌电流的 t_{surge} 从 $5\ \mu\text{s}$ 增至 $10\ \text{ms}$. 如图 18(d) 所示,随着 t_{surge} 延长,垂直型 GaN PiN 二极管在测试中承受的最大电压 (V_{MAX}) 呈下降趋势,且该趋势在 I_{peak} 越高时越显著,这表明较长的 t_{surge} 有助于增强双极型垂直 GaN PiN 二极管的正向导通能力. 图 18(e) 进一步表明,受电导调制的影响,随 t_{surge} 延长,垂直 GaN PiN 二极管的微分 $R_{\text{ON,sp}}$ 持续降低,甚至表现出归一化动态电阻小于 1 的特性,提升了器件导通能力并增强浪涌电流导通能力 [57].

如图 19(a) 所示,在长 t_{surge} ($10\ \text{ms}$) 与高 I_{peak} ($5\ \text{A}$) 的浪涌电流作用下,器件发生失效. 图 19(b) 为 SEM 形貌分析结果,失效原因在于器件电极边缘烧毁,该现象与图 19(c) 的仿真结果一致. 为应对浪涌等高功率瞬态过程中升高的结温对 GaN 功率电子器件提出的挑战,需开发极端应力瞬态过程中的实时结温监测方法 [58].

传统的芯片结温监测技术 (如热电偶 [59]、红外成像 [60] 等) 通常响应延迟较大,难以在极端应力瞬态过程中准确捕捉芯片结温的实时变化. 相比之下,单波段热反射显微镜 (thermoreflectance microscopy, TRM) 具备超快结温成像能力 [61]. 基于此, Du 等 [62] 搭建了适用于极端应力瞬态过程中结温监测的共聚焦热反射表征平台 (confocal TRM, CTRM), 该平台能够实现浪涌激励电路与共聚焦热反射监测回路的同步触发. 该平台通过监测浪涌应力瞬态过程中芯片电极金属的热反射率,并利用

热反射率与结温之间的线性依赖关系,在浪涌电流密度高达 $10000\ \text{A}/\text{cm}^2$ 的极端瞬态条件下,实现了对垂直型 GaN 器件结温的实时监测,采样率高达 $10^5\ \text{Sa/s}$. 由于阳极外围存在热积累,器件边缘的结温增长速度高于中心区域. 随着 t_{surge} 和 I_{peak} 增大,结温迅速上升,当浪涌时间达到 $10\ \text{ms}$ 且峰值电流为 $5\ \text{A}$ 时,最高结温已超过铝的熔点 ($660\ ^\circ\text{C}$),导致器件边缘金属发生熔融,该结果与图 19(b) 中的 SEM 观察现象一致.

得益于高时域分辨率的结温监测技术,该研究揭示了垂直型 GaN 二极管在浪涌电流应力作用下的退化与失效机制. 基于此研究, Du 等 [62] 提出了一种热管理优化方法: 将功率电子器件键合于具有高热导率 (约 $2200\ \text{W}/(\text{m}\cdot\text{K})$) 的单晶金刚石热沉上,以增强热量耗散能力. 键合金刚石热沉的垂直型 GaN PiN 二极管的浪涌能量密度从 $323\ \text{J}/\text{cm}^2$ (无金刚石热沉) 提升至 $390\ \text{J}/\text{cm}^2$,在国际上报道的同类器件中较为领先 (表 1).

表 1 国内外报道的 GaN 二极管与 SiC 二极管浪涌电流能力基准对比

Table 1. Benchmark of surge current capability of vertical GaN diodes and SiC diodes.

器件类型	$t_{\text{surge}}/\text{ms}$	$E_{\text{surge}}/(\text{J}\cdot\text{cm}^{-2})$
QV GaN JBS ^[63]	0.1—10	316 (10 ms)
FV GaN PiN Diode ^[31]	0.005	—
FV GaN PiN Diode ^[36]	10	180
SiC JBS ^{a)} (SCS205KG) ^[36]	10	130
SiC MPS ^{b)} (C4D05120A) ^[36]	10	221
FV GaN PiN Diode w/o diamond ^[62]	10	323
FV GaN PiN Diode w/ diamond ^[62]	10	390

注: QV, 准垂直(quasi vertical); FV, 完全垂直(fully vertical).

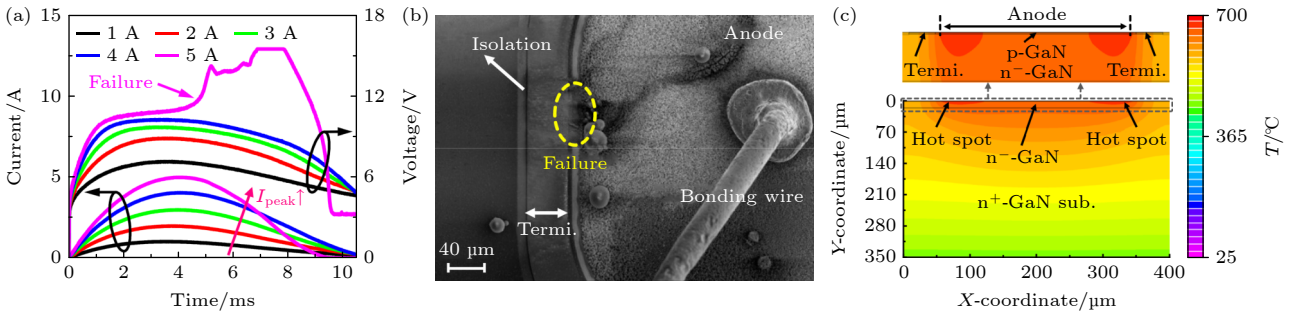


图 19 (a) t_{surge} 为 $10\ \text{ms}$ 时,垂直型 GaN PiN 二极管在不同峰值电流下的浪涌电流/电压波形; (b) 浪涌电流测试后失效的垂直型 GaN PiN 二极管的 SEM 图像; (c) 垂直型 GaN PiN 二极管在浪涌电流测试中失效瞬态的温度分布仿真图. 出自文献 [57], 已获得授权 Fig. 19. (a) Surge current/voltage waveforms of the vertical GaN PiN diode under different I_{peak} with a t_{surge} of $10\ \text{ms}$; (b) SEM image of the vertical GaN PiN diode after surge-induced failure; (c) corresponding simulated temperature distribution at the failure instant during the surge current test. Reproduced with permission from Ref. [57].

3 垂直型 GaN 沟槽栅 MOSFET

在电力电子应用中,为实现失效安全操作和简化驱动电路,开发了多种垂直型 GaN 功率晶体管用于实现常关器件,如:电流孔径垂直电子晶体管 (current aperture vertical electron transistors, CAVETs) (图 20(a)), 鳍型场效应晶体管 (fin field-effect transistors, FinFETs) (图 20(b)), 结型场效应晶体管 (junction field-effect transistors, JFETs) (图 20(c)), 垂直型沟槽栅 MOSFET (图 20(d))^[15,72-78].

本节聚焦于垂直型 GaN 沟槽栅 MOSFET 的制备及界面优化,介绍了基于 AlN 氮化界面层 (nitridation interfacial-layer, NIL) 的界面优化技术、低损伤的栅槽刻蚀技术以及垂直型 GaN 沟槽栅 MOSFET 的温度依赖特性研究^[19,64].

沟道电阻作为 MOSFET 导通电阻的主要组成部分,其大小直接影响器件的导通性能^[65,66].因此,提升反型沟道迁移率成为降低导通电阻的关键.在 GaN MOSFET 中,沟道迁移率主要受

限于界面粗糙度散射与库伦散射^[67,68].研究表明,在栅氧层与 GaN 沟道之间插入 AlN NIL 可有效改善 MOS 界面质量,且该方法已在平面型 GaN MOSFET 中被证实可显著提高沟道迁移率^[69-71].基于上述机制,本课题组成功制备出具有 AlN NIL 的高迁移率垂直型 GaN 沟槽栅 MOSFET.

垂直型 GaN 沟槽栅 MOSFET 的器件结构和主要工艺流程如图 21^[15],其外延结构包括极薄的 n^{++} -GaN 接触层,280 nm 厚的 n^+ -GaN,550 nm 厚的 p-GaN 层和 13 μm 厚且掺杂浓度为 $6 \times 10^{15} \text{ cm}^{-3}$ 的 n^- -GaN,外延生长于 320 μm 的商用单晶 n^+ -GaN 衬底上.栅槽深度为 1 μm ,并依次沉积 5 nm 的 AlN 和 80 nm 的 SiN_x 作为栅介质^[15].

垂直型 GaN 沟槽栅 MOSFET 的主要工艺流程包括:1) 通过刻蚀和离子注入实现器件的隔离;2) 选择性刻蚀 n^+ -GaN,暴露出其下方掩埋的 p-GaN;3) 在 850 $^\circ\text{C}$ 下进行 30 min 退火,实现 p-GaN 的再激活;4) 采用低功率 Cl_2/Ar 基感应耦合等离子体反应离子刻蚀 (inductively coupled plasma reactive ion etching, ICP-RIE) 技术,以制备深度为 1 μm 的低损伤栅槽;5) 利用四甲基氢氧化铵

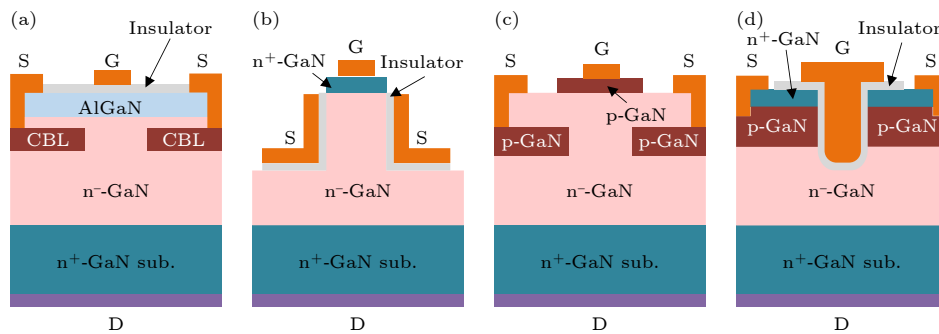


图 20 (a) 垂直型 GaN CAVET; (b) 垂直型 GaN FinFET; (c) 垂直型 GaN JFET 与 (d) 垂直型 GaN 沟槽栅 MOSFET 的结构示意图
Fig. 20. Schematic structure of (a) vertical GaN CAVET, (b) vertical GaN FinFET, (c) vertical GaN JFET and (d) vertical GaN trench MOSFET.

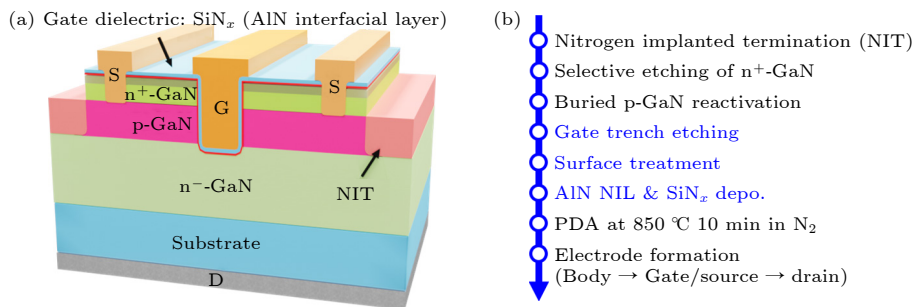


图 21 具有 AlN NIL 的垂直型 GaN 沟槽栅 MOSFET 的 (a) 器件结构与 (b) 制备工艺流程. 出自文献^[15], 已获得授权
Fig. 21. (a) Perspective-view schematic cross sections and (b) key fabrication process steps of vertical GaN MOSFET with AlN NIL. Reproduced with permission from Ref. [15].

(TMAH) 对栅槽界面进行湿法处理, 修复刻蚀损伤; 6) 利用原位 Ar/N₂ 远程等离子体处理栅槽界面, 去除可能存在的本征氧化物并钝化 Ga 悬挂键. 随后通过等离子体增强原子层沉积系统 (plasma enhanced atomic layer deposition, PEALD) 依次沉积 5 nm AlN 界面层和 80 nm SiN_x 作为栅介质; 7) 介质沉积后在 850 °C、N₂ 气氛下进行 10 min 退火 (post-deposition annealing, PDA); 8) 沉积体电极、栅/源电极和漏电极.

与未优化的刻蚀结构相比, 优化后的垂直型 GaN 沟槽栅 MOSFET 成功消除了栅槽底部的微沟槽, 实现了高度垂直且转角圆滑的侧壁形貌, 并在 TMAH 界面修复后获得了平滑的刻蚀侧壁与表面. 通过生长前的界面处理与生长后的退火等工艺, AlN NIL 的质量得到有效优化, 使得 SiN_x/AlN-NIL/GaN 栅堆叠呈现出原子级陡峭的界面 (图 22)^[15].

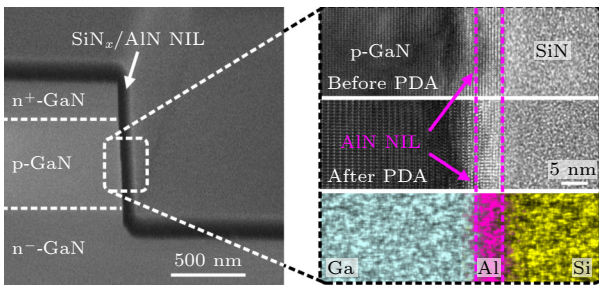


图 22 SiN_x/AlN NIL/GaN 界面的横截面 SEM (左) 与 TEM (右) 图像及界面处 Ga, Al, Si 元素分布. 出自文献 [15], 已获得授权

Fig. 22. Cross-sectional SEM micrograph (left) and TEM (right) micrograph of the SiN_x/AlN NIL/GaN interface, and distributions of Ga, Al, and Si at the interface. Reproduced with permission from Ref. [15].

如图 23(a) 所示, 垂直型 GaN 沟槽栅 MOSFET 表现为阈值电压为 4.1 V 的常关型器件, 具备 1200 A/cm² 高导通电流密度和 2 mΩ·cm² 的低导通电阻^[15]. 在沟道性能方面, 优化的栅槽刻蚀工艺有效降低了界面损伤, 从而抑制了表面粗糙度散射; 同时, 高质量 AlN 界面层的引入显著减少了沟道界面陷阱, 抑制了库仑散射, 使器件实现高达 205 cm²/(V·s) 的沟道迁移率 (图 23(b)). 在阻断特性方面, 器件耐压提高至 1400 V, 同时漏电流显著降低, 这得益于低射频功率的栅槽刻蚀工艺消除了槽底微沟槽, 进而缓解了拐角电场集中. 该垂直型 GaN 沟槽栅 MOSFET 同时具备优异的温度稳定性, 其阈值电压与导通电阻随温度变化极小^[64], 这使其在宽温度范围内具备稳定的工作性能.

相比于其他类型的 MOSFET, 引入 AlN NIL 的垂直型 GaN 沟槽栅 MOSFET 在电学性能和温度稳定性方面展现出性能优势, 适用于高频大功率应用领域, 且适用于宽温域的应用场景 (表 2).

4 总结

本文从器件结构、关键工艺与机理分析等方面讨论了垂直型 GaN 二极管和垂直型 GaN 晶体管所面临的挑战, 并总结课题组近年来的最新进展. 新型隧穿结二极管通过引入隧穿增强层提升反向势垒并增强正向隧穿, 同时提高反向耐压并降低正向压降, 突破传统 SBD 耐压与正向压降相互制约的关系. 具有极短载流子寿命的垂直型 GaN PiN 二极管通过光电耦合效应同时实现正向电导调制与零反向恢复的理想性能, 突破了传统双极型功率

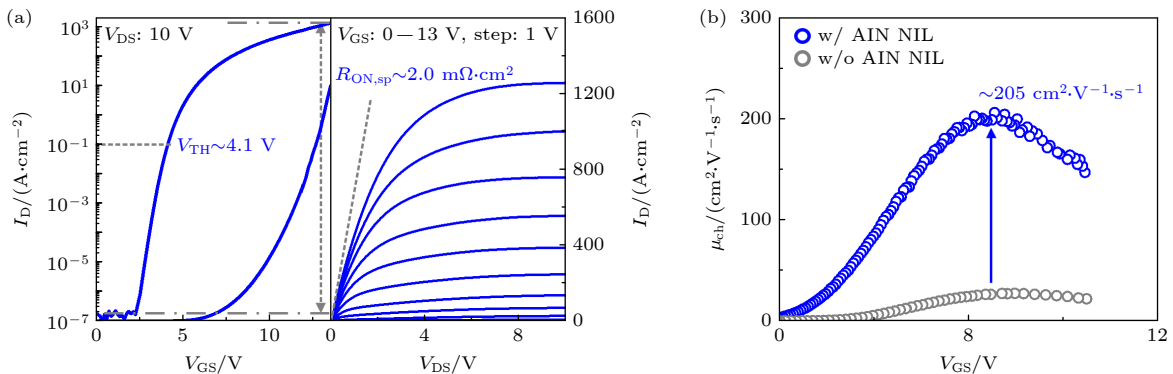


图 23 垂直型 GaN 沟槽栅 MOSFET 的电学特性 (a) 转移特性 (左) 与输出特性 (右); (b) 含与不含 AlN NIL 器件的反型层沟道迁移率对比. 出自文献 [15], 已获得授权

Fig. 23. (a) Transfer (left) and output (right) characteristics of vertical GaN trench MOSFET; (b) inversion μ_{ch} of vertical GaN MOSFETs with and without AlN NIL. Reproduced with permission from Ref. [15].

表2 国内外报道的垂直结构 GaN 场效应晶体管关键器件参数对比^[15]
Table 2. Comparison of the key device parameters of the state-of-the-art vertical GaN FETs^[15].

器件类型	$R_{ON}/(\text{m}\Omega\cdot\text{cm}^2)$	BV/kV	V_{TH}/V	Channel mobility $/(\text{cm}^2\cdot\text{V}^{-1}\cdot\text{s}^{-1})$	I_{ON}/I_{OFF} @ -1200 V	$w/\text{regrowth}$
沟槽栅MOSFET ^[72]	9.3	0.2	3.7	131	—	No
CAVET ^[73]	2.2	1.5	0.5	—	10^7	Yes
沟槽栅MOSFET ^[74]	2.7	1.6	2	—	10^8	No
沟槽栅CAVET ^[75]	1.0	1.7	2.5	1690	10^5	Yes
FinFET ^[76]	0.2	1.2	0.5	—	10^4	Yes
沟槽栅MOSFET ^[77]	2.2	1.4	4.7	185	10^5	Yes
JFET ^[78]	0.8	1.4	1.3	—	10^6	Yes
沟槽栅MOSFET ^[15]	2.0	1.4	4.1	205	10^8	No

器件少子注入/存储导致的导通/开关性能极限. 此外, 垂直型 GaN PiN 二极管还具有无动态电阻退化与高浪涌能力的优异动态特性. 通过 AlN 氮化界面层和低损伤栅槽刻蚀技术抑制了库仑散射与表面粗糙度散射, 实现高迁移率高品质因数的垂直型 GaN 沟槽栅 MOSFET, 并在极端温度环境中表现出性能稳定优势. 因其优异的动静态特性, 本文报道的垂直型 GaN 功率电子器件在高压、高功率、高效电力电子领域具有广阔的应用前景.

参考文献

- [1] Chen K J, Häberlen O, Lidow A, Tsai C L, Ueda T, Uemoto Y, Wu Y 2017 *IEEE Trans. Electron Devices* **64** 779
- [2] Ding X F, Zhou Y, Cheng J W 2019 *CES Trans. Electr. Mach. Syst.* **3** 54
- [3] Fu H Q, Fu K, Chowdhury S, Palacios T, Zhao Y J 2021 *IEEE Trans. Electron Devices* **68** 3200
- [4] Fu H Q, Fu K, Chowdhury S, Palacios T, Zhao Y J 2021 *IEEE Trans. Electron Devices* **68** 3212
- [5] Ohta H, Hayashi K, Horikiri F, Yoshino M, Nakamura T, Mishima T 2018 *Jpn. J. Appl. Phys.* **57** 04FG09
- [6] Yang S, Han S W, Sheng K, Chen K J 2019 *IEEE J. Emerg. Sel. Topics Power Electron.* **7** 1425
- [7] Wu P, Zhang T, Zhang J C, Hao Y 2022 *Acta Phys. Sin.* **71** 158503 (in Chinese) [武鹏, 张涛, 张进成, 郝跃 2022 物理学报 **71** 158503]
- [8] Yang S, Han S W, Li Y J, Li S C, Sheng K 2020 *J. Synthetic Cryst.* **49** 2169 (in Chinese) [杨树, 韩绍文, 李彦君, 李少成, 盛况 2020 人工晶体学报 **49** 2169]
- [9] Salemi A, Elahipanah H, Buono B, Hallén A, Hassan J U, Bergman P, Malm G, Zetterling C M, Östling M 2015 *27th International Symposium on Power Semiconductor Devices and ICs (ISPSD)* Hong Kong, China, May 10–14, 2015 p269
- [10] Hu Z Y, Nomoto K, Song B, Zhu M D, Qi M, Pan M, Gao X, Protasenko V, Jena D, Xing H G 2015 *Appl. Phys. Lett.* **107** 243501
- [11] Kozak J P, Zhang R Z, Porter M, Song Q H, Liu J C, Wang B X, Wang R, Saito W, Zhang Y H 2023 *IEEE Trans. Power Electron.* **38** 8442
- [12] Xie X, Yu S J, Tang X, Chen R, Xu G W, Long S B, Yang S 2025 *IEEE Electron Device Lett.* **46** 353
- [13] Kaplar R J, Gunning B P, Allerman A A, Crawford M H, Flicker J D, Armstrong A M, Yates L, Binder A T, Dickerson J R, Pickrell G, Sharps P, Anderson T, Gallagher J, Jacobs A, Koehler A, Tadjer M, Hobart K, Ebrish M, Porter M, Martinez R, Zeng K, Ji D, Chowdhury S, Aktas O, Cooper J 2020 *IEEE International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 12–18, 2020 p5.1.1
- [14] Sun J, Wei J, Zheng Z, Chen K J 2020 *IEEE Trans. Ind. Electron.* **68** 8798
- [15] Han Z, Yang S, Wang M, Chu C, Long S 2024 *IEEE International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 07–11, 2024 p40.2.1
- [16] Schroder D K 2006 *Semiconductor Material and Device Characterization* 3rd (Hoboken: Wiley) pp127–184
- [17] Han S W, Yang S, Sheng K 2019 *IEEE Electron Device Lett.* **40** 1040
- [18] Anderson T J, Greenlee J D, Feigelson B N, Hite J K, Kub F J, Hobart K D 2016 *ECS J. Solid State Sci. Technol.* **5** Q176
- [19] Kim S, Kim J, Kim D S, Bae H, Kang G, Seok O 2025 *37th International Symposium on Power Semiconductor Devices and ICs (ISPSD)* Kumamoto, Japan, June 01–05, 2025 p565
- [20] Deng X C, Li L J, Wu J, Li C Z, Chen W J, Li J T, Li Z, Zhang B 2017 *IEEE Trans. Electron Devices* **64** 5042
- [21] Wang M J, Cheng C C, Beling C D, Fung S, Chen K J 2010 *Phys. Status Solidi A* **207** 1332
- [22] Chen H W, Wang M J, Chen K J 2011 *Electrochem. Solid-State Lett.* **14** H229
- [23] Yang S, Han S W, Sheng K 2020 *Semicond. Sci. Technol.* **36** 024005
- [24] Li W S, Nomoto K, Pilla M, Pan M, Gao X, Jena D 2017 *IEEE Trans. Electron Devices* **64** 1635
- [25] Zhang Y H, Liu Z H, Tadjer M J, Sun M, Piedra D, Hatem C, Anderson T J, Luna L E, Nath A, Koehler A D, Okumura H, Hu J, Zhang X, Gao X, Feigelson B N, Hobart K D, Palacios T, Xing H G 2017 *IEEE Electron Device Lett.* **38** 1097
- [26] Gu H, Hu C, Wang J L, Lu Y M, Ao J P, Tian F F, Zhang Y H, Wang M J, Liu X K, Xu K 2019 *J. Alloy. Compd.* **780** 476
- [27] Zhou F, Xu W Z, Ren F F, Zhou D, Chen D J, Zhang R, Zheng Y D, Zhu T G, Lu H 2021 *IEEE Electron Device Lett.* **42** 974
- [28] Huang F P, Chu C S, Wang Z Z, Zhang Y H, Ye J D, Lv Y J, Gong H H, Li Y J, Zhang Z H, Gu S L, Zhang R 2022 *Appl. Phys. Express* **15** 084001
- [29] Liu X K, Lin F, Li J, Lin Y H, Wu J Y, Wang H F, Li X H, Huang S W, Wang Q, Chiu H C, Kuo H C 2022 *IEEE Trans. Electron Devices* **69** 1938
- [30] Liao Y Q, Chen T, Wang J, Cai W T, Ando Y, Yang X,

- Watanabe H, Tanaka A, Nitta S, Honda Y, Chen K J, Amano H 2022 *Appl. Phys. Lett.* **120** 122109
- [31] Han S W, Yang S, Li Y J, Liu Y, Sheng K 2019 *31st International Symposium on Power Semiconductor Devices and ICs (ISPSD)* Shanghai, China May 19–23, 2019 p63
- [32] Mochizuki K 2017 *Phys. Status Solidi A* **214** 1600489
- [33] Dickerson J R, Allerman A A, Bryant B N, Fischer A J, King M P, Moseley M W, Armstrong A M, Kaplar R J, Kizilyalli I C, Aktas O, Wierer J J 2015 *IEEE Trans. Electron Devices* **63** 419
- [34] Chen S H, Wang H, Hu C, Chen Y, Wang H, Wang J, He W, Sun X, Chiu H, Kuo H, Wang W, Xu K, Li D, Liu X 2019 *J. Alloys Compd.* **804** 435
- [35] Fukushima H, Usami S, Ogura M, Ando Y, Tanaka A, Deki M, Kushimoto M, Nitta S, Honda Y, Amano H 2019 *Appl. Phys. Express.* **12** 026502
- [36] Liu J, Zhang R, Xiao M, Pidaparathi S, Cui H, Edwards A, Baubutr L, Drowley C, Zhang Y H 2021 *IEEE Trans. Power Electron.* **36** 10959
- [37] Talesara V, Zhang Y H, Chen Z, Zhao H, Lu W 2021 *J. Mater. Res.* **36** 4919
- [38] Yates L, Gunning B P, Crawford M H, Steinfeldt J, Smith M L, Abate V M, Dickerson J R, Armstrong A M, Binder A, Allerman A A, Kaplar R J 2022 *IEEE Trans. Electron Devices.* **69** 1931
- [39] Taube A, Kaminski M, Tarenko J, Sadowski O, Ekielski M, Szerling A, Prystawko P, Bockowski M, Grzegory I 2022 *IEEE Trans. Electron Devices.* **69** 6244
- [40] Xu Y, Vangipuram V G T, Talesara V, Cheng J, Zhang Y H, Hashimoto T, Letts E, Key D, Zhao H, Lu W 2023 *IEEE Appl. Phys. Lett.* **1233** 142105
- [41] Talesara V, Zhang Y H, Vangipuram V G T, Zhao H, Lu W 2023 *IEEE Applied Physics Lett.* **122** 123501
- [42] Wang Y F, Porter M, Xiao M, Lu A, Yee N, Kravchenko I, Srijanto B, Cheng K, Wong H Y, Zhang Y H 2023 *IEEE Trans. Electron Devices* **71** 1481
- [43] Han S W, Yang S, Sheng K 2021 *IEEE Electron Device Lett.* **42** 300
- [44] Li Y J, Yang S, Ji F W, Tang X, Sheng K 2023 *Appl. Phys. Lett.* **122** 092102
- [45] Du J H, Yang S, Xu G W, Long S B 2023 *35th International Symposium on Power Semiconductor Devices and ICs (ISPSD)* Hong Kong, China May 28–June 01, 2023 p28
- [46] Kitagawa K, Matys M, Uesugi T, Horita M, Kachi T, Suda J 2025 *IEEE Trans. Electron Devices* **72** 4036
- [47] Kwon W, Itoh Y, Tanaka A, Watanabe H, Honda Y, Amano H 2025 *Appl. Phys. Express* **18** 016515
- [48] Wang H, Chen S H, Chen H, Liu C 2024 *ECS J. Solid State Sci. Technol.* **39** 115009
- [49] Atwimah S K, Nelson T, Pandey P, Fox A P, Georgiev D G, Jacobs A G, Koehler A D, Hobart K D, Anderson T J, Khanna R 2024 *Applied Power Electronics Conference and Exposition (APEC)* Long Beach, CA, USA February 25–29, 2024 p2663
- [50] Li Y, Ren N, Wang H, Guo Q, Wang C, Cheng H, Kong L, Sheng K 2024 *36th International Symposium on Power Semiconductor Devices and ICs (ISPSD)* Bremen, Germany, June 02–06, 2024 p152
- [51] Ma Y W, Porter M, Qin Y, Spencer J, Du Z H, Xiao M, Wang Y F, Kravchenko I, Briggs D P, Hensley D K, Udrea F, Tadjer M, Wang H, Zhang Y H 2024 *IEEE Electron Device Lett.* **45** 12
- [52] Xiao M, Ma Y W, Du Z H, Qin Y, Liu K, Cheng K, Udrea F, Xie A, Beam E, Wang B Y, Spencer J, Tadjer M, Anderson T, Wang H, Zhang Y H 2022 *IEEE International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 03–07, 2022 p35.6.1
- [53] Qin Y, Ma Y W, Xiao M, Porter M, Udrea F, Wang H, Zhang Y H 2025 *IEEE Trans. Electron Devices* **72** 119
- [54] Yang S, Han S W, Li R, Sheng K 2018 *30th International Symposium on Power Semiconductor Devices and ICs (ISPSD)* Chicago, IL, USA, May 13–17, 2018 p272
- [55] Han S W, Yang S, Li R, Wu X K, Sheng K 2019 *IEEE Trans. Power Electron.* **34** 5012
- [56] Yang S, Zhou C H, Han S W, Wei J, Sheng K, Chen K J 2017 *IEEE Trans. Electron Devices* **64** 5048
- [57] Du J H, Yang S, Xie X, Han Z T, Xu G W, Long S B 2024 *IEEE J. Emerg. Sel. Topics Power Electron.* **12** 5884
- [58] Van Brunt E, Barbieri T, Barkley A, Solovey J, Richmond J, Hull B 2018 *32nd International Symposium on Power Semiconductor Devices and ICs (ISPSD)* Chicago, USA, May 13–17, 2018 p415
- [59] Li C M, Luo H Z, Li C S, Li W H, Yang H, He X N 2019 *IEEE Trans. Power Electron.* **34** 10143
- [60] Farzaneh M, Maize K, Lüterßen D, Summers J A, Mayer P M, Raad P E, Pipe K P, Shakouri A, Ram R J, Hudgings Janice A 2009 *J. Phys. D: Appl. Phys.* **42** 143001
- [61] Jeong J, Choi S J, Shim J, Kim E, Kim S K, Kim B H, Kim J P, Suh Y J, Beak W J, Geum D M, Koh Y, Kim D, Kim S 2023 *IEEE International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 09–13, 2023 p41.6.1
- [62] Du J H, Lin H B, Hou D Z, Long S B, Yang S 2025 *37th International Symposium on Power Semiconductor Devices and ICs (ISPSD)* Kumamoto, Japan, June 01–05, 2025 p117
- [63] Zhou F, Xu W Z, Ren F F, Zhou D, Chen D J, Zhang R, Zheng Y D, Zhu T G, Lu H 2021 *IEEE Trans. Power Electron.* **36** 12163
- [64] Han Z T, Zhang H, Long S B, Yang S 2025 *37th International Symposium on Power Semiconductor Devices and ICs (ISPSD)* Kumamoto, Japan, June 01–05, 2025 p349
- [65] Chen F, Tang W X, Yu G H, Zhang L, Xu K, Zhang B S 2020 *Acta Phys. Sin.* **69** 098501 (in Chinese) [陈扶, 唐文昕, 于国浩, 张丽, 徐坤, 张宝顺 2020 物理学报 **69** 098501]
- [66] Suda J 2022 *IEEE International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 03–07, 2022 p35.7.1
- [67] Wei J X, Wei Z X, Fu H, Cao J H, Wu T Z, Sun J M, Zhu X D, Li S, Zhang L, Liu S Y, Sun W F 2023 *IEEE Trans. Power Electron.* **38** 8990
- [68] Chi X, Ito K, Suto T, Shima A, Kaneko M, Kimoto T 2024 *IEEE International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 07–11, 2024 p40.4.1
- [69] Ito K, Narita T, Kanechika M, Iguchi H, Iwasaki S, Kikuta D, Kano E, Ikarashi N, Tomita K, Suda J, Kachi T 2024 *IEEE International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 07–11, 2024 p40.1.1
- [70] Ito K, Narita T, Iguchi H, Iwasaki S, Kikuta D, Kano E, Ikarashi N, Tomita K, Horita M, Suda J 2023 *IEEE International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 09–13, 2023 p26.2.1
- [71] Kajiwara Y, Shindome A, Mukai A, Ono H, Kato D, Kuraguchi M, Numoue S 2020 *32nd International Symposium on Power Semiconductor Devices and ICs (ISPSD)* Vienna, Austria, September 13–18, 2020 p302
- [72] Otake H, Chikamatsu K, Yamaguchi A, Fujishima T, Ohta H 2008 *Appl. Phys. Express* **1** 011105
- [73] Nie H, Diduck Q, Alvarez B, Edwards A P, Kayes B M, Zhang M, Kizilyalli I C 2014 *IEEE Electron Device Lett.* **35** 939
- [74] Oka T, Ina T, Ueno Y, Nishii J 2016 *28th International*

- Symposium on Power Semiconductor Devices and ICs (ISPSD) Prague, Czech Republic June 12–16, 2016 p459*
- [75] Shibata D, Kajitani R, Ogawa M, Tanaka K, Tamura S, Hatsuda T, Ishida M, Ueda T 2016 *IEEE International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 03–07, 2016 p10.1.1
- [76] Zhang Y H, Sun M, Piedra D, Hu J, Liu Z, Lin Y 2017 *IEEE International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 02–06, 2017 p9.2.1
- [77] Ji D, Gupta C, Chan S H, Agarwal A, Li W, Keller S, Mishra U K, Chowdhury S 2017 *IEEE International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 02–06, 2017 p9.4.1
- [78] Samavedam S B, Ryckaert J, Beyne E, Ronse K, Horiguchi N, Tokei Z, Radu I, Bardon M G, Na M H, Spessot A, Biesemans S 2020 *IEEE International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 12–18, 2020 p1.1.1

SPECIAL TOPIC—Semiconductor physics and devices

Vertical GaN power electronic devices: Structure, fabrication, and key mechanisms*

WANG Juntai HAN Zaitian DU Jiahong XIE Xuan YANG Shu[†]

(School of Microelectronics, University of Science and Technology of China, Hefei 230026, China)

(Received 30 November 2025; revised manuscript received 15 January 2026)

Abstract

Compared with its lateral counterpart, vertical GaN-on-GaN device can extend the voltage/power ratings and yield superior dynamic performance, showing potential for high-frequency and high-efficiency power electronics applications. This work presents the recent advances in structure design, fabrication and key mechanisms of vertical GaN diodes and transistors, primarily including the follows. 1) By utilizing the tunneling-enhancement layer with polarization effects in GaN, the trade-off between forward conduction and reverse blocking capability in unipolar GaN diode can be optimized. 2) With photon recycling/re-absorption in the direct-bandgap GaN, the desirable conductivity modulation at on-state and zero reverse recovery during turn-off transient can be simultaneously achieved in bipolar GaN PiN diode. 3) Vertical GaN diodes exhibit current-collapse-free performance and superior surge current ruggedness. Moreover, ultrafast junction temperature mapping has been developed to identify the failure mechanism during surge current transients. 4) By virtue of an AlN interfacial-layer to suppress the interface traps and carrier scattering, vertical GaN trench MOSFET featuring a high inversion channel mobility and high Baliga's figure-of-merit has been achieved.

Keywords: GaN-on-GaN, interface engineering, power electronic devices, dynamic characteristics

DOI: [10.7498/aps.75.20251638](https://doi.org/10.7498/aps.75.20251638)

CSTR: [32037.14.aps.75.20251638](https://cstr.cn/32037.14.aps.75.20251638)

* Project supported by the National Science and Technology Major Project of the Ministry of Science and Technology of China (Grant No. 2024ZD06050xx), the Key R&D Project of Jiangsu Province, China (Grant No. BG2024019), and the R&D Program of Jiangsu Province, China (Grant No. BK20232045).

[†] Corresponding author. E-mail: eesyang@ustc.edu.cn



垂直型GaN功率电子器件：结构、工艺与关键机制

王军太 韩在天 杜佳宏 谢选 杨树

Vertical GaN power electronic devices: Structure, fabrication, and key mechanisms

WANG Juntao HAN Zaitian DU Jiahong XIE Xuan YANG Shu

引用信息 Citation: *Acta Physica Sinica*, 75, 080703 (2026) DOI: 10.7498/aps.75.20251638

CSTR: 32037.14.aps.75.20251638

在线阅读 View online: <https://doi.org/10.7498/aps.75.20251638>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn>

您可能感兴趣的其他文章

Articles you may be interested in

界面工程调控GaN基异质结界面热传导性能研究

Interface engineering moderated interfacial thermal conductance of GaN-based heterointerfaces

物理学报. 2023, 72(22): 226301 <https://doi.org/10.7498/aps.72.20230791>

空间用GaN功率器件单粒子烧毁效应激光定量模拟技术研究

Research on Single Event Burnout of GaN power devices with femtosecond pulsed laser

物理学报. 2022, 71(13): 136102 <https://doi.org/10.7498/aps.71.20212297>

高功率GaN 微波器件大信号缩放模型

A large-signal scaling model of high-power GaN microwave device

物理学报. 2023, 72(14): 147103 <https://doi.org/10.7498/aps.72.20230440>

微波GaN器件温度效应建模

Modeling of temperature effect on DC characteristics of microwave GaN devices

物理学报. 2024, 73(17): 177101 <https://doi.org/10.7498/aps.73.20240765>

宽禁带大功率电子器件结温测量技术

Wide bandgap high power electronic device junction temperature measurement technology

物理学报. 2026, 75(7): 177101 <https://doi.org/10.7498/aps.75.20260106>

GaN基高功率微波器件高效场路协同分析方法

Efficient field-circuit co-simulation method for GaN-based high power microwave devices

物理学报. 2023, 72(14): 147101 <https://doi.org/10.7498/aps.72.20230452>