专题: 应用磁学 • 封面文章

磁场对自旋-轨道矩磁性存储器性能影响*

刘嘉新 周钰卿 石国懿 蔡凯明†

(华中科技大学物理学院, 武汉 430074)

(2025 年 12 月 15 日收到; 2026 年 1 月 22 日收到修改稿)

自旋-轨道矩磁性随机存储器因其高读写速度、高耐久性、非易失性以及与先进半导体工艺的良好兼容性, 被认为是下一代非易失存储技术的解决方案之一. 然而, 其器件性能对磁场高度敏感. 磁隧道结中参考层偶极场、层间交换耦合场及电流奥斯特场等效应, 产生作用于自由层的偏置磁场, 导致非对称的写入电流和数据保持时间, 给提升器件能效及集成密度等带来阻碍. 为解决上述问题, 本文基于自旋-轨道矩磁性存储器集成架构和微磁学模拟理论, 系统研究了磁场对写入电流的调控作用. 进一步设计了与半导体后端互连工艺兼容的器件结构, 通过在垂直互联通道中填充磁性层, 产生局域的杂散磁场, 以补偿偏置磁场作用和优化器件性能. 仿真结果表明, 磁性填充层产生的非均匀局域磁场有助于实现对称写入电流, 且适用于微缩先进工艺节点. 该研究验证了基于磁场调控的设计方案对提升器件能效和集成密度上的潜力, 为未来实现高密度、低功耗自旋-轨道矩磁存储芯片设计提供了新思路.

关键词: 自旋-轨道矩, 磁随机存储器, 对称翻转电流, 半导体先进工艺

DOI: 10.7498/aps.75.20251720 **CSTR:** 32037.14.aps.75.20251720

1 引 言

随着大数据与人工智能技术的飞速发展, 信息处理系统对存储器的速度、功耗和容量提出了更高的需求. 理想的存储技术不仅需具备超高速、低功耗、高稳定性和高集成密度等关键特性, 还需兼具非易失性, 以满足新兴应用场景的要求[1,2]. 然而, 现阶段主流的电荷型存储技术受限于其内在物理机理, 难以在速度、功耗与可靠性等核心性能之间实现有效平衡, 成为约束系统性能提升的主要瓶颈[3,4]. 为突破传统存储的限制, 兼具高速写入、高耐久性与非易失性的磁性随机存储器 (magnetic random-access memory, MRAM) 受到广泛关注. 尤其是基于自旋-轨道矩 (spin-orbit torque, SOT) 效应的 SOT-MRAM, 其写入速度可达亚纳秒级 (<1 ns), 并展现出卓越的读写耐久性 (>10^{15} 次), 加之其与先进半导体工艺的良好兼容性, 被普遍认为是下一代非易失性存储技术的有力候选方案[5–7].

典型的 SOT-MRAM 存储单元采用读写分离的三端结构, 如图 1 所示. 利用底部重金属 (heavy metal, HM) 层产生自旋流实现数据写入, 通过顶部磁性隧道结 (magnetic tunnel junction, MTJ) 中的隧穿磁阻效应 (tunneling magnetoresistance, TMR) 实现信息读取[8]. 根据 MTJ 中磁性自由层 (free layer, FL) 磁晶各向异性的取向, SOT-MRAM 可分为两大类: 一类是垂直磁各向异性 (perpendicular magnetic anisotropy, PMA) 结构, 自由层易磁化轴垂直于层堆界面并采用圆柱形 MTJ 设计, PMA 依赖材料界面特性便于实现高集成密度; 另一类为面内磁各向异性 (in-plane magnetic anisotropy, IMA) 结构. 易磁化轴平行界面, 其磁各向异性主要由形状因子决定, MTJ 多设计为椭圆形,

* 国家自然科学基金 (批准号: 12404133) 资助的课题.

† 通信作者. E-mail: kmcai@hust.edu.cn

© 2026 中国物理学会 Chinese Physical Society

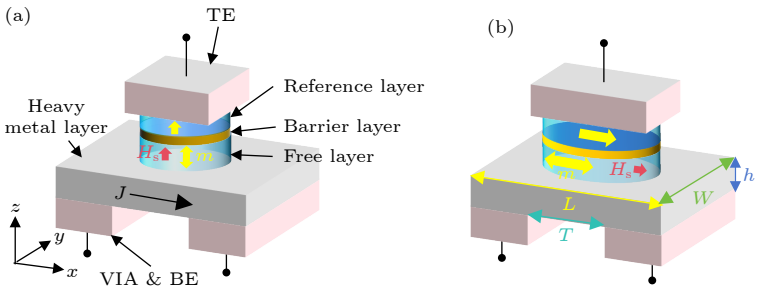


图 1 SOT-MRAM 存储单元示意图 (a) PMA 结构, TE 与 BE 分别表示顶电极与底电极; (b) IMA 结构

Fig. 1. Schematic of SOT-MRAM memory cell: (a) PMA structure, where TE and BE denote top electrode and bottom electrode, respectively; (b) IMA structure.

且器件的写入性能 (如临界电流与翻转速度) 与易磁化轴方向和电流方向之间的夹角密切相关[9,10].

然而, PMA 与 IMA 器件均普遍存在一个问题: 参考层 (reference layer, RL) 产生的杂散场、界面粗糙度引起的层间耦合等效应, 会在自由层处形成内在偏置磁场[11]. 该偏置磁场不仅导致不同阻态切换所需的写入电流和外加磁场产生显著不对称, 还带来一系列工程挑战. 例如: 高写入电流一侧的功耗更高, 导致可靠性差[12]; 对应的驱动晶体管尺寸需随之增大, 降低集成密度; 且偏置场导致热稳定性降低和器件均一性问题, 进而提升外部电路设计与校准的复杂度[13,14]. 这些因素共同限制了 SOT-MRAM 性能的提升. 以上现象广泛出现在相关报道中[15,16], 然而对于相关问题的讨论和解决方案较少[17,18]. 现有解决方案通常依赖在 MTJ 内部引入额外磁性层 (如人工合成反铁磁结构或其他辅助堆层) 来抵消偏置场. 此类方法虽可在器件层面实现补偿, 但需在纳米尺度上精准控制多界面间的交换耦合与膜厚均匀性, 工艺窗口极窄; 在晶圆级制程中, 微小的厚度或界面波动都会导致补偿失配, 从而放大片内与片间写入电流不对称性的离散性. 此外, 增大薄膜层数会显著提高制程复杂度、测试与校准成本, 削弱阵列良率与可扩展性[19,20]. 因此, 需要一种不改动 MTJ 薄膜、并与现有工艺兼容的偏置场补偿方法, 以支撑 SOT-MRAM 向高性能与高密度方向发展.

基于磁场对 SOT-MRAM 写入电流的调制机制, 本文提出了一种与后端互连工艺 (back end of line, BEOL) 高度兼容的新型 SOT-MRAM 单元架构. 该方案在 BEOL 流程中于垂直互联通道 (vertical interconnect access, VIA) 特定深度处填充铁磁材料, 将传统 VIA 的非磁性金属填充更改为在紧邻 SOT 通道下方特定深度填充部分铁磁性材料, 从而产生调控写入电流的局域杂散磁场. 本文首先通过微磁学仿真系统分析均匀磁场对写入电流的影响规律, 随后研究新器件架构中的非均匀杂散磁场分布及其对降低写入电流和抑制写入电流的偏置效应的作用. 进一步的器件微缩研究表明, 该架构在尺寸显著缩小的情况下仍能保持有效的写入偏置补偿能力, 展示了其在先进半导体工艺节点下的适配性与可扩展性. 所提出的方案为提升 SOT-MRAM 能效、均匀性及集成度提供了一种具有前景的设计思路.

2 写入电流偏置的影响与磁场调制

2.1 写入电流偏置的影响

研究表明 SOT-MRAM 的翻转行为对外加磁场表现出依赖关系[21–23]. 在理想情况下, 由于体系具有旋转对称性, 其双极性的翻转应呈现高度对称的特性. 然而, 在实际器件中, 参考层产生的杂散场以及界面粗糙度诱导的层间耦合作用不可避免地对自由层产生影响. 这些效应可等效为在自由层施加有效偏置磁场 H_s (如图 1 所示), 从而使不同阻态之间的翻转行为产生不对称性[11,24–26]. 从物理来源上看, 该等效偏置场并非由单一因素决定. 例如, 参考层在图形边缘处形成的等效磁荷会在自由层处产生偶极杂散场, 通常提供主要的静态偏置分量; 界面粗糙度还可能诱导额外的层间耦合场; 此外, 写入电流在重金属通道及互连结构中的分布也会在自由层处引入奥斯特场分量. 由于这些贡献对材料堆叠、图形尺寸与工艺涨落具有不同敏感性, 实际晶圆阵列中各单元的 H_s 往往并不相同, 从而导致写入电流偏置与能垒不对称在阵列尺度上的离散分布, 并增加外围电路统一写入与校准的难度.

如图 2(a) 所示, 磁滞回线左、右侧的临界翻转磁场分别为 $H_{\rm cl}$ 和 $H_{\rm cr}$. 在偏置场 $H_{\rm s}$ 存在时, 两侧矫顽场不再对称, 即 $|H_{\rm cl}| \neq |H_{\rm cr}|$. 通常将自由层矫顽场定义为 $H_{\rm c} = |H_{\rm cl} - H_{\rm cr}|/2$, 偏置磁场简化为 $H_{\rm s} = |H_{\rm cl} + H_{\rm cr}|/2$. 类似地, 写入电流密度从理想情况下 $|J_{\rm AP\to P}| = |J_{\rm P\to AP}| = J_0$ 变为 $|J_{\rm AP\to P}| = J_0 - \Delta J_1$, $|J_{\rm P\to AP}| = J_0 + \Delta J_2$, 其中, $J_{\rm AP\to P}$ 为反平行 (anti-parallel, AP) 态向平行 (parallel, P) 态翻转的临界电流密度, $J_{\rm P\to AP}$ 则为从 P 态转为 AP 态所施加的电流密度 (参考层的磁化方向以图 1(a), (b) 为准), J_0 为无 $H_{\rm s}$ 影响时的临界写入电流密度, ΔJ_1 与 ΔJ_2 为偏置场导致的电流密度偏置量 (如图 2(b) 所示).

如图 1 所示, 重金属层的厚度 h、宽度 W、长度 L、电阻率 ρ. 在无偏置场条件下, 完成一次 AP→P→AP 完整操作, 其总功耗 P_0 为

$$P_0 = 2I_0^2 R = 2\rho h W L J_0^2, \tag{1}$$

若存在偏置场, 在一定范围内近似满足 $\Delta J_1 = \Delta J_2 = \Delta J$, 则写入功耗 $P_{\rm s}$ 为

$$P_{\rm s} = \rho h W L \left[(J_0 - \Delta J)^2 + (J_0 + \Delta J)^2\right], \tag{2}$$

因此, 电流偏置带来的额外功耗比至少为 $\Delta P/P_0 = \Delta J^2/J_0^2$, $\Delta P = 2\rho h W L \Delta J^2$. 由此可见, 降低 ΔJ 将直接有助于降低功耗.

然而, 在实际电路实现中若分别以不同的 $J_{\rm AP\to P}$ 与 $J_{\rm P\to AP}$ 进行写入操作, 则须采用双电流源或可编程电流驱动器结构[27–29], 这增大了控制逻辑的复杂度和外围电路面积, 尤其是在大规模阵列中每个存储单元或子阵列均需配备独立的电流调控模块[14,26,30]. 此外, 电流路径的切换会引入由地址解码与多路复用器开关带来的控制延迟, 以及电流源输出稳定所需的建立时间, 这些延迟在高速操作下会制约存储器的写入吞吐率[14,31]. 因此, 为保证集成度与降低写入延迟, 在实际 SOT-MRAM 中采用统一的写入电流以简化电路模块, 此时完成一次 AP→P→AP 操作的功耗 $P_{\rm s}$ 将至少为 $P_{\rm s} = 2\rho h W L (J_0 + \Delta J)^2$, 带来更多的额外功耗 $\Delta P = 2\rho h W L \left(J_0 \Delta J + \Delta J^2\right)$. 在高密度阵列中, 这一额外功耗不可忽视, 因此迫切需要抑制偏置场带来的电流偏置效应.

此外, 偏置场还会影响 SOT-MRAM 的数据存储稳定性. 根据 Stoner-Wohlfarth 模型, 从 P(AP)→AP(P) 的翻转能垒 $E_{\rm P(AP)}$ 可以描述为[13]

$$E_{\rm P(AP)} = E_0 \left(1 \pm \frac{H_{\rm s}}{H_{\rm K}^{\rm eff}}\right)^2, \tag{3}$$

其中 E_0 是零磁场下的能量势垒, $H_{\rm K}^{\rm eff}$ 是有效各向异性场. 如图 2(c), (d) 所示, 当存在的 $H_{\rm s} > 0$ 时, P 态相较于 AP 态具有更好的稳定性, AP 态的数据保持时间将会缩短, 影响到数据的可靠性.

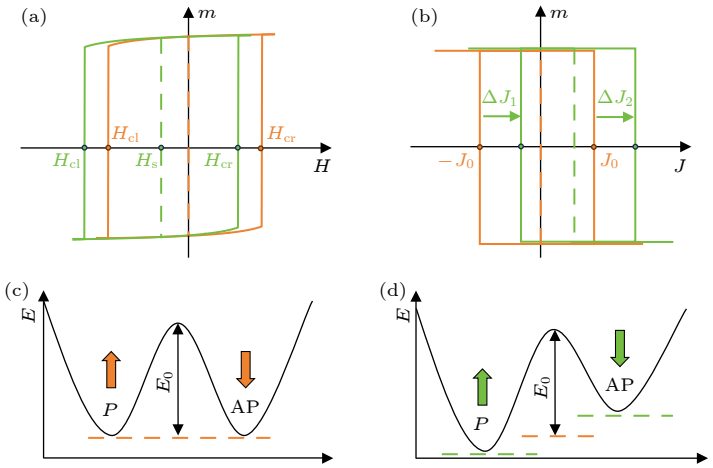


图 2 偏置磁场对 SOT-MRAM 器件性能的影响机理示意图 (a) 偏置场导致的磁滞回线偏移与矫顽场不对称性; (b) 偏置场引起的临界写入电流密度不对称; (c) 无偏置场时的能量势垒示意图; (d) 存在偏置场时 P 与 AP 态的能量势垒不对称性

Fig. 2. Schematic of the influence of bias magnetic field on the performance of SOT-MRAM: (a) Shift of the magnetic hysteresis loop and coercivity asymmetry induced by the bias field; (b) asymmetry critical switching current densities under the bias field; (c) schematic of energy barrier without bias field; (d) asymmetry of energy barrier between P and AP states in the presence of bias field.

2.2 磁场对 PMA 与 IMA 结构的写入电流影响

鉴于偏置场 H_s 可等效视为作用于自由层的有效磁场 $\boldsymbol{H}_{\rm eff}$ 的一个分量, 本文将从磁场调控 SOT 驱动自由层磁化翻转动力学机制出发, 对相关物理过程进行分析. 其磁化动力学可由包含 SOT 项的 Landau-Lifshitz-Gilbert (LLG) 方程描述[32]:

$$\begin{aligned}\frac{\partial \boldsymbol{m}}{\partial t} = & -\gamma\mu_0(\boldsymbol{m}\times\boldsymbol{H}_{\rm eff})+\alpha\left(\boldsymbol{m}\times\frac{\partial\boldsymbol{m}}{\partial t}\right)\\ & +\gamma\mu_0 H_{\rm SOT}^{\rm DL}[\boldsymbol{m}\times(\boldsymbol{\sigma}\times\boldsymbol{m})]\\ & +\gamma\mu_0 H_{\rm SOT}^{\rm FL}(\boldsymbol{m}\times\boldsymbol{\sigma}),\end{aligned} \tag{4}$$

其中, $\boldsymbol{m}=\boldsymbol{M}/M_s$ 是约化磁化强度, $\boldsymbol{m}=m_x\boldsymbol{e}_x+m_y\boldsymbol{e}_y+m_z\boldsymbol{e}_z$, m_x, m_y, m_z 分别为 $\boldsymbol{m}$ 在 x, y, z 方向的分量. $\boldsymbol{\sigma}$ 是自旋极化方向, α 是阻尼常数, γ 是旋磁比, μ_0 是真空磁导率. SOT 项被分解为类阻尼扭矩 (damping like torque, DLT) 和类场扭矩 (field like torque, FLT), 其强度分别由 $H_{\rm SOT}^{\rm DL}=\dfrac{\hbar\theta_{\rm SH}J_{\rm SOT}}{2eM_s t_{\rm F}}$ 和 $H_{\rm SOT}^{\rm FL}=\eta H_{\rm SOT}^{\rm DL}$ 定义, 其中 e 表示元电荷、$\theta_{\rm SH}$ 表示自旋霍尔角、$J_{\rm SOT}$ 表示驱动电流、M_s 表示饱和磁化强度、$\hbar$为约化普朗克常数、$t_{\rm F}$ 为自由层厚度、η 为 $H_{\rm SOT}^{\rm FL}$ 与 $H_{\rm SOT}^{\rm DL}$ 的比值.

为深入分析外磁场对 SOT 驱动磁化翻转过程的影响, 在不同磁场条件下进行了系统的微磁学模拟[33]. 所采用的关键材料参数与几何参数列于表 1. 需要说明的是, 表 1 所列材料与几何参数选自文献报道的常见区间内的代表性取值, 并在全文中保持一致, 以便在统一材料假设下对比磁性填充结构对写入偏置场、临界翻转电流及写入功耗等指标的相对影响. 本文重点在于揭示磁场调制与补偿结构带来的变化趋势与物理机制, 而非针对某一具体材料体系反推出绝对最优参数组合. 当材料或工艺节点发生变化时, 相关临界值会随 M_s, K_u, $\theta_{\rm SH}$ 等参数发生变化, 但本文给出的相对调控规律仍可作为结构设计的参考. 图 3(a), (b) 分别给出了 PMA 结构与 IMA 结构的器件示意图. 具体而言, PMA 结构的自由层设定为直径 50 nm 的圆柱体; 而 IMA 结构的自由层设定为长轴 50 nm、短轴 25 nm 的椭圆

表 1 微磁学模拟的部分参数

Table 1. Some parameters of micromagnetic simulations.

参数	PMA	IMA
饱和磁化强度M_s/(A·m^{-1})	0.9×10^6	1.1×10^6
单轴磁各向异性系数 K_u/(J·m^{-3})	550.0×10^3	38.2×10^3
交换积分常数A_{ex}/(J·m^{-1})	1.2×10^{-11}	1.3×10^{-11}
自旋霍尔角$\theta_{\rm SH}$	0.1	0.1
$H_{\rm SOT}^{\rm FL}$ 与 $H_{\rm SOT}^{\rm DL}$ 比值η	–0.3	0.5
Dzyaloshinskii-Moriya 强度/(J·m^{-2})	1.3×10^{-3}	0.2×10^{-3}
阻尼系数α	0.02	0.1
自由层厚度$t_{\rm F}$/nm	1.0	1.5
电流脉宽τ/ns	1.0	1.0(5.0)*

*括号内的数值(5.0 ns)仅用于IMA结构$\varphi=90°$的器件.

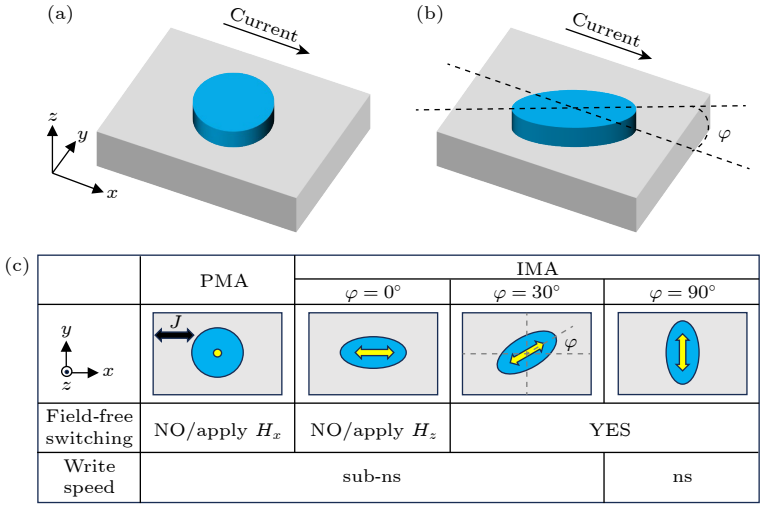


图 3 微磁学模拟结构示意图 (a) PMA 结构; (b) IMA 结构; (c) 不同结构的翻转动力学特征, 灰色区域表示重金属层, 蓝色区域表示自由层

Fig. 3. Schematic of the micromagnetic simulation structures: (a) PMA structure; (b) IMA structure; (c) switching dynamics characteristics for the PMA and IMA structures; the gray region denotes the heavy metal layer, and the blue region represents the free layer.

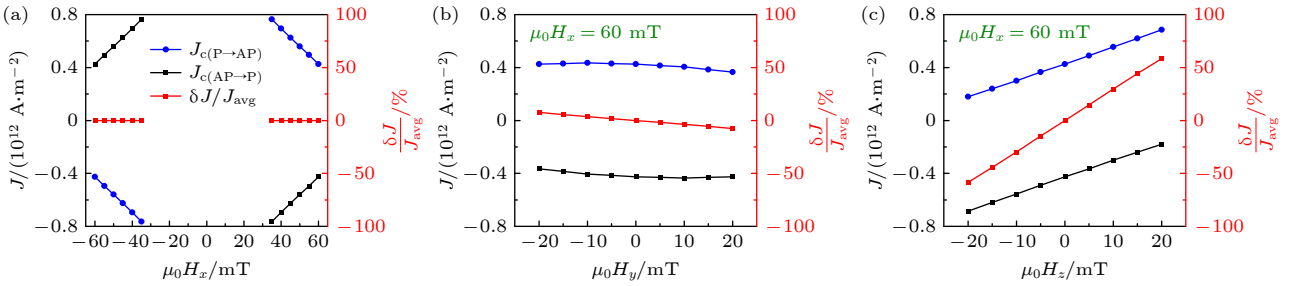


图 4 外加磁场对 PMA 结构临界翻转电流密度与偏置比的影响 (a) 不同 H_x 下的临界翻转电流密度与偏置比; (b) $\mu_0 H_x = 60$ mT, 不同 H_y 下的临界翻转电流密度与偏置比; (c) $\mu_0 H_x = 60$ mT, 不同 H_z 下的临界翻转电流密度与偏置比

Fig. 4. Modulation of the critical switching current density and bias ratio in the PMA structure under external uniform magnetic fields: (a) Dependence of critical switching current density and bias ratio on H_x; (b) dependence of critical switching current density and bias ratio on H_y with $\mu_0 H_x = 60$ mT; (c) dependence of critical switching current density and bias ratio on H_z with $\mu_0 H_x = 60$ mT.

柱体. 针对 IMA 结构自由层具有明显形状各向异性的特点, 进一步考察了 3 种典型几何配置: 一种是自由层易磁化轴平行于写入电流方向 (即 $\varphi = 0°$); 另一种是易磁化轴与写入电流方向存在一定夹角 $0° < \varphi < 90°$ (以 $\varphi = 30°$为例, Honjo 等[9] 完成了该角度下实际器件的制作与测试, 为 H_s 的选值提供了指导, 有助于模拟更贴近实际); 还有一种是易磁化轴垂直于写入电流方向 (即 $\varphi = 90°$). 图 3(c) 展示了不同结构中自由层的翻转动力学特征, 包括不同结构对外磁场的依赖性以及写入速度.

对 PMA 结构的模拟结果如图 4 所示. 为实现 PMA 结构中电流驱动自由层的确定性翻转, 通常需要施加沿 x 方向辅助场 H_x. 如图 4(a) 所示, 当外加磁场较小时, 临界翻转电流密度 J_c 随 H_x 的增大呈线性减小, 且 H_x 的方向决定了翻转的极性; 进而, 在固定辅助场 $\mu_0 H_x = 60$ mT 的条件下引入 y 方向磁场 H_y 时, H_y 对 J_c 的调制呈现非线性特征, 如图 4(b) 所示. 而在固定辅助场 $\mu_0 H_x = 60$ mT 条件下, z 方向磁场 H_z 对 J_c 的调制则表现为线性关系, 如图 4(c) 所示.

为定量表征临界翻转电流的偏置程度, 引入偏置比 $\delta J/J_{avg}$, 其定义如下:

$$\frac{\delta J}{J_{avg}} = \frac{|J_{c(P\to AP)}| - |J_{c(AP\to P)}|}{|J_{c(P\to AP)}| + |J_{c(AP\to P)}|},$$

其中 $\delta J = (|J_{c(P\to AP)}| - |J_{c(AP\to P)}|)/2$ 为偏置电流密度; $J_{avg} = (|J_{c(P\to AP)}| + |J_{c(AP\to P)}|)/2$ 为平均临界翻转电流密度. 基于该定义, 图 4(a)—(c) 给出了不同外磁场条件下偏置比的变化规律. 模拟结果表明, 仅在 H_x 作用下, J_c 随$|H_x|$的增大呈现对称的线性衰减, 即$|J_{c(P\to AP)}| = |J_{c(AP\to P)}|$, 未引入 J_c 偏置, 与 Taniguchi 等[23] 的报道相一致. 但在固定 $H_x > 0$ 作为辅助场的前提下 (此翻转极性下 $J_{c(P\to AP)} > 0$, $J_{c(AP\to P)} < 0$), 引入 $H_y > 0$ 会导致偏置比 $\delta J/J_{avg} < 0$, 即产生负向偏置; 而引入 $H_z > 0$ 则会使偏置比变为正值 $\delta J/J_{avg} > 0$. 这表明在相同的翻转极性下, H_y 与 H_z 对 J_c 的偏置作用相反. 利用 H_y 与 H_z 偏置作用, 可以有效补偿偏置电流效应. 在相同磁场强度下, H_z 诱导的电流偏置幅度显著大于 H_y. 这意味着, 在 PMA 结构中 H_z 主导着对电流偏置的影响.

类似地, 对 IMA 结构的器件开展相关模拟, 其结果如图 5 所示. 与 PMA 结构相比, IMA 结构由于面内形状各向异性的存在, 其翻转动力学不仅受外加磁场矢量调控, 更表现出对易磁化轴角度 φ 的依赖性.

对于 $\varphi = 0°$时, 如图 5(a) 所示. 为破坏面外对称性以实现确定性翻转, 模拟中施加了恒定的辅助场 $\mu_0 H_z = -20$ mT. 在此条件下, 面内磁场 H_x 或 H_y 的引入均打破了翻转势垒的对称性, 导致临界翻转电流密度 J_c 随磁场强度呈现显著的线性调制. 具体而言, 随着 H_x 或 H_y 从负向增大至正向, 偏置比 $\delta J/J_{avg}$ 从负值线性单调变化为正值. 这意味着通过改变面内磁场的方向, 可以灵活调整写入电流偏置比的正负 (即调节$|J_{c(P\to AP)}|$与$|J_{c(AP\to P)}|$的相对大小). 相比之下, 当固定面内场为零而仅改变 H_z 时 (图 5(a) 右图), J_c 随$|H_z|$的增大呈现出对称的非线性减小. 在此过程中, 无论 H_z 方向如何, 偏置比 $\delta J/J_{avg}$ 始终保持为零. 这表明单纯 H_z 的变化仅对称地调节了系统的翻转势垒, 而不会引入额外的写入不对称性.

当 $\varphi = 90°$时, 如图 5(b) 所示, 系统表现出与基准情形截然不同的磁场调制规律. 此时改变沿难

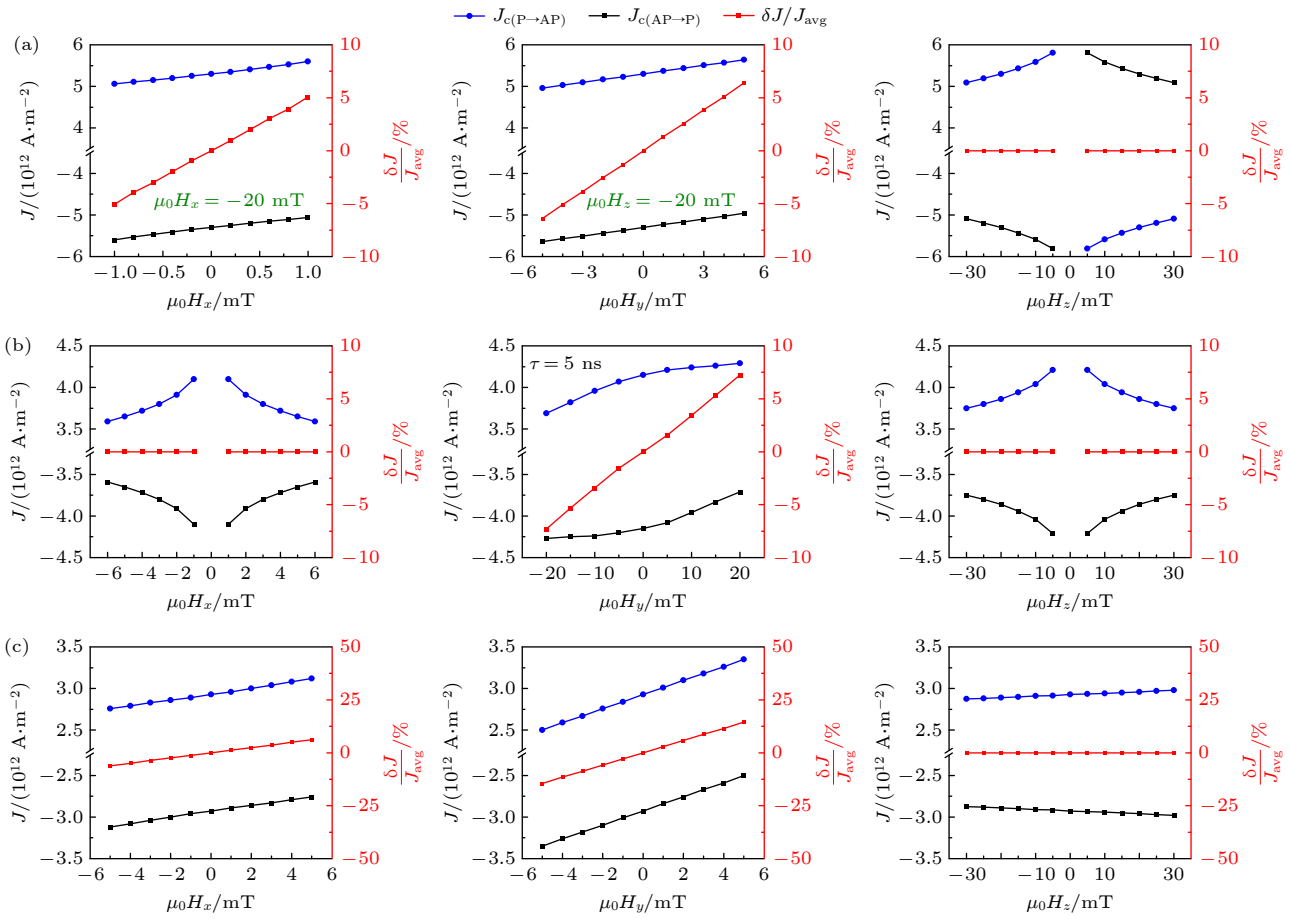


图 5 外加磁场对不同易轴角度 (φ) 下 IMA 结构临界翻转电流密度与偏置比的影响 (a) $\varphi = 0°$时, J_c 与 $\delta J/J_{avg}$ 随 H_x, H_y 及 H_z 的变化; (b) $\varphi = 90°$时的相应变化曲线; (c) $\varphi = 30°$时的相应变化曲线 (注: 在 $\varphi = 0°$的 H_x 和 H_y 扫描中, 施加了 $\mu_0 H_z = -20$ mT 的辅助场以辅助确定性磁化翻转; 在 $\varphi = 90°$的 H_y 扫描中, 施加的电流脉宽 $\tau = 5$ ns)

Fig. 5. Effect of external magnetic field on the critical switching current density and bias ratio of the IMA structure with different easy-axis angles (φ): (a) Dependence of J_c and $\delta J/J_{avg}$ on H_x, H_y, and H_z for $\varphi = 0°$; (b) the corresponding curves for $\varphi = 90°$; (c) the corresponding curves for $\varphi = 30°$ (note: an auxiliary field of $\mu_0 H_z = -20$ mT is applied during the H_x and H_y scans at $\varphi = 0°$ to assist deterministic magnetization switching; for the H_y scans at $\varphi = 90°$, a current pulse width of $\tau = 5$ ns is used).

轴方向的 H_x, J_c 表现为对称的非线性变化, 偏置比 $\delta J/J_{avg}$ 在整个 H_x 扫描范围内始终为零. 这一行为说明, 此时沿难轴方向的 H_x 与面外方向的 H_z 作用类似, 仅起到对称调节势垒高度的作用, 而不诱导偏置. 然而, 沿易轴方向的 H_y 对 J_c 的调制则呈现出显著的非线性特征. 值得注意的是, 在该角度配置下, 单纯施加 H_y 驱动翻转时, 其动力学过程存在类似自旋-转移矩 (spin-transfer torque, STT) 效应驱动磁化翻转的孵化延迟, 因此模拟采用了 $\tau = 5$ ns 的长脉冲. 在此条件下, 偏置比 $\delta J/J_{avg}$ 随 H_y 呈现出非线性变化, 且其符号由磁场方向决定. 上述结果说明在易轴与电流正交的配置下, 外加磁场对偏置比的调制机制发生了本质变化.

进一步考察介于上述两者之间的中间角度 $\varphi = 30°$(图 5(c)). 由于此时易轴与难轴相对 x 轴及 y 轴方向均存在非零夹角, 外加磁场 H_x 和 H_y 在易轴与难轴方向均存在投影分量. 因此, 两者对 J_c 均表现出类似于 $\varphi = 0°$情形下的线性调制作用. 具体表现为: 偏置比 $\delta J/J_{avg}$ 随 H_x 或 H_y 的变化呈现单调的线性关系, 且符号随磁场方向改变. 而 H_z 对 J_c 的调制依旧保持对称特性, 不引入偏置. 这说明在非正交的角度下, 面内任意方向的磁场分量均能有效打破翻转对称性, 从而引入写入电流偏置.

3 含磁性填充的新型 SOT-MRAM 架构模拟

前文的微磁学模拟结果表明, 引入特定方向的外加磁场是调控并抑制写入电流偏置、提升器件对

称性的有效手段. 然而, 在实际的高密度存储阵列中通常需要在无外加磁场条件下完成写入操作; 同时, 工艺涨落以及参考层杂散场的空间非均匀性会导致阵列内存储单元的等效偏置场呈离散分布, 从而需要在单元器件提供补偿场的方案. 现有通过在 MTJ 薄膜内部额外引入磁性功能层以抵消偏置场的方法虽可实现补偿, 但其效果依赖于多层膜厚、界面粗糙度及层间耦合强度的精密匹配. 该类方案在实际制造中需多次沉积与退火协同控制, 工艺复杂且一致性难以保障, 同时额外膜层增加了制程步骤与测试开销, 不利于大规模晶圆级制造. 为克服这些问题, 本节提出一种与 BEOL 工艺高度兼容的新型 SOT-MRAM 单元架构. 该架构通过在 VIA 中引入一定厚度的磁性填充层, 利用其产生的局域杂散场实现偏置场的内禀补偿, 而无需改变 MTJ 薄膜核心的功能层结构, 从而在保证补偿效果的同时兼顾工艺可行性与先进节点适配性.

为了验证该架构的补偿效果, 以典型偏置效应的传统 PMA 结构作为对照基准 (下文统称为“传统架构”), 已有研究表明 PMA 结构中 MTJ 自由层的矫顽场 H_c 与由参考层杂散场等因素产生的等效偏置场 H_s 比值通常约为 $H_c/H_s \approx 10/1$[34,35], 参考上述比例并结合本文采用的仿真参数, 将 PMA 结构中的等效偏置场设定为典型的 $\mu_0 H_s = 15$ mT, 以模拟实际器件中的非理想环境, 如图 6(a) 所示. 模拟结果显示, 当器件中无偏置场且施加 $\mu_0 H_x = 30$ mT 的辅助场时, 器件的临界写入电流密度 $|J_{c(P\to AP)}| = |J_{c(AP\to P)}| = 0.83\times10^{12}$ A/m^2. 然而, 当引入 15 mT 的典型等效偏置场后, 写入电流出现不对称性: $|J_{c(P\to AP)}|$升至 1.01×10^{12} A/m^2 而 $|J_{c(AP\to P)}|$降至 0.65×10^{12} A/m^2, 如图 6(b) 所示, 这表明偏置场的存在显著降低了 AP→P 翻转势垒和增大了 P→AP 翻转势垒. 其所产生的偏置比 $\delta J/J_{avg}$ 高达 21.6%, 将会严重影响器件性能.

针对上述偏置问题, 本文提出在与重金属层两端相连的 VIA 中对称填充 CoFeB 磁性层的新型单元架构, 其结构示意如图 7(a), (b) 所示. 关键几何参数设置如下[34,35]: 磁性层厚度 $H = 19$ nm, 磁化方向沿$+x$方向; 两侧磁层间距 $T = 150$ nm; 存储单元重金属层长 $L = 420$ nm, 宽 $W = 170$ nm;

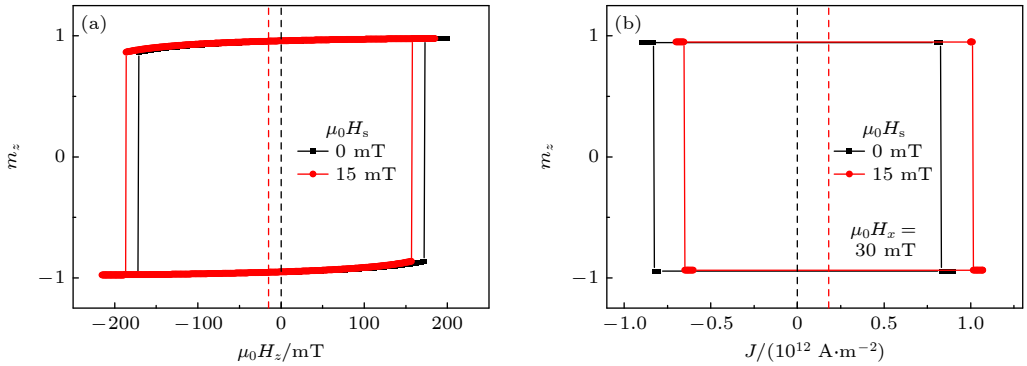


图 6 偏置场 $\mu_0 H_s = 15$ mT 的影响 (a) PMA 结构在 $\mu_0 H_s = 15$ mT 影响下自由层的磁滞回线; (b) PMA 结构在 $\mu_0 H_s = 15$ mT 影响下, 施加 $\mu_0 H_x = 30$ mT 的辅助场时自由层的 m_z - J 曲线

Fig. 6. Influence of bias field $\mu_0 H_s = 15$ mT: (a) Magnetic hysteresis loop of the free layer in PMA structure under the influence of $\mu_0 H_s = 15$ mT; (b) m_z - J curve of the free layer in PMA structure under the influence of $\mu_0 H_s = 15$ mT with $\mu_0 H_x = 30$ mT.

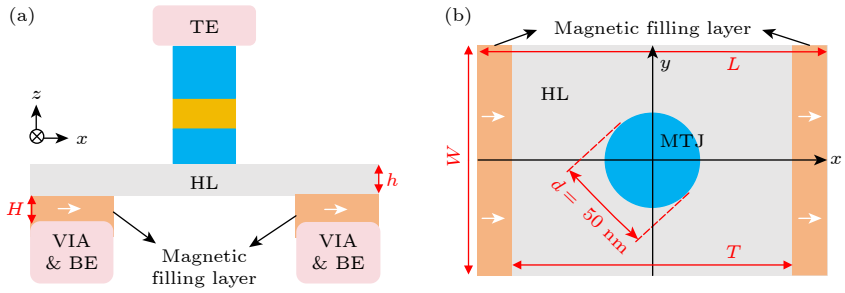


图 7 含磁性填充的 PMA 结构 SOT-MRAM 存储单元示意图 (a) 正视图; (b) 俯视图

Fig. 7. Schematic of SOT-MRAM storage cell with PMA structure containing magnetic filling: (a) Front view; (b) top view.

磁性填充层上表面距 MTJ 自由层 (直径 $d = 50$ nm, 层厚 1 nm) 下表面的垂直距离 $h = 4$ nm, 该设计旨在 MTJ 自由层所在的平面内构建特定的局域磁场分布. 通常的磁性填充层电阻率会高于传统 VIA 互连金属, 会引入额外功耗, 但此额外功耗难以抵消偏置抑制带来的功耗收益, 附录 A 中展示了对该额外功耗的评估.

我们对图 7(b) 中自由层平面的灰色矩形区域的磁场分布进行分析, 如图 8(a) 所示. 沿 $Y = 0$ nm (绿色虚线所示) 对磁场进行截面分析, 可得各方向磁场分量随位置变化的分布曲线, 如图 8(b) 所示. 为获得最佳的偏置抑制效果, 对引入磁性填充层后的 PMA 结构 SOT-MRAM 进行系统的微磁学模拟, 重点研究磁性填充层与 MTJ 相对位置的变化对偏置场 H_s 的补偿作用. 为此, 建立以重金属层上表面几何中心为原点的坐标系, 如图 7(b) 所示, 并将模拟中的 MTJ 圆心分别放置在 9 个典型位置: (±25, ±25), (±25, 0), (0, ±25), (0, 0), 记为 P_1—P_9, 如图 8(a) 所示, 模拟结果如图 8(c) 所示.

首先, 由于磁性填充层提供+x 方向磁场分量, 即便在无外部辅助磁场的情况下, MTJ 自由层仍可实现确定性翻转. 其次, 通过对比不同位置的临界翻转电流和偏置比可以发现, 位于 x 轴正半轴区域的 MTJ 能更有效地抵消 H_s 造成的偏置. 其物理机制在于, 磁性填充层在该区域产生的杂散场具有–z 方向的分量, 该分量可直接抵消 H_s 的偏置效果. 同时, 根据第 2 节的理论分析, +y 方向的磁场分量同样有助于抵消 H_s 带来的偏置. 结合图 8(a) 磁场分布图可知, 能够同时满足提供–z 分量与提供+y 分量这两个条件的区域位于第四象限. 因此, 我们进一步在第四象限区域内进行精细化搜索, 并选取 MTJ 中心坐标 (30, –52) 作为典型优化位置, 如图 9(a) 所示, 沿 $Y = -52$ nm 处对磁场进行的截面分析如图 9(b) 所示, 将该位置下的新型架构器件 (图中 Proposed) 与传统架构 (图中 Conventional) 的性能数据进行对比. 结果显示, 偏置比从传统架构的 21.6% 大幅降低至 1.3%, 基本消除了等效偏置场 H_s 的负面影响, 如图 9(c) 所示. 虽然在实际工艺中实现 MTJ 中心的大尺度偏移可能面临对准精度的挑战以及存储单元的尺寸限制, 但上述极限位置的分析揭示了该架构的理论优化潜力, 为工艺窗口的优化提供了重要的设计指导.

值得注意的是, 该新型架构的设计方案对 IMA 结构的器件同样适用. 鉴于 PMA 与 IMA 结构在磁化翻转动力学及磁场调制规律上的显著差异, 针对 IMA 结构的优化需匹配不同的几何参数与磁性填充层配置. 为了验证该架构的普适性, 本研究同步完成了对 IMA 结构的定制化设计与模拟. 关于 IMA 结构的详细参数设置及偏置抑制效果, 请参阅附录 B.

本研究通过微磁学模拟系统性验证了磁性填充层架构对于 PMA 结构与 IMA 结构的写入电流偏置均具有显著的抑制效果. 通过该架构, 不仅成功地将两种结构的电流偏置均降低至 1% 左右的极低水平, 同时也保证了无辅助外磁场的确定性翻转能力.

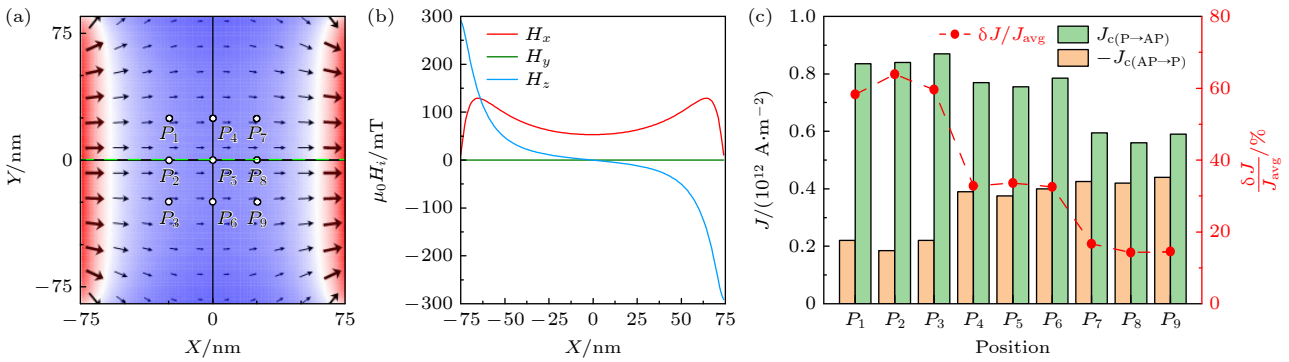


图 8 磁性填充层产生的局域磁场分布特征及 MTJ 位置对偏置补偿效果的系统性研究 (a) 图 7(b) 中灰色矩形区域的磁场分布; (b) $Y = 0$ nm 处各方向磁场分量随 X 位置变化的分布曲线; (c) P_1—P_9 各位置的临界翻转电流密度与偏置比

Fig. 8. Characterization of the local magnetic field distribution and the position-dependent compensation effect on switching current bias: (a) Magnetic field distribution in the gray rectangular area in Fig. 7(b); (b) distribution curves of magnetic field components in all directions along the X position at $Y = 0$ nm; (c) critical switching current density and bias ratio at positions P_1–P_9.

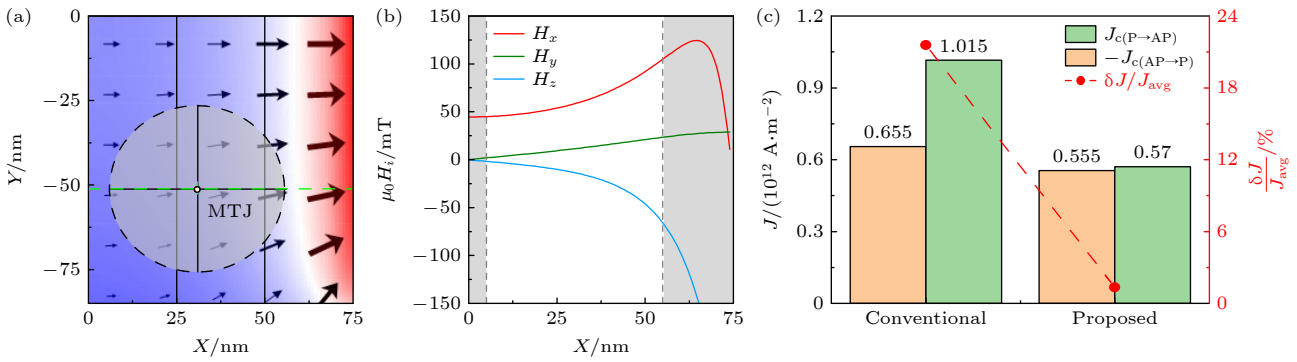


图 9 优化位置处的局域磁场分布及新型架构与传统架构的性能对比验证 (a) MTJ 中心位于坐标 (30, –52) 处时, 其周围的磁场分布; (b) $Y = -52$ nm 处各方向磁场分量随 X 位置变化的分布曲线; (c) MTJ 中心位于坐标 (30, –52) 处时, 本文提出的磁性填充架构 (Proposed) 与传统架构 (Conventional) 的临界翻转电流密度及偏置比对比

Fig. 9. Optimized local magnetic field distribution and performance comparison between the proposed and conventional architectures: (a) Magnetic field distribution around the MTJ when the center is offset to (30, –52); (b) distribution profiles of magnetic field components along the X-axis at $Y = -52$ nm; (c) comparison of critical switching current density and bias ratio between the proposed magnetic filling architecture (Proposed) at the optimized position (30, –52) and the conventional architecture (Conventional).

4 器件微缩性能验证

随着半导体制造工艺向 N14, N10 乃至更先进的 N5 节点演进, SOT-MRAM 存储单元面临着极其严苛的尺寸微缩挑战, 例如在 N14 工艺节点中, MTJ 直径可能被微缩至 21 nm 甚至更小[36,37]. 在这一趋势下, PMA 结构所具备的优异热稳定性, 以及其所能带来的高器件集成密度和低功耗优势, 使其成为高密度自旋电子器件的核心关键技术[38]. 前文已证实新型磁性填充架构在较大尺寸下对 PMA 与 IMA 结构均具有优异的偏置抑制能力, 但面向未来的极致微缩场景对架构的鲁棒性提出了更高要求. 因此, 为了验证该方案在先进工艺节点下的适用性, 本节将聚焦于 PMA 结构, 通过对器件关键尺寸进行等比例微缩, 系统评估该架构在尺寸减小的情况下能否维持对写入偏置的有效抑制, 以此验证其可扩展性.

为实现微缩条件下的精确偏置补偿, 首先模拟了磁性填充层几何参数对局域杂散磁场分布的调控机制. 如图 10 所示, 以重金属层上表面为原点的坐标系, 并选取坐标 (26, 0) 作为特征监测点. 模拟结果显示, 在固定层电极间距 $T = 150$ nm 的条件下, 特征点处的局域磁场强度随插入磁层厚度 H 增大呈现显著的正相关增强, 如图 10(b) 所示; 反之, 当固定磁层厚度 $H = 19$ nm 时, 随着层电极间距 T 缩短, 磁场强度呈现出非线性增强, 如图 10(c) 所示. 上述结果表明, H 和 T 构成了两组独立且高效的调控自由度. 这意味着, 在器件尺寸微缩导致 T 减小, 可以通过精确减薄 H 来补偿过强的杂散场, 从而在不同工艺节点下维持目标区域的最佳补偿场强.

基于上述调控机制, 对 PMA 结构存储单元的关键尺寸 (MTJ 直径 d、层间距 T、重金属层长 L 与宽 W) 进行等比例微缩验证, 示意图如图 11(a). 模拟涵盖了 80%, 60%, 40% 与 20% 四个微缩节点, 对应 MTJ 直径分别为 40 nm, 30 nm, 20 nm, 10 nm. 相应地, 为了适配各微缩节点带来的场强变化, 磁性填充层厚度 H 被分别优化调整为 15 nm, 11 nm, 9 nm 与 7 nm. 图 11(b)—(e) 展示了新型架构 (Proposed) 与传统架构 (Conventional) 在不同微缩节点下的性能对比. 模拟结果表明, 该架构表现出优异的微缩鲁棒性. 具体而言, 对于 80% 微缩节点, 当将 MTJ 中心优化至 (23, –45) 时, 偏置比 $\delta J/J_{avg}$ 从传统架构的 15.7% 彻底消除至 0%; 在 60% 微缩节点下, 位于 (3, 0) 处的 MTJ 偏置比从 11.0% 显著降至 0.6%; 随着尺寸进一步缩小至 40% 节点, 通过选取 (5, –15) 的优化位置, 偏置比亦从 6.8% 压制至 0.1%. 更为显著的是, 即便在 20% 的极致微缩条件下 (对应 MTJ 直径仅 10 nm), 当 MTJ 中心位于 (2, –2) 处时, 该架构依然能将偏置比从传统架构的 3.4% 显著降低至 0.1%. 上述结果充分证实, 在微缩尺寸的情况下, 该架构仍能基本消除等效偏置场 H_s 的负面影响, 展现出优异的工艺节点适配性, 为 SOT-MRAM 向高密度、低功耗方向的持续演进提供了可行的技术路径.

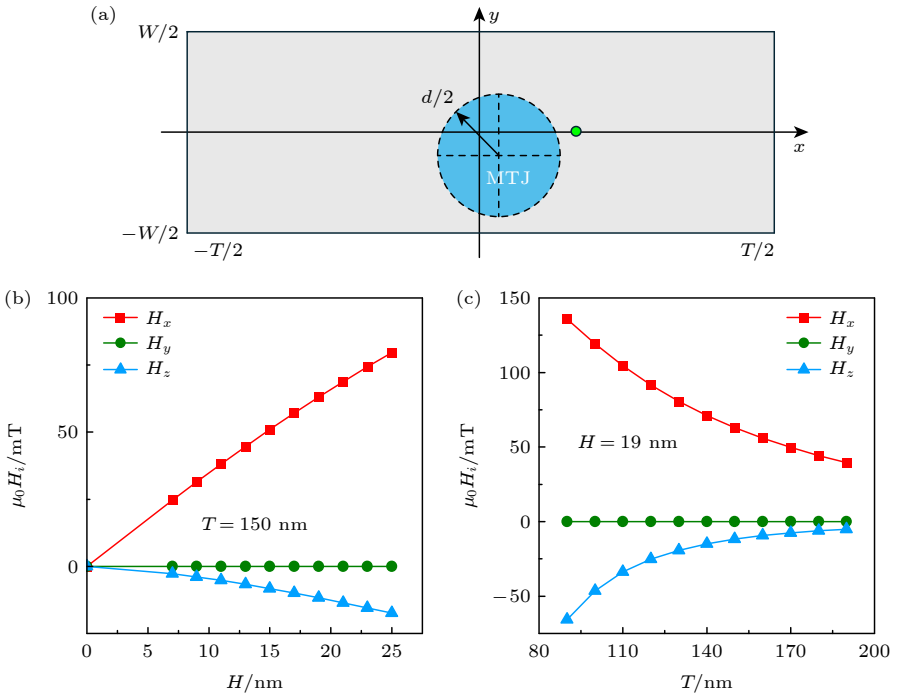


图 10 磁性填充层厚度与间距变化对局域磁场分布的影响 (a) 建立在自由层平面的相对坐标系示意图 (原点的投影位于重金属层几何中心, 坐标单位长度为 1 nm); (b) 磁层间距固定为 $T = 150$ nm 时, (26, 0) 处各磁场分量随磁层厚度 H 的变化; (c) 磁层厚度固定为 $H = 19$ nm 时, (26, 0) 处各磁场分量随磁层间距 T 的变化

Fig. 10. Influence of magnetic layer thickness and spacing on the local magnetic field distribution: (a) Schematic of the relative coordinate system established on the free layer plane (with the origin at the geometric center of the heavy metal layer and a unit length of 1 nm); (b) variation of magnetic field components at (26, 0) as a function of magnetic layer thickness H with a fixed spacing $T = 150$ nm; (c) variation of magnetic field components at (26, 0) as a function of magnetic layer spacing T with a fixed thickness $H = 19$ nm.

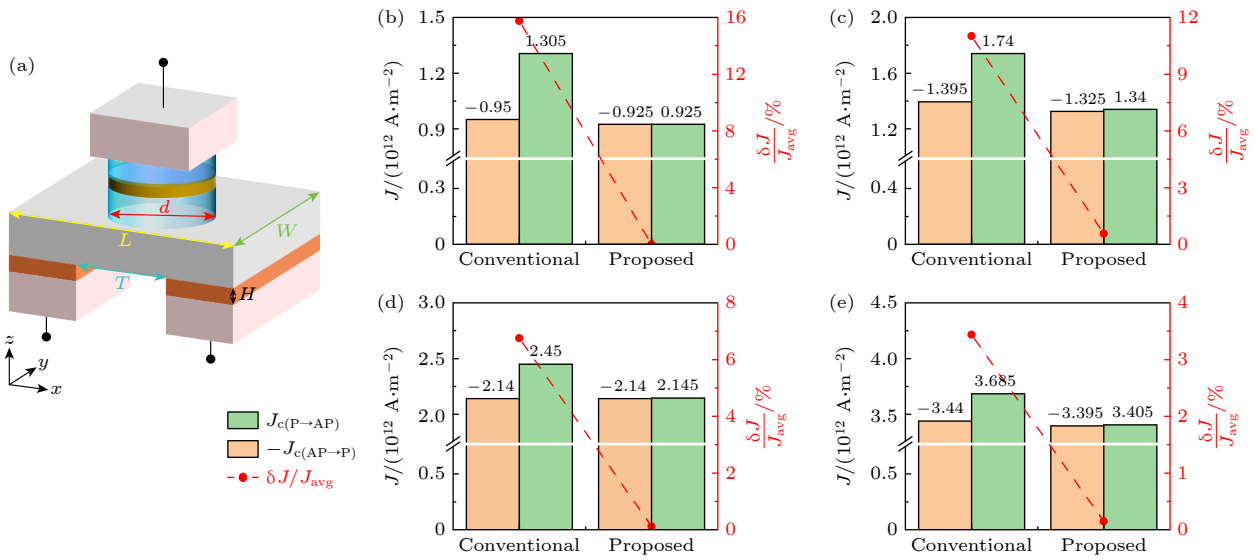


图 11 PMA 结构的等比例微缩验证与性能对比 (a) 用于验证等比例微缩性能的器件几何结构示意图; (b)—(e) 同尺寸下传统架构 (Conventional) 与本文提出的磁性填充架构 (Proposed) 的临界翻转电流密度及偏置比对比, 其中 (b) 80% 微缩, (c) 60% 微缩, (d) 40% 微缩, (e) 20% 微缩

Fig. 11. Proportional scaling validation and performance comparison of the PMA structure: (a) Schematic of the geometric structure used for validating the proportional scaling performance; (b)–(e) comparison of critical switching current density and bias ratio between the conventional architecture (Conventional) and the proposed magnetic filling architecture (Proposed) with identical dimensions, where (b) scaled to 80%, (c) scaled to 60%, (d) scaled to 40%, (e) scaled to 20%.

5 结 论

本文针对自旋-轨道矩磁性随机存储器 (SOT-MRAM) 中普遍存在的偏置磁场导致的写入电流不对称及对外部辅助场依赖等关键瓶颈, 提出了一种与 BEOL 工艺高度兼容的新型磁性填充层单元架构. 结合微磁学仿真与理论分析, 本研究确立了利用局域杂散磁场补偿参考层杂散场及层间耦合效应的物理机制, 并系统验证了该架构在不同磁各向异性体系中的有效性. 仿真结果表明, 通过定制磁性填充层的磁化方向与几何参数, 成功保证了无外场辅助的确定性翻转, 且 PMA 结构的写入电流偏置比从传统架构的 21.6% 显著降低至 1.3%; 针对具有高速无场写入潜力的面内 IMA 结构 $\varphi = 30°$ 配置, 该架构亦将其偏置比从 19.8% 大幅抑制至 –0.2%, 证实了该方案在不同材料体系中的普适性与优越性.

在确立物理机制的基础上, 本研究进一步证实了该架构在先进半导体工艺节点下的工程适配性. 针对 N14 及更先进工艺节点的微缩需求, 通过协同调节磁性填充层厚度与层间距的几何微缩策略, 即便在器件尺寸等比微缩至原值 20% (对应 MTJ 直径 10 nm) 的极致条件下, 该方案依然表现出稳健的偏置抑制能力, 将偏置比控制在 0.1% 的极低水平. 相较于需在 MTJ 薄膜内部引入额外磁性层、对界面耦合与膜厚控制高度敏感的传统方案, 本文提出的 BEOL 磁性填充技术避免了在 MTJ 核心功能层中引入复杂的膜层堆叠, 显著降低工艺复杂度与成本, 并保持出色的先进工艺节点适配性.

尽管模拟结果充分阐明了该架构的理论可行性与性能优势, 但从理想模型走向工程应用仍需跨越实质性的技术门槛. 未来的工作将重点致力于基于实际流片的实验验证, 评估磁性填充工艺在晶圆级制造中的可控性与均匀性; 同时, 针对大规模高密度阵列应用, 深入探究相邻单元间磁性填充层可能引发的磁耦合干扰效应, 从而为该新型架构的工程化应用构建更加完备的数据支撑. 综上所述, 本文提出的含磁性填充层架构不仅在物理层面解决了写入不对称与外场依赖难题, 更在工程层面展现出对先进半导体工艺节点的极佳适配性, 为开发高密度、低功耗且高可靠性的下一代磁性存储阵列提供了坚实的技术路径与理论支撑.

附录A 磁性填充层的功耗收益评估

功耗的标度关系为 $P \propto I^2R$. 本文已给出当存在偏置时, 临界电流密度可写为 $|J_{\mathrm{AP}\to\mathrm{P}}| = J_{\mathrm{avg}}-|\delta J|$, $|J_{\mathrm{P}\to\mathrm{AP}}| = J_{\mathrm{avg}}+|\delta J|$, 并定义偏置比为 $\delta J/J_{\mathrm{avg}}$. 在工程实现中若采用"统一写入电流", 则写入电流幅值至少需取 $|J| = J_{\mathrm{avg}}+|\delta J| = J_{\mathrm{avg}}(1+|\delta J/J_{\mathrm{avg}}|)$. 因此, 在其他条件相同且将写入路径等效为电阻 R 时, 写入的功耗与偏置比满足关系:

$$P \propto (1+|\delta J/J_{\mathrm{avg}}|)^2 R. \tag{A1}$$

因而偏置比降低会直接带来二次方量级的功耗下降, 这一点与本文"降低偏置比可直接降低功耗"的结论一致. 在实际模拟中加入磁性填充结构后 J_{avg} 会有所减小, 但为了便于直接评估本文架构带来的功耗收益, 忽略 J_{avg} 减小带来的功耗降低, 仅考虑降低偏置比所产生的功耗收益.

我们以本文提出的 PMA 单元几何参数为例进行功耗估算. 本文用于验证补偿效果的单元中, 磁性填充层厚度 (即电流在该磁性段内的等效长度) 为 $H = 19$ nm; 在该结构的优化位置条件下, 偏置比从传统架构的 21.6% 显著降低至 1.3%. 因此, 若只从"统一写入电流"角度衡量, 偏置抑制带来的功耗比例因子为

$$\left.\frac{P_{\mathrm{new}}}{P_{\mathrm{old}}}\right|_R = \left(\frac{1+0.013}{1+0.216}\right)^2 \approx 0.69, \tag{A2}$$

即仅由"写入电流对称性提升"一项就对应约 30% 的功耗下降.

我们估算磁性填充层电阻率导致的额外功耗, 并选取极端临界参数以评估上限. 写入路径中 VIA 段电阻可用 $R = \rho H/A$ 估算, 其中 A 为 VIA 的等效导电截面积. 为给出"最不利上界", 在不违背本文单元几何量级的前提下取一个偏小的截面 $A = (50\ \mathrm{nm})^2$. 同时, 对于"非磁性通孔金属", 按常用通孔金属 W 取其代表性电阻率: $\rho_{\mathrm{W}} = 11.5\times10^{-8}\ \Omega\cdot\mathrm{m}$ 作为理想下界[39]; 对于"磁性填充层", 本文架构示例采用 CoFeB, 采用文献 [40] 中给出的纳米级厚度 CoFeB 电阻率 $\rho_{\mathrm{CoFeB}} \approx 165\times10^{-8}\ \Omega\cdot\mathrm{m}$, 并上调为更保守的 $\rho_{\mathrm{m}} = 200\times10^{-8}\ \Omega\cdot\mathrm{m}$ 作为估算上界. 在上述取值下, 单个 VIA 的电阻为

$$R_{\mathrm{VIA,W}} = \rho_{\mathrm{W}}H/A \approx 0.87\ \Omega,\ R_{\mathrm{VIA,m}} = \rho_{\mathrm{m}}H/A \approx 15.2\ \Omega. \tag{A3}$$

由于本文结构为双侧 VIA 对称填充, 两处 VIA 的额外串联电阻上界约为

$$\Delta R_{2\mathrm{VIA}} \approx 2\,(R_{\mathrm{VIA,m}} - R_{\mathrm{VIA,W}}) \approx 28.7\ \Omega. \tag{A4}$$

将"额外电阻带来的功耗增大"与"偏置抑制带来的电流下降"放在同一表达式下比较. 写入路径总电阻可写为 $R_{\mathrm{tot}} = R_{\mathrm{HM}}+R_{2\mathrm{VIA}}$, 其中 R_{HM} 为重金属通道的电阻. 对重金属通道按常用自旋轨道材料 W 作为示例. 文献 [41] 对

W/CoFeB/MgO 异质结构的电输运拟合给出 W 层电阻率约为 130×10^{-8} Ω·m. 以 $\rho_{\rm HM} = 130\times10^{-8}$ Ω·m, 取典型轨道层厚度 $t = 4$ nm 估算, 则:

$$R_{\rm HM} = \rho_{\rm HM}\frac{L}{Wt} \approx 803\ \Omega. \tag{A5}$$

此时将非磁性金属替换为磁性填充层导致的总电阻比例约为

$$\frac{R_{\rm tot,new}}{R_{\rm tot,old}} \approx \frac{R_{\rm HM} + R_{\rm 2VIA,Cu} + \Delta R_{\rm 2VIA}}{R_{\rm HM} + R_{\rm 2VIA,Cu}} \approx 1.036. \tag{A6}$$

综合电流和电阻因素, 统一写入电流模式下的功耗比为

$$\frac{P_{\rm new}}{P_{\rm old}} \approx \left(\frac{1+0.013}{1+0.216}\right)^2 \times 1.036 \approx 0.71. \tag{A7}$$

由此可见, 即便在采用通孔金属 W 与重金属通道 W 的参数设定下, 本文方案对应约 29% 的净功耗下降. 更进一步, 先进 BEOL 的局部互连/通孔金属在不同工艺节点与可靠性约束下可能存在差异, 例如 Cu, Co 等方案并行[42], 因此为检验结论对互连材料选择的普适性与鲁棒性, 进一步以 Cu 作为低电阻互连的下界情形进行对比评估, 以理想 Cu 为互连材料、Pt 为重金属层材料为例, 本文方案依然对应约 16% 的净功耗下降. 结果表明, 即使在更有利于降低串联电阻的情形下, 磁性填充层引入的额外功耗仍不足以抵消偏置抑制带来的功耗收益, 因而不会改变本文的核心结论, 该结构能够稳定降低写入偏置并带来净功耗收益.

附录B IMA 结构中磁性填充层的偏置补偿分析

在 IMA 结构中, $\varphi = 0°$时可以实现亚纳秒写入, 但需要外磁场辅助自由层翻转, $\varphi = 90°$时可以实现无场翻转, 但其动力学过程存在类似 STT 效应驱动磁化翻转的孵化延迟. 而当面内易轴相对于电流方向存在一个角度 $0° < \varphi < 90°$ (本文选取 $\varphi = 30°$) 时, 则可同时实现高速、无场写入. 因此, 在实际应用中, 存在 $0° < \varphi < 90°$的 IMA 结构通常被认为更有应用前景. 基于此, 对含有新型架构 $\varphi = 30°$的 SOT-MRAM 进行模拟, 并与传统架构进行比较.

根据已有研究与本文模拟参数, 将 IMA 结构中的等效偏置场设置为 $\mu_0 H_{\rm s} = 8$ mT(IMA 结构中 $H_{\rm c}/H_{\rm s} \approx 10/1$[9,43]).

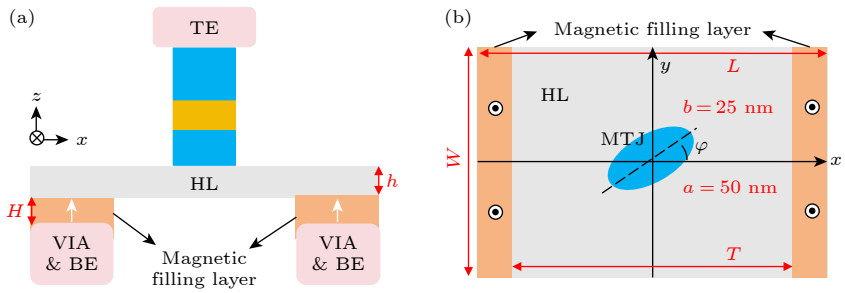


图 B1 含磁性填充的 IMA 结构 SOT-MRAM 存储单元示意图 (a) 正视图; (b) 俯视图

Fig. B1. Schematic of SOT-MRAM storage cell with IMA structure containing magnetic filling: (a) Front view; (b) top view.

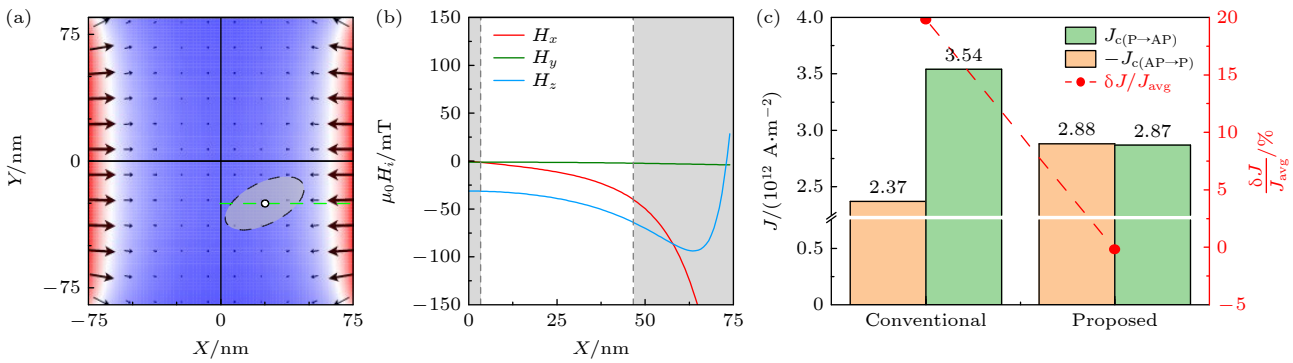


图 B2 磁性填充层产生的局域磁场分布特征及 MTJ 位置对偏置补偿效果的系统性研究 (a) 图 B1(b) 中灰色矩形区域的磁场分布; (b) 图 B2(a) 中绿色虚线处各方向磁场分量随 X 位置变化的分布曲线; (c) MTJ 中心位于坐标 (25, –25) 处时, 本文提出的磁性填充架构 (Proposed) 与传统架构 (Conventional) 的临界翻转电流密度及偏置比对比

Fig. B2. Characterization of the local magnetic field distribution and the position-dependent compensation effect on switching current bias: (a) Magnetic field distribution in the gray rectangular area in Fig. B1(b); (b) distribution curves of magnetic field components in all directions along the green dashed line in Fig. B2(a); (c) comparison of critical switching current density and bias ratio between the proposed magnetic filling architecture (Proposed) at the optimized position (25, –25) and the conventional architecture (Conventional).

所用器件架构方案与 PMA 结构类似, 两者拥有相同的几何参数, 不同点在于: IMA 结构中 MTJ 自由层是长轴 $a = 50$ nm, 短轴 $b = 25$ nm, 层厚 1.5 nm 的椭圆柱, 且填充的磁性插层的磁化方向沿$+z$方向, 如图 B1 所示.

与对 PMA 结构的分析类似, 对图 B1(b) 中自由层平面的灰色矩形区域的磁场分布进行表征, 如图 B2(a) 所示. 并沿图 B2(a) 中绿色虚线截取了各方向磁场分量随位置变化的分布曲线, 如图 B2(b) 所示. 根据第 2 节的理论分析, 可知第四象限能够提供适合抵消 IMA 结构中 H_s 引起偏置的局域磁场分量. 因此, 我们在 x 轴正半轴区域进行了精细化搜索, 并选取 MTJ 中心坐标 (25, –25) 作为典型优化位置, 将该位置下本文提出的磁性填充架构与传统架构的性能数据进行对比. 结果显示, 偏置比从传统架构的 19.8% 大幅降低至–0.2%, 基本消除了等效偏置场 H_s 的负面影响, 如图 B2(c) 所示.

参考文献

[1] Liu L, Pai C F, Li Y, Tseng H W, Ralph D C, Buhrman R A 2012 *Science* **336** 555

[2] Miron I M, Garello K, Gaudin G, Zermatten P J, Costache M V, Auffret S, Bandiera S, Rodmacq B, Schuhl A, Gambardella P 2011 *Nature* **476** 189

[3] Kim K H, Kim N, Kim Y K, Kim H S, Oh H B, Kim C E, Shin H W, Kim M G, Choi W J, Jang B C 2025 *Device* **3** 100682

[4] Spessot A, Oh H 2020 *IEEE Transactions on Electron Devices* **67** 1382

[5] Dieny B, Prejbeanu I L, Garello K, Gambardella P, Freitas P, Lehndorff R, Raberg W, Ebels U, Demokritov S O, Akerman J, Deac A, Pirro P, Adelmann C, Anane A, Chumak A V, Hirohata A, Mangin S, Valenzuela Sergio O, Onbaşlı M C, d'Aquino M, Prenat G, Finocchio G, Lopez-Diaz L, Chantrell R, Chubykalo-Fesenko O, Bortolotti P 2020 *Nat. Electron.* **3** 446

[6] Shao Q M, Li P, Liu L Q, Yang H, Fukami S, Razavi A, Wu H, Wang K, Freimuth F, Mokrousov Y, Stiles M D, Emori S, Hoffmann A, Åkerman J, Roy K, Wang J P, Yang S H, Garello K, Zhang W 2021 *IEEE Trans. Magn.* **57** 1

[7] Cai K M, Jin T L, Lew W S 2023 *Natl. Sci. Rev.* **11** nwad272

[8] Lee S W, Lee K J 2016 *Proceed. IEEE* **104** 1831

[9] Honjo H, Nguyen T V A, Watanabe T, et al. 2019 *IEEE International Electron Devices Meeting (IEDM)*, December 7–11, 2019 p28.5.1

[10] Fukami S, Anekawa T, Zhang C, Ohno H 2016 *Nature Nanotechnology* **11** 621

[11] Wang Y H, Huang S H, Wang D Y, Shen K H, Chien C W, Kuo K M, Yang S Y, Deng D L 2012 *International Electron Devices Meeting* San Francisco, CA, USA, December 10–13, 2012 p29.2.1

[12] Beek S V, Cai K, Fan K, Talmelli G, Trovato A, Jossart N, Rao S, Chasin A, Couet S 2023 *IEEE International Reliability Physics Symposium (IRPS)* Monterey, California, USA, March 26–30, 2023 p1

[13] Li Z, Zhang S 2004 *Phys. Rev. B* **69** 134416

[14] Dong Q, Wang Z, Lim J, Zhang Y, Shih Y C, Chih Y D, Chang J, Blaauw D, Sylvester D 2018 *IEEE International Solid-State Circuits Conference (ISSCC)* San Francisco, CA, USA, February 11–15, 2018 p480

[15] Beek S V, Cai K, Yasin F, Hody H, Talmelli G, Nguyen V D, Vergel N F, Palomino A, Trovato A, Wostyn K, Rao S, Kar G S, Couet S 2023 *International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 9–13, 2023 p1

[16] Cai K, Talmelli G, Fan K, Beek S V, Kateel V, Gupta M, Monteiro M G, Chroud M B, Jayakumar G, Trovato A, Rao S, Kar G S, Couet S 2022 *International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 3–7, 2022 p36.2.1

[17] Zhao L, Wang S S, Zhou H G, Zhu X Y, Zhou K Y, Ji Z H, Chen G L, Gao Y, Liu E L, Yang W L, Yuan D F, Wang M, Zheng Z J, Yang X L, He S K 2025 *IEEE Electron Device Lett.* **46** 1345

[18] Jiang C P, Li J H, Zhang H C, Lu S Y, Li P B, Wang C, Zhang Z K, Hou Z Y, Liu X, Feng J G, Zhang H, Jin H, Wang G F, Liu H X, Cao K H, Wang Z H, Zhao W S 2023 *J. Semicond.* **44** 122501

[19] Zink B R, Zhang D, Li H, Benally O J, Lv Y, Lyu D, Wang J P 2022 *Adv. Electron. Mater.* **8** 2200382

[20] Han G, Tran M, Sim C H, Wang J C, Eason K, Lim S T, Huang A 2015 *J. Appl. Phys.* **117** 17B515

[21] Zhu D, Zhao W 2020 *Phys. Rev. Appl.* **13** 044078

[22] Taniguchi T 2020 *Phys. Rev. B* **102** 104435

[23] Taniguchi T, Mitani S, Hayashi M 2015 *Phys. Rev. B* **92** 024428

[24] Isogami S, Shiokawa Y, Tsumita A, Komura E, Ishitani Y, Hamanaka K, Taniguchi T, Mitani S, Sasaki T, Hayashi M 2021 *Sci. Rep.* **11** 16676

[25] Shiokawa Y, Komura E, Ishitani Y, Tsumita A, Suda K, Hamanaka K, Taniguchi T, Sasaki T 2021 *Appl. Phys. Express* **14** 013001

[26] Carpenter R, Kim W, Sankaran K, Chroud M B, Monteiro M G, Swerts J, Kar G S, Couet S 2023 *IEEE Trans. Nanotechnol.* **22** 564

[27] Song J, Wang J P, Kim C H 2020 *IEEE International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 12–18, 2020 p41.6.1

[28] Lin H, Luo X, Liu L, Wang D, Zhao X F, Wang Z W, Xue X Y, Zhang F, Xing G Z 2022 *Micromachines* **13** 319

[29] Afuye O, Agwa S, Batten C, Apsel A 2021 *IEEE 51st European Solid-State Device Research Conference (ESSDERC)* Grenoble, France, September 13–22, 2021 p283

[30] Chang J, Chen Y H, Chan W M, et al. 2017 *IEEE International Solid-State Circuits Conference (ISSCC)* San Francisco, USA, February 5–9, 2017 p206

[31] Yoshimoto S, Terada M, Okumura S, Suzuki T, Miyano S, Kawaguchi H, Yoshimoto M 2011 *Symposium on VLSI Circuits—Digest of Technical Papers* Kyoto, Japan, June 15–17, 2011 p72

[32] Park J, Rowlands G E, Lee O J, Ralph D C, Buhrman R A 2014 *Appl. Phys. Lett.* **105** 102404

[33] Vansteenkiste A, Leliaert J, Dvornik M, Helsen M, Garcia-Sanchez F, Van Waeyenberge B 2014 *AIP Adv.* **4** 107133

[34] Garello K, Yasin F, Couet S, Souriau L, Swerts J, Rao S, Van Beek S, Kim W, Liu E, Kundu S, Tsvetanova D, Croes K, Jossart N, Grimaldi E, Baumgartner M, Crotti D, Fumémont A, Gambardella P, Kar G S 2018 *IEEE Symposium on VLSI Circuits* Honolulu, HI, USA, June 18–22, 2018 p81

[35] Garello K, Yasin F, Hody H, Couet S, Souriau L, Sharifi S H, Swerts J, Carpenter R, Rao S, Kim W, Wu J, Sethu K K V,

Pak M, Jossart N, Crotti D, Furnémont A, Kar G S 2019 *Symposium on VLSI Technology* Kyoto, Japan, June 9–14, 2019 pT194

[36] Gupta M, Perumkunnil M, Garello K, Rao S, Yasin F, Kar G S, Furnémont A 2020 *IEEE International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 12–18, 2020 p24.5.1

[37] Gupta M, Xiang Y, García-Redondo F, Cai K, Abdi D, Liu H H, Rao S, Hiblot G, Couet S, García-Bardon M, Hellings G 2023 *International Electron Devices Meeting (IEDM)*, San Francisco, CA, USA, December 9–13, 2023 p1

[38] Kajale S N, Nguyen T, Hung N T, Li M, Sarkar D 2024 *Sci. Adv.* **10** eadk8669

[39] Cui Y, Jeong J Y, Gao Y, Pyo S G 2019 *Micromachines* **11** 32

[40] Cecot M, Karwacki Ł, Skowroński W, Kanak J, Wrona J, Żywczak A, Yao L D, van Dijken S, Barnaś J, Stobiecki T 2017 *Sci. Rep.* **7** 968

[41] Sheng P, Sakuraba Y, Lau Y C, Takahashi S, Mitani S, Hayashi M 2017 *Sci. Adv.* **3** e1701503

[42] Bekiaris N, Wu Z Y, Ren H, Naik M, Park J H, Lee M, Ha T H, Hou W T, Bakke J R, Gage M, Wang Y, Tang J S 2017 *IEEE International Interconnect Technology Conference (IITC)* Hsinchu, Taiwan, China, May 16–18, 2017 p1

[43] Nguyen T V A, Naganuma H, Honjo H, Sato Y, Tanigawa T, Ikeda S, Endoh T 2025 *IEEE International Memory Workshop (IMW)* Monterey, CA, USA, May 18–21, 2025 p1

SPECIAL TOPIC — Applied magnetism • COVER ARTICLE

Influence of magnetic fields on the performance of spin-orbit torque magnetic random-access memory*

LIU Jiaxin ZHOU Yuqing SHI Guoyi CAI Kaiming †

(*School of Physics, Huazhong University of Science and Technology, Wuhan* 430074, *China*)

(Received 15 December 2025; revised manuscript received 22 January 2026)

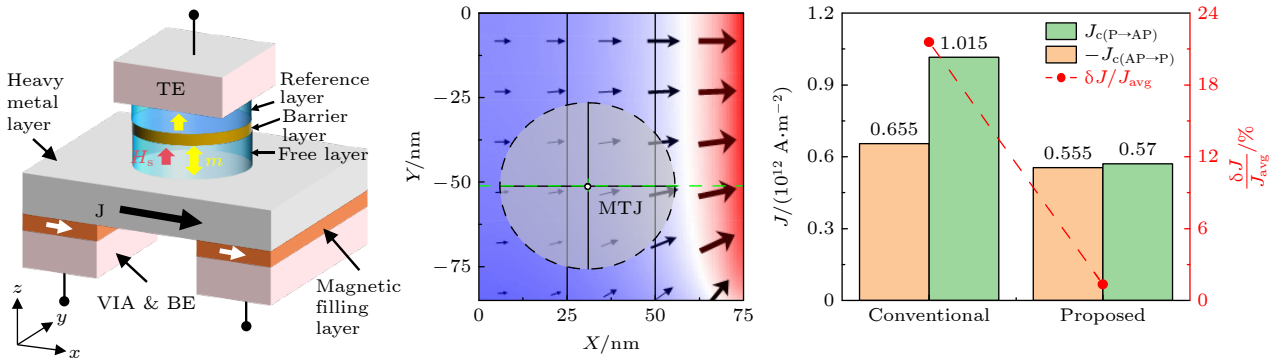
Abstract

Spin-orbit torque magnetic random-access memory (SOT-MRAM) possesses high speed, ultrahigh endurance and excellent compatibility with advanced semiconductor manufacturing processes, and is considered to be a promising non-volatile memory technology. However, the free layer in the magnetic tunnel junction (MTJ) is affected by an intrinsic bias field (H_s) originating from the stray field of reference layer and interlayer coupling associated with surface roughness. The bias field gives rise to a pronounced asymmetry in the critical current density for magnetization switching between the two resistance states, thereby increasing the overall energy consumption. Recent solutions typically introduce additional magnetic layers within the MTJ stack to compensate for H_s. However, such an approach increases manufacturing costs and limits their practicality in wafer-scale manufacturing. To address the issue of asymmetry, we propose a method that avoids modifying the original MTJ stack. The basic idea is to regulate the write current via local stray magnetic field engineering, which involves filling magnetic materials into designated vertical interconnect access (VIA) channels during the back-end-of-line (BEOL) process. Taking the well-studied perpendicular magnetic anisotropy (PMA) SOT-MTJ as an example, where the undesired H_s is typically oriented along the z-axis, micromagnetic simulations show that inserting an in-plane ferromagnetic layer can significantly reduce the write-current asymmetry and provide the auxiliary field for deterministic switching as well. Furthermore, by slightly shifting the MTJ away from its original centered position, the bias-compensation effect can be further optimized, reducing the write-current bias ratio from 21.6% in the conventional design to 1.3%. Notably, this approach implements field-free switching—a critical feature for SOT-MTJ applications targeting high integration density. The concept is also applicable for SOT-MTJs with in-plane magnetic anisotropy. Finally, the down-scaling analyses demonstrate excellent

* Project supported by the National Natural Science Foundation of China (Grant No. 12404133).

† Corresponding author. E-mail: kmcai@hust.edu.cn

compatibility: even when scaled at 20% of the original size (MTJ diameter ≈ 10 nm), the write-current bias ratio remains at a low level of 0.1%, indicating that our design is effective across MTJs and highly suitable for high-density integration with advanced technology nodes.



Keywords: spin-orbit torque, magnetic random-access memory, symmetric switching current, advanced technology node

DOI: 10.7498/aps.75.20251720 **CSTR:** 32037.14.aps.75.20251720

物理学报 Acta Physica Sinica

Chinese Physical Society

Institute of Physics, CAS

磁场对自旋-轨道矩磁性存储器性能影响

刘嘉新　周钰卿　石国懿　蔡凯明

Influence of magnetic fields on the performance of spin-orbit torque magnetic random-access memory

LIU Jiaxin　ZHOU Yuqing　SHI Guoyi　CAI Kaiming

引用信息 Citation: Acta Physica Sinica, 75, 060807 (2026)　DOI: 10.7498/aps.75.20251720
CSTR: 32037.14.aps.75.20251720
在线阅读 View online: https://doi.org/10.7498/aps.75.20251720
当期内容 View table of contents: http://wulixb.iphy.ac.cn

您可能感兴趣的其他文章

Articles you may be interested in

基于外尔半金属WTe_2的自旋-轨道矩驱动磁矩翻转

Magnetization switching driven by spin-orbit torque of Weyl semimetal WTe_2

物理学报. 2024, 73(1): 018501　https://doi.org/10.7498/aps.73.20231836

自旋轨道矩协助自旋转移矩驱动磁化强度翻转

The magnetization reversal driven by spin-orbit-assisted spin-transfer torque

物理学报. 2023, 72(8): 087202　https://doi.org/10.7498/aps.72.20222433

基于稀土金属Dy/Pt/$[Co/Pt]_3$磁性多层膜的自旋轨道矩

Investigation of spin-orbit torques in rare-earth Dy/Pt/$[Co/Pt]_3$ magnetic multilayers

物理学报. 2025, 74(13): 137203　https://doi.org/10.7498/aps.74.20250186

$SrRuO_3$薄膜中自旋轨道力矩效率和磁矩翻转的晶向调控

Crystal orientation regulation of spin-orbit torque efficiency and magnetization switching in $SrRuO_3$ thin films

物理学报. 2024, 73(11): 117701　https://doi.org/10.7498/aps.73.20240367

基于反铁磁的无外场辅助自旋轨道矩磁隧道结模型分析

Analysis of spin-orbit torque magnetic tunnel junction model without external magnetic field assistance based on antiferromagnetism

物理学报. 2023, 72(19): 198504　https://doi.org/10.7498/aps.72.20230901

基于二维磁性材料的自旋轨道力矩研究进展

Research progress of spin orbit torque of two-dimensional magnetic materials

物理学报. 2024, 73(1): 017502　https://doi.org/10.7498/aps.73.20231244