

硅晶圆上散热微通道的单片生长*

周新宇¹⁾²⁾ 韦文奇¹⁾ 明铭¹⁾ 刘方泽¹⁾²⁾ 张建军^{1)2)†}

1) (中国科学院物理研究所, 纳米物理与器件重点实验室, 北京 100190)

2) (中国科学院大学, 北京 14430)

(2026年2月13日收到; 2026年3月2日收到修改稿)

微通道散热技术以其体积小、散热效率高的特点, 成为应对芯片散热挑战的重要技术之一. 利用分子束外延生长技术, 本研究提出了一种硅晶圆上制备微通道的新方法: 在具有周期性脊状结构的图案化硅衬底上同质外延生长硅薄膜, 形成分立的微纳孔洞阵列, 再通过原位高温退火使其融合为增大尺寸的埋层微通道. 该方法结合图形化衬底的灵活性与外延生长的原子级精准制造, 实现了对微通道尺寸、分布及埋藏深度的可控调节. 本文系统研究了不同退火时间下微通道的演化过程, 结合有限元模拟分析了结构参数对其力学稳定性的影响, 并成功制备出宽度达 130 μm 的微通道结构.

关键词: 分子束外延, 微通道, 芯片散热**DOI:** 10.7498/aps.75.20260243**CSTR:** 32037.14.aps.75.20260243

1 引言

随着晶体管密度持续提升与三维集成技术的发展, 芯片功率密度呈指数增长, 其散热问题日趋严峻^[1]. 芯片过热会制约其性能表现, 严重时可能引发芯片的永久性损伤. 当芯片工作温度达到 70—80 $^{\circ}\text{C}$ 时, 温度每升高 1 $^{\circ}\text{C}$, 芯片的可靠性就会下降 5%, 并且芯片的故障率随温度升高呈指数增长^[2]. 芯片的热管理成为影响芯片性能进一步提高的关键因素. 当前主流散热技术包括空气冷却^[3]、热电冷却^[4-7]、浸没液体冷却^[8]、相变冷却^[9]、热管冷却^[10-12]、微通道冷却^[13]等. 其中, 微通道散热技术可有效降低界面热阻^[14]、散热效能突出, 被视为应对芯片散热挑战最具前景的方案之一.

微通道散热理念最早由 Tuckerman 和 Pease^[15] 于 1981 年提出, 他们通过向硅片中刻蚀的微通道中注入冷却水带走热量, 创下了热流密度 790 W/cm^2

的纪录值. 2020 年, van Erp 等^[16] 通过将微通道嵌入芯片有源区下方, 令冷却剂与热源紧密接触, 将散热效率大幅提升至 1700 W/cm^2 , 实现了性能的跨越. 芯片三维集成技术的发展增加了热管理的复杂性^[17], 针对其散热难题, Sekar 等^[18] 提出一种芯片间内嵌微流道散热方案. 该方案将微流道集成于芯片堆叠的键合界面, 以实现内部热源的高效冷却, 从而缓解三维集成带来的热积累问题.

微通道的传统制造工艺通常依赖于在基板上采用刻蚀^[19]、压印^[20]或激光加工^[21]等工艺制造出开放沟槽, 再通过键合盖板完成密封. 然而, 该键合界面不仅会引入附加热阻, 还可能因对位偏差或强度不足引发通道变形或流体泄漏. 为此, 本研究基于分子束外延技术, 在图案化 Si(001) 衬底上通过外延生长与高温退火的办法直接制备出埋层微通道. 该方法无需键合工艺, 所制备的微通道高度为 500 nm, 宽度可在数十纳米至 130 μm 范围内调控. 基于该一体化结构, 器件可直接集成于顶部

* 国家自然科学基金 (批准号: 62225407, 92565304) 和国家科技创新 2030-重大项目 (批准号: 2021ZD0302300) 资助的课题.

† 通信作者. E-mail: jjzhang@iphy.ac.cn

的外延层上,与下方通道结构仅百纳米间距,有望大幅度提升其散热性能。

2 实验方法

图 1(a)–(c) 为本实验中微通道制备的 3 个主要步骤: 1) 图形衬底制备; 2) 图形衬底上外延生长形成微纳孔洞阵列; 3) 高温退火使微纳孔洞融合扩大为连续微通道。具体实验过程如下。

首先通过包括电子束曝光、等离子体刻蚀等在内的微纳加工技术在 Si(001) 衬底上制备出沿 [110] 方向排列的周期性脊状结构。图 1(d) 展示了扫描电子显微镜 (SEM) 表征的图形衬底截面图, 其中脊状结构的宽度为 100 nm、周期为 200 nm、刻蚀深度为 1 μm 。图形衬底的几何尺寸对后续微纳孔洞的形成以及孔洞融合形成微通道的过程有直接影响。脊状结构的宽度减小, 形成孔洞的间隔也随之减小, 孔洞的融合更加容易, 但是脊状结构的宽度过小会增大在后续工艺中遭到破坏的风险。适当增大刻蚀沟槽的宽度将增大孔洞的体积, 在高温退火过程中孔洞的横向扩展距离将增大, 同样有利于孔洞融合, 但是沟槽的宽度过大将会增大外延生长形成连续薄膜的难度。因此在图形衬底制备过程中, 需设置合适的脊状结构宽度与周期参数。本文在保证结构稳定性和外延可行性的前提下, 选择了上述的图形衬底尺寸。

图形衬底制备完成后, 依次使用丙酮、异丙醇和 RCA 标准清洗工艺进行清洗以去除表面污染物; 随后采用 5% 氢氟酸溶液 (HF) 漂洗, 去除衬底表面的自然氧化层并形成氢钝化表面。在经进样室预烘烤以脱除样品表面吸附水气后, 将样品传入 MBE 生长腔内进行外延生长。生长过程如下: 将衬底温度先后升至 400 $^{\circ}\text{C}$ 与 700 $^{\circ}\text{C}$ 各保持 15 min, 进行除气与脱氢处理; 随后将温度稳定在 400 $^{\circ}\text{C}$, 以 1 $\text{\AA}/\text{s}$ 的速率沉积 50 nm 硅缓冲层以修复微纳加工引入的缺陷; 最后升温至 550 $^{\circ}\text{C}$, 保持相同生长速率沉积 400 nm 硅层以获得如图 1(b) 所示的薄膜结构, 图 1(e) 展示了 SEM 表征的外延生长后薄膜结构的截面图, 在外延层的下方已经形成了微纳孔洞的阵列。外延生长结束后, 将衬底温度升至 750 $^{\circ}\text{C}$ 以上, 在生长腔内原位对样品进行高温退火, 最后得到如图 1(c) 所示的通道结构。图 1(f) 展示了在 750 $^{\circ}\text{C}$ 退火 90 min 后 SEM 表征的结构截面图, 表征结果显示在经过高温退火后薄膜下方已经形成了连通的大通道结构。

3 实验结果及分析

纳米尺寸的孔洞不利于流体的快速流动和散热。本文研究了微纳孔洞的形成及其融合成后扩大成微通道的演化过程。如图 2(a) 所示, 在具有周期性脊状结构的 Si(001) 图形衬底上进行外延生长

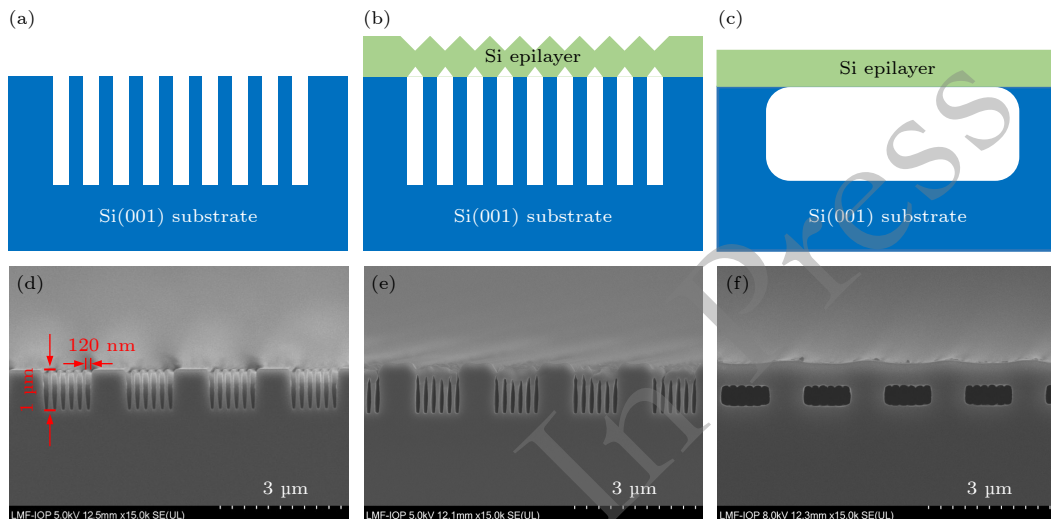


图 1 (a) 图形衬底; (b) 图形衬底上外延生长结构; (c) 高温退火形成的微通道; (d) 图形衬底 SEM 图像; (e) 图形衬底上外延生长结构的 SEM 图像; (f) 微通道结构 SEM 图像

Fig. 1. (a) Schematic of patterned substrate; (b) schematic structure after growth on patterned substrate; (c) microchannel formed after high-temperature annealing; (d) SEM image of patterned substrate; (e) SEM image of the structure after Si homo-epitaxial growth on patterned substrate; (f) SEM image of microchannel.

时, [110] 方向排列的脊顶部会形成由两个{111}面组成的锯齿状结构. 由于 [111] 方向具有更低的表面能, 随着外延层厚度增大, 两侧的 (111) 面迅速扩展, 最终相邻的脊结构相互连接, 形成连续的硅薄膜. 该薄膜上表面保留锯齿状起伏, 其下方则形成一系列孤立孔洞^[22]. 图 2(b)—(d) 分别为该薄膜结构在 750 °C 下退火 30 min, 60 min 和 90 min 后的截面 SEM 图像. 在退火过程中, 薄膜下方的孔洞形状逐渐由不规则向椭圆形演变, 同时表面锯齿结构趋于平整. 随着退火时间延长, 在表面能最小化的驱动下, 孔洞进一步向圆形演变, 相邻孔洞间距逐渐缩短, 最终相互连通形成连续的通道结构. 通道的最终宽度取决于图形衬底上脊状结构数量和几何参数, 通过调节这些初始设计因素, 可实现通道宽度的可控调节. 此外, 退火前后结构的几何尺寸也发生了显著变化. 退火前, 孔洞上方外延层厚度约为 450 nm, 孔洞高度约 1 μm. 经高温退火形成微通道后, 通道上方硅层厚度增加至约 600 nm, 通道高度降低至约 500 nm. 这一变化主要是在降低表面能的驱动下, 高温退火使微孔侧壁原子扩散至顶部和底部所致.

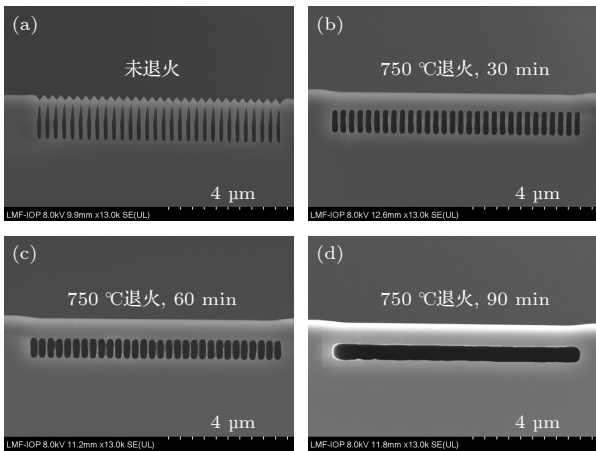


图 2 高温退火下微纳孔洞的演化 (a) 未退火; (b) 750 °C 退火 30 min; (c) 750 °C 退火 60 min; (d) 750 °C 退火 90 min
Fig. 2. Evolution of microchannel after annealing: (a) Not annealed; (b) annealed at 750 °C for 30 min; (c) annealed at 750 °C for 60 min; (d) annealed at 750 °C for 90 min.

根据 Mullins 表面扩散理论, 固体表面原子会在曲率梯度驱动下沿表面扩散, 使系统总表面能自发降低, 最终趋于热力学稳定状态. Mullins 方程的一般形式以界面法向速度表示为^[23]

$$v_n = -\frac{D_s \gamma \Omega^2 v}{k_B T} \nabla_s^2 \kappa, \quad (1)$$

式中 v_n 为表面法向速率, D_s 为表面扩散系数, γ 为表面能, Ω 为原子体积, v 为表面原子面密度, k_B 为玻尔兹曼常数, T 为绝对温度, κ 为表面平均曲率.

为验证该理论对本实验的适用性, 对比了不同退火温度下微纳孔洞阵列演化至同一阶段所需时间. 实验结果显示, 750 °C 退火 90 min 与 800 °C 退火 20 min 均可实现微纳孔洞阵列向微通道的演化. 根据 Mullins 方程, 同一微观结构下在不同温度下演化至相同形貌所需时间之比满足:

$$\frac{t_2}{t_1} = \frac{T_2 D_{s1}}{T_1 D_{s2}}. \quad (2)$$

根据 Doi 等^[24]得到的 Si(001) 面表面扩散系数实验结果, 在 750 °C 和 800 °C 的 Si(001) 面的表面扩散系数分别为 8.6×10^{-11} cm²/s 和 3.6×10^{-10} cm²/s, 代入 (2) 式得到 800 °C 和 750 °C 微孔阵列演化至微通道所需的时间之比为 0.25, 实验观测到的 800 °C 和 750 °C 微孔阵列演化至微通道所需的时间之比为 0.22, 实验观测值与理论值接近. 这一结果表明微纳孔洞融合为微通道这一过程为表面扩散主导的自发演化行为.

此外, 我们对孔洞融合前后的表面能变化进行估算. 将退火前的微纳孔洞截面简化为由倾斜顶面、垂直侧壁和水平底面组成的复合图形, 退火后的微通道截面近似为矩形. 在各向同性表面能假设下, 根据退火前后孔洞表面积变化, 计算得到融合过程使系统表面能降低了约 80%. 这一显著的能量释放是实现孔洞自发融合并形成连续微通道的驱动力.

由于微纳孔洞的演化是在超高真空环境下进行的. 当样品从生长腔室转移至外界的过程中, 通道的内外可能会产生最高约一个大气压的压强差. 该压强差会在通道中引入机械应力, 若应力最大值大于硅材料的断裂强度, 则会导致通道塌陷^[25]. 本研究使用有限元方法模拟了上述压差条件下微通道内部的应力分布, 分析了通道高度、宽度及间距对应力最大值的影响. 图 3(a)—(c) 分别展示了通道高度、间距和宽度在 1—200 μm 变化时, 通道内最大应力的模拟结果. 研究发现, 通道宽度对应力峰值的影响最为显著: 随着宽度增大, 通道内最大应力急剧上升, 表明通道宽度是决定其机械稳定性的关键参数. 基于上述分析, 实验中成功制备出宽度达 130 μm 的微通道, 其 SEM 截面如图 4 所示, 验证了该工艺制备宽通道的可行性.

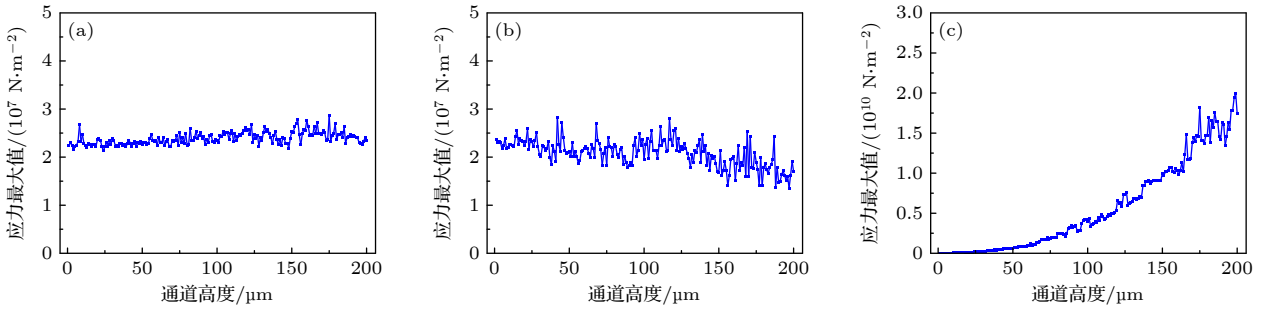


图 3 (a) 微通道中应力最大值随通道高度变化图; (b) 微通道中应力最大值随通道间距变化图; (c) 微通道中应力最大值随通道宽度变化图

Fig. 3. (a) Variation of maximum stress in microchannel with channel height; (b) variation of maximum stress in microchannel with channel spacing; (c) variation of maximum stress in microchannel with channel width.

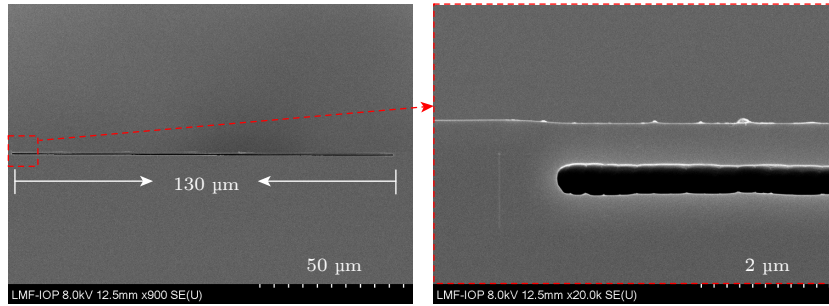


图 4 高度为 500 nm, 宽度为 130 μm 的微通道 SEM 图像

Fig. 4. SEM image of microchannel with a height of 500 nm and a width of 130 μm.

4 结论和展望

本文报道了一种在 Si(001) 图形衬底上利用分子束外延生长与原位退火构筑微通道的新方法. 该方法通过调控图形衬底尺寸与外延层厚度, 可精确控制微通道的几何尺寸及其与上方器件区的距离. 有限元仿真结果显示, 通道宽度为影响通道稳定性的重要因素, 实验上制造出了高度为 500 nm, 宽度最宽可达 130 μm 的通道结构, 验证了该工艺制备宽通道的可行性. 该方法避免了传统键合工艺带来的对位与密封问题, 同时可将电子器件与微通道的距离控制在几百纳米以内, 能够有效缩短散热路径, 为微通道与电子器件的单片集成提供了新思路.

本文中图形衬底制备与成熟的半导体制造工艺兼容, 通过改进图形衬底制备工艺, 采用如深紫外光刻与电感耦合等离子体刻蚀等适用于大面积周期性微纳结构制造的技术组合, 本工艺具备从实验室原理验证向晶圆级大面积制备拓展的可行性.

参考文献

- [1] Abo-Zahhad E M, Hachicha A A, Said Z, Ghenai C, Ookawara S 2022 *Energy Convers. Manage.* **268** 115975
- [2] Anandan S S, Ramalingam V 2008 *Therm. Sci.* **12** 5
- [3] Khalaj A H, Halgamuge S K 2017 *Appl. Energy* **205** 1165
- [4] Lin X H, Mo S P, Jia L S, Yang Z, Chen Y, Cheng Z D 2019 *Appl. Energy* **242** 232
- [5] Meng Y, Zhang Z Y, Wu H X, Wu R Y, Wu J H, Wang H L, Pei Q B 2020 *Nat. Energy* **5** 996
- [6] Ma R J, Zhang Z Y, Tong K, Huber D, Kornbluh R, Ju Y S, Pei Q B 2017 *Science* **357** 1130
- [7] Cui H, Zhang Q, Bo Y W, Bai P J, Wang M Y, Zhang C Y, Qian X S, Ma R J 2022 *Joule* **6** 258
- [8] Zhang C B, Wang H J, Huang Y P, Zhang L L, Chen Y P 2025 *Renew. Sust. Energy Rev.* **208** 114989
- [9] Yuan X L, Zhou X T, Pan Y Q, Kosonen R, Cai H, Gao Y, Wang Y 2021 *Energy Build.* **236** 110764
- [10] Wang X L, Yang J X, Wen Q W, Shittu S, Liu G M, Qiu Z N, Zhao X D, Wang Z Y 2022 *Appl. Energy* **322** 119451
- [11] Xin F, Ma T, Wang Q W 2018 *Appl. Energy* **228** 2129
- [12] Zhou G H, Li J, Jia Z Z 2019 *Appl. Energy* **239** 859
- [13] Shao L L, Yang L, Zhang C L 2010 *Appl. Energy* **87** 1187
- [14] Zhang L Y, Xu J L, Lei J P 2019 *Acta Phys. Sin.* **68** 020201 (in Chinese) [张龙艳, 徐进良, 雷俊鹏 2019 物理学报 **68** 020201]
- [15] Tuckerman D B, Pease R F W 1981 *IEEE Electron Device Lett.* **2** 126
- [16] van Erp R, Soleimanzadeh R, Nela L, Kampitsis G, Matioli E 2020 *Nature* **585** 211
- [17] Zhu Z M, Zuo P, Yang Y T 2011 *Acta Phys. Sin.* **60** 118001

- (in Chinese) [朱樟明, 左平, 杨银堂 2011 物理学报 **60** 118001]
- [18] Sekar D, King C, Dang B, Spencer T, Thacker H, Joseph P, Meindl J 2008 *International Interconnect Technology Conference* Burlingame, June 1–4, 2008 p13
- [19] Maselli V, Osellame R, Cerullo G, Ramponi R, Laporta P, Magagnin L, Cavallotti P L 2006 *Appl. Phys. Lett.* **88** 191107
- [20] Martynova L, Locascio L E, Gaitan M, Kramer G W, Christensen R G, MacCrehan W A 1997 *Anal. Chem.* **69** 4783
- [21] Khan Malek CG 2006 *Anal. Bioanal. Chem.* **385** 1362
- [22] Wei W Q, Wang J H, Zhang B, Zhang J Y, Wang H L, Feng Q, Xu H X, Wang T, Zhang J J 2018 *Appl. Phys. Lett.* **113** 053107
- [23] Mullins W W 1957 *J. Appl. Phys.* **28** 333
- [24] Doi T, Ichikawa M, Shigeyuki Hosoki S H, Ken Ninomiya K N 1996 *Jpn. J. Appl. Phys.* **35** 2770
- [25] Hu S M 1982 *J. Appl. Phys.* **53** 3576

Monolithic formation of heat dissipation microchannel on silicon wafer via epitaxial growth*

ZHOU Xinyu¹⁾²⁾ WEI Wenqi¹⁾ MING Ming¹⁾
LIU Fangze¹⁾²⁾ ZHANG Jianjun^{1)2)†}

1) (*Key Laboratory of Nanophysics and Device, Institute of Physics, Chinese Academy of Sciences, Beijing 100190, China*)

2) (*University of Chinese Academy of Sciences, Beijing 100049, China*)

(Received 13 February 2026; revised manuscript received 2 March 2026)

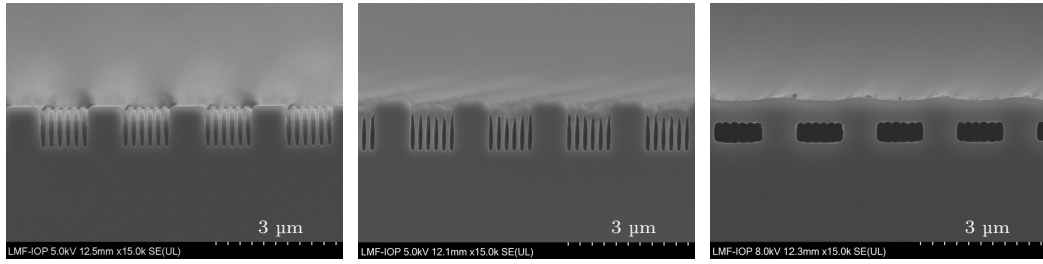
Abstract

As power density continues to rise in modern integrated circuits, efficient thermal management has become a critical challenge. Microchannel heat sinks offer a promising solution due to their compact structure and high heat dissipation capability. Among various substrate materials, silicon is considered an ideal candidate for constructing embedded microchannels due to its excellent material properties and superior compatibility with standard integrated circuit manufacturing processes. This study presents a novel approach for fabricating embedded microchannels on Si(001) substrates using molecular beam epitaxy and in-situ high-temperature annealing. A patterned silicon substrate with periodic ridge structures was first fabricated on a Si(001) wafer using electron-beam lithography, reactive ion etching, and inductively coupled plasma etching. Subsequently, a silicon homoepitaxial film was grown on this patterned substrate via molecular beam epitaxy, forming an array of isolated micro-nano pores. These pores were then transformed into enlarged, buried microchannels through in-situ high-temperature annealing. This approach combines the design flexibility of patterned substrates with the atomic-level precision of epitaxial growth, enabling controllable adjustment of microchannel dimensions, distribution, and burial depth. The dynamic process of pore coalescence into continuous microchannels was analyzed through systematic observation of the morphological evolution during annealing. Finite element analysis was employed to investigate the influence of channel geometric parameters on internal stress distribution and to identify the key factors affecting structural stability. Simulation results indicate that the channel width is the most critical parameter determining its mechanical stability. Guided by these simulation insights, microchannel structures with a width of up to 130 μm were successfully fabricated experimentally, validating the feasibility of this process for producing wide microchannels. This bonding-free method reduces the separation between the microchannels and overlying electronic devices to several hundred nanometers, offering a new pathway for the fabrication of integrated microchannel heat sinks.

Keywords: molecular beam epitaxy, microchannel, chip cooling

* Project supported by the National Natural Science Foundation of China (Grant Nos. 62225407, 92565304) and the National Science and Technology Innovation-Major Program (Grant No. 2021ZD0302300).

† Corresponding author. E-mail: jjzhang@iphy.ac.cn



DOI: [10.7498/aps.75.20260243](https://doi.org/10.7498/aps.75.20260243)

CSTR: [32037.14.aps.75.20260243](https://cstr.cn/32037.14.aps.75.20260243)

In Press