

专题: 半导体物理与器件

二次外延异质结构介导的倾斜沟道 GaN 基 p 型晶体管制备与特性*

杨颀¹⁾²⁾ 黄森^{1)2)†} 付星宇³⁾ 郭富强³⁾ 姚毅旭¹⁾²⁾ 邓可心¹⁾²⁾
刘剑飞¹⁾²⁾ 王鑫华¹⁾²⁾ 高新国¹⁾²⁾ 魏珂¹⁾²⁾
刘新宇¹⁾²⁾ 杨学林³⁾ 沈波³⁾

1) (中国科学院微电子研究所, 高频高压中心, 北京 100029)

2) (中国科学院大学, 北京 100049)

3) (北京大学物理学院, 北京 100871)

(2026 年 3 月 9 日收到; 2026 年 4 月 14 日收到修改稿)

氮化镓 (GaN) 基 p 型场效应晶体管 (p-FETs) 是实现高性能 GaN 集成电路的关键器件, 但国内外报道的器件通常依赖栅下 p-GaN 层刻蚀来获得较高的开关电流比, 由此引发的界面和表面损伤会导致阈值电压回滞并恶化亚阈值摆幅. 本文提出一种栅区位于半极性面的 GaN 基 p-FETs, 该结构无需刻蚀栅下 p-GaN 层, 通过在极化强度较低的半极性晶面上形成栅下沟道, 有效削弱极化诱导的背景空穴积累并增强栅控能力, 从而在工作电压范围内实现对栅下空穴沟道的完全关断. 该器件具有 4.3×10^6 的开关电流比、157 mV/dec 的亚阈值摆幅和 0.2 V 的阈值电压回滞幅度; 其介质层/沟道层界面的界面态密度低至 $1.61 \times 10^{12} \text{ cm}^{-2}/\text{eV}$. 栅压应力和变温测试结果表明, 无刻蚀损伤的栅下斜沟道结构能够同时改善 GaN 基 p-FETs 的开关特性与稳定性, 为单片 GaN 基互补逻辑器件提供了可行的结构方案.

关键词: GaN, p 型场效应晶体管, 二次外延, 异质结构, 斜沟道

DOI: 10.7498/aps.75.20260336

CSTR: 32037.14.aps.75.20260336

1 引言

全氮化镓 (GaN) 功率集成是下一代高效功率系统的核心发展方向^[1,2]. 当前 GaN 功率体系以 n 型高电子迁移率晶体管 (high electron mobility transistor, HEMT) 为核心, 缺乏高稳定性 p-FETs (p-type field effect transistors), 无法实现单片互补集成, 只能依赖外接 Si 器件, 严重限制系统集成度、开关速度与能效. 高性能 GaN 基 p-FETs 是突破该瓶颈的核心, 可实现驱动与功率管单片集成^[3,4],

大幅缩减寄生参数, 提升功率密度与长期可靠性, 满足 AI 高密度供电等场景的严苛需求. 然而, 由于 p 型 GaN 中的受主电离率较低^[5], p-FETs 主要是通过利用极化诱导的 p-GaN/AlGaN 界面的二维空穴气 (two dimensional hole gas, 2DHG) 以实现载流子浓度的提升^[6-8]. 2DHG 的引入虽然显著减小了导通电阻, 但也导致在 p-FETs 栅源电压 V_{GS} 的工作范围内 (通常为 -12 — 5 V), 无法完全关断栅下的 2DHG 沟道. 因此, 即便施加足够正的栅源电压 ($V_{GS} = 6 \text{ V}$), p-FETs 的开关电流比仍然较差 ($\sim 10^2$)^[9,10].

* 国家科技重大专项 (批准号: 2024ZD06050XX)、国家自然科学基金 (批准号: 62334012, 62304252, 62504246, 62534001)、中国科学院-裘槎基金 (批准号: CAS22801) 和微电子器件与集成电路联合实验室 (批准号: JLFS/E-601/24) 资助的课题.

† 通信作者. E-mail: huangsen@ime.ac.cn

提升 GaN 基 p-FETs 开关电流比的常见方法是采用凹槽栅结构, 即通过干法刻蚀去除栅极下方的部分 p-GaN 层, 使栅下的耗尽区向 p-GaN/AlGa_{0.7}N 界面处空穴沟道的扩展^[1], 实现在栅源电压 V_{GS} 的工作范围内栅下空穴沟道的夹断. 基于此方法, Chowdhury 等^[11] 成功制备出开关电流比达到 10^5 的 p-FETs. 然而, 干法刻蚀过程中的离子轰击可能会对栅极区域和 p-GaN 沟道造成损伤, 并在介质层/沟道层界面引入界面态^[12], 进而导致亚阈值摆幅 (SS) 恶化以及阈值电压回滞等问题. 为了解决刻蚀工艺带来的不利影响, Li 等^[13] 采用刻蚀后 NMP 溶液湿法处理的方法修复刻蚀损伤, 实现了 6×10^5 的高开关电流比, 并将阈值电压回滞幅度由 2 V 减小至 1.1 V. Zheng 等^[14] 展示了一种刻蚀后氧等离子体处理 (OPT) 的方法, 将关态泄漏电流抑制至约 10^{-7} mA/mm, 并将亚阈值摆幅降低至 230 mV/dec. 此外, Yang 等^[15] 通过低功率氢等离子体处理工艺 (HPT), 对栅极区域的 p-GaN 进行了部分钝化, 实现了无需刻蚀栅下 p-GaN 层的 GaN 基 p-FETs. 该器件具有 10^7 的高开关电流比和 123.0 mV/dec 的亚阈值摆幅. 上述方法均需要对栅下 p-GaN 沟道层进行额外的工艺处理, 在阈值电压回滞幅度、亚阈值摆幅和开关特性上仍有较大的改进空间.

本文创新性地提出了一种倾斜沟道 GaN 基 p-FETs 器件结构. 该结构利用位于 c 面和 m 面之间的半极性面 p-GaN/AlGa_{0.7}N 异质结具有较低界面极化电荷面密度的特点, 削弱极化诱导的受主杂质电离效应, 从而使得栅下 p-GaN 层中的空穴沟道在栅源电压 V_{GS} 的工作范围内能够被夹断, 进而实现良好的开关特性. 采用 i-GaN/AlGa_{0.7}N/p-GaN

异质结二次外延技术制备的该结构器件表现出较小的亚阈值摆幅 ($SS = 157$ mV/dec). 器件具有较小的阈值电压回滞幅度 ($\Delta V_{TH} = 0.2$ V), 且在栅压应力及变温测试条件下 ΔV_{TH} 均小于 0.3 V. 相较于国内外报道的 GaN 基 p-FETs, 该器件结构的栅下沟道层未经过刻蚀等易引入损伤的工艺步骤, 有效降低了介质层/沟道层界面的界面态密度 ($D_{it} \approx 1.61 \times 10^{12}$ cm⁻²·eV⁻¹), 因此具有良好的栅控能力和稳定性. 本工作为实现具有良好开关特性的 GaN 基 p-FETs 提供了新的可行思路, 对高性能、高稳定性 GaN 基 p-FETs 的设计与制备具有重要参考价值.

2 斜沟道 GaN 基 p-FETs 的结构和制备工艺流程

本文制备的斜沟道 GaN 基 p-FETs 的横截面示意图见图 1(a). 该器件采用极性面与半极性面的混合结构设计: 在器件的源极接入区、漏极接入区采用 c 面 p-GaN/AlGa_{0.7}N 异质结, 充分利用极化诱导的高浓度 2DHG 以减小导通电阻; 在栅电极下方的沟道区域主要为半极性面 (位于 c 面与 m 面之间) 的 p-GaN/AlGa_{0.7}N 异质结, 该半极性面与 c 面的夹角为 θ ^[16].

器件制备于 Si 衬底 GaN 外延平台上. 图 1(b) 展示了相应的工艺流程. 首先, 采用氯基电感耦合等离子体 (ICP) 刻蚀工艺刻蚀出台阶高度为 H 的凹槽作为制备斜沟道 p-FETs 的容器. 随后进行二次外延生长, 依次沉积 100 nm i-GaN 层、15 nm Al_{0.3}Ga_{0.7}N 势垒层和 40 nm p-GaN 沟道层, p-GaN 沟道层的 Mg 掺杂浓度为 3×10^{19} cm⁻³. 文献^[17]

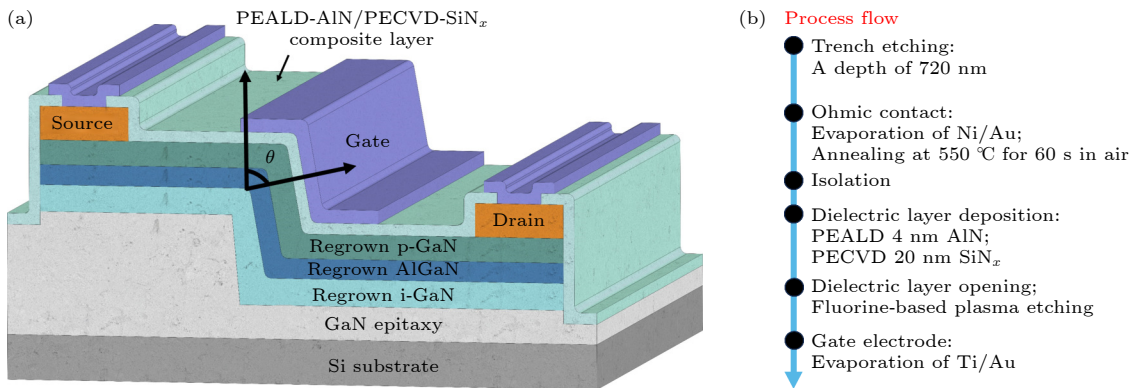


图 1 (a) 倾斜沟道 p-FETs 的三维结构示意图; (b) 主要工艺流程

Fig. 1. (a) Three-dimensional structure of the slanted-channel p-FETs; (b) main process flow.

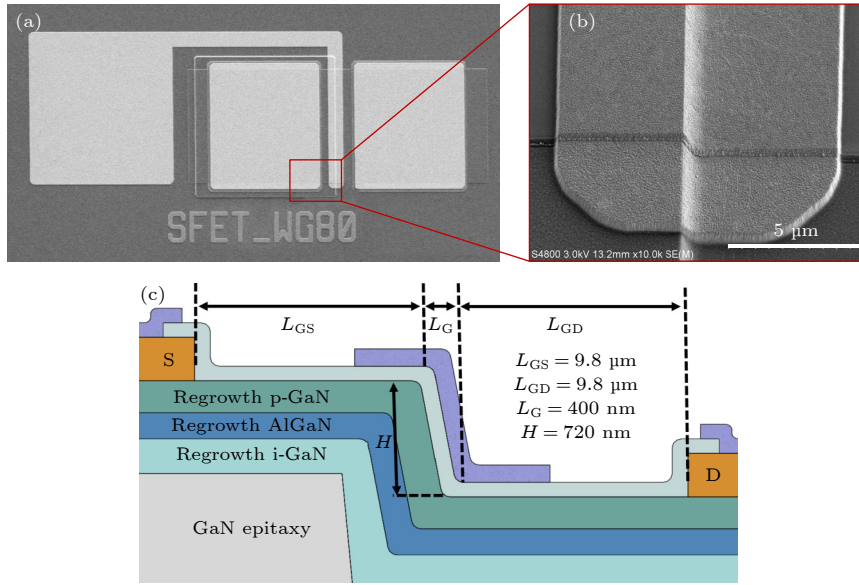


图 2 (a) 斜沟道 GaN 基 p-FET 的 SEM 图像; (b) 栅极区域放大 SEM 图像; (c) 制备的斜沟道器件关键尺寸示意图及详细参数
 Fig. 2. (a) SEM image of the slanted-channel GaN p-FET; (b) SEM image showing a magnified view of the gate region; (c) schematic diagram of key dimensions and detailed parameters of the fabricated p-FETs.

结果表明, i-GaN 插入层的引入能够显著抑制二次外延界面处的缺陷对沟道层中载流子的散射作用. 二次外延后的样品在电子束蒸发设备中沉积 Ni/Au 金属, 剥离后在空气氛围中经 550 °C 快速热退火处理 1 min 形成欧姆接触^[18]. 然后采用 ICP 刻蚀工艺实现器件隔离, 刻蚀深度约为 300 nm. 斜沟道 p-FETs 采用叠层栅介质工艺, 即先用等离子体增强原子层沉积技术 (PEALD) 淀积 4 nm AlN 层, 再用等离子体增强化学气相沉积方法 (PECVD) 沉积 20 nm SiN_x 层. 高质量的 AlN/SiN_x 栅介质叠层能够有效改善界面质量, 降低界面态密度, 从而提升器件的阈值电压稳定性^[19]. 之后以光刻胶为掩膜, 采用氟基 ICP 刻蚀实现源漏欧姆金属上方的介质层开孔. 最后采用电子束蒸发 Ti/Au 工艺制备栅极金属.

图 2(a), (b) 为所制备斜沟道 p-FET 的扫描电子显微镜 (scanning electron microscope, SEM) 图像. 器件的关键尺寸示意图和测量值见图 2(c), 栅长 (倾斜沟道在平面上的投影长度) $L_G = 400 \text{ nm}$, 栅源间距 $L_{GS} = 9.8 \mu\text{m}$, 栅漏间距 $L_{GD} = 9.8 \mu\text{m}$, 栅宽 $W_G = 80 \mu\text{m}$. 沟道倾斜角度 θ 可以由栅长 L_G 和凹槽深度 H 计算得到:

$$\theta = \tan^{-1} \frac{H}{L_G}. \quad (1)$$

制备的斜沟道 p-FETs 的 $L_G = 400 \text{ nm}$, 凹槽深度 $H = 720 \text{ nm}$, 因此沟道倾斜角度 $\theta \approx 60^\circ$.

3 结果与讨论

图 3 展示了二次外延 p-GaN/AlGaIn 异质结的 p 型欧姆接触特性. 基于 TLM 的测试结果, 二次外延 p-GaN/AlGaIn 异质结的 R_c 为 36.7 Ω·mm, R_{sh} 为 50.4 kΩ/sq, 相较于目前采用较为先进的原位外延工艺制备的 p-GaN/AlGaIn 异质结^[19], 通过二次外延工艺制备的 p 型欧姆接触特性仍有较大的提升空间. 这主要归因于两方面: 一方面, 二次外延 p-GaN 层在外延过程中受到 Si, O 等施主杂质的补偿效应, 导致其 p 型掺杂效率不足^[20]; 另一方面, 二次外延形成的 p-GaN/AlGaIn 异质结在晶体质量上仍有待进一步改善^[21].

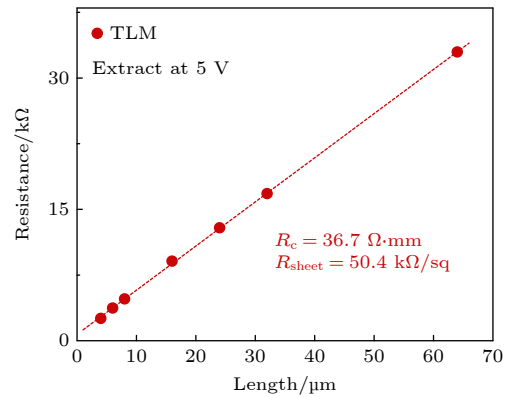


图 3 基于 TLM 测试数据的线性拟合曲线

Fig. 3. Linear fitting curves extracted from the TLM measurement data.

采用 Agilent 4200 半导体参数分析仪及三探针配置对斜沟道 p-FET 的转移特性进行电学表征分析. 测试中源电极接地, 施加漏源电压 $V_{DS} = -1$ V, 栅源电压 V_{GS} 以 0.1 V 步长首先从 5 V 扫描至 -12 V, 然后回扫至 5 V. 图 4(a) 为半对数坐标下斜沟道 p-FET 的双向扫描 DC 转移特性曲线. 本文定义阈值电压 V_{TH} 为漏极电流 I_D 达到 10^{-5} mA/mm 时所对应的栅源电压 V_{GS} , 提取出斜沟道 p-FET 的 V_{TH} 为 2.5 V. 器件展现出优异的开关性能, 开关电流比超过 10^6 , 亚阈值摆幅 SS 为 157 mV/dec. 测试结果验证了斜沟道 p-FETs 在器件结构与工艺制备上的可行性.

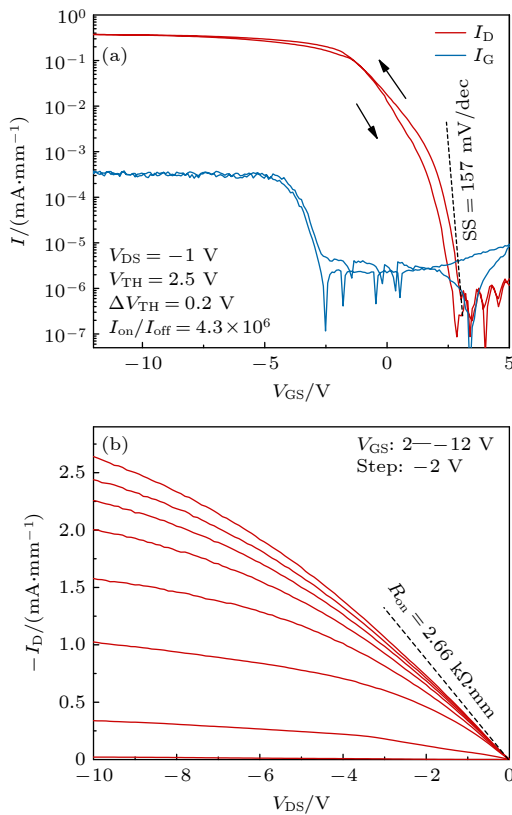


图 4 (a) 直流转移特性曲线; (b) 直流输出特性曲线
Fig. 4. (a) DC I - V transfer curve; (b) DC I - V output curves.

图 4(b) 展示了斜沟道 p-FET 的输出特性. 在 $V_{GS} = -12$ V 时, 斜沟道 p-FET 的导通电阻 $R_{on} = 2.66$ k Ω ·mm, 最大输出电流 $I_{D, max} = 2.6$ mA/mm. 在 V_{GS} 的负向扫描的过程中, 栅区沟道的空穴浓度逐渐增加, 栅区沟道电阻逐渐降低, 使得源漏欧姆接触电阻、源极接入区电阻 (即栅区和源极之间的 2DHG 串联电阻)、漏极接入区电阻 (即栅区和漏极之间的 2DHG 串联电阻) 在导通电阻中所占

的比重上升. 因此, 随着栅极过驱动电压的增大, 其对输出电流的提升作用逐渐减弱, 导致漏极电流 I_D 呈现阶梯式上升且增幅逐级减小. 通过增加重掺杂的 p^{++} -GaN 帽层^[22]、提高势垒层中的 Al 组分^[23]以及减小器件尺寸^[5]等方法, 器件的 $I_{D, max}$ 及导通电阻有望得到进一步的优化.

斜沟道 p-FETs 良好开关特性 ($I_{on}/I_{off} > 10^5$) 的实现, 源于其栅区位于半极性面的结构特点. 根据 (Al)GaN 材料极化效应的各向异性模型, 半极性面相较于极性 c 面具有较低的极化强度, 因此半极性面 p-GaN/AlGaN 异质结的界面极化电荷面密度更低. 为说明界面极化电荷面密度 σ_b 随沟道倾斜角度 θ (即半极性面与 c 面夹角) 的变化关系, 本文基于 (Al)GaN 材料极化效应的各向异性模型对其进行数值计算. 考虑半极性面的倾斜角度 θ 后, (Al)GaN 材料的自发极化强度 P_{SP} 和压电极化强度 P_{PZ} 的表达式如下^[24]:

$$P_{PZ} = P_x \sin\theta + P_z \cos\theta, \quad (2)$$

$$P_{SP} = P_{SP}^{(0001)} \cos\theta, \quad (3)$$

式中 $P_x = 2d_{15}c_{44}\varepsilon_{xz}$, $P_y = [d_{31}(c_{11} + c_{12}) + d_{33}c_{13}] \times (\varepsilon_{xx} + \varepsilon_{yy}) + (2d_{31}c_{13} + d_{33}c_{33})\varepsilon_{zz}$, d_{15} , d_{31} , d_{33} 为压电常数, c_{44} , c_{11} , c_{13} , c_{33} 为弹性刚度常数, ε_{xz} , ε_{xx} , ε_{yy} , ε_{zz} 为应变张量. (Al)GaN 中的自发极化源于其纤锌矿结构的非中心对称性, 而压电极化则由晶格应力所引起. 本研究中的 p-GaN/AlGaN 异质结外延生长于 Si 基 GaN 衬底之上, 因此 p-GaN 层内仅存在自发极化效应, AlGaN 层内则同时存在自发极化效应和压电极化效应. p-GaN/AlGaN 界面的极化电荷面密度 σ_b 可由如下公式得出:

$$\sigma_b = \frac{P_{SP(p-GaN)} - (P_{SP(AlGaN)} + P_{PZ(AlGaN)})}{q}. \quad (4)$$

图 5 为基于极化各向异性模型计算得到的界面负电荷面密度 $|\sigma_b|$ 随 θ 的变化关系. 在 $\theta = 0^\circ$ 时 (此时 p-GaN/AlGaN 异质结位于极化效应最强的 c 面), p-GaN/AlGaN 异质结界面负电荷面密度最高 (1.74×10^{13} cm $^{-2}$); 当 θ 增大到 60° 时 (此时 p-GaN/AlGaN 异质结位于半极性面), 该值降至 4.2×10^{12} cm $^{-2}$. 随着倾斜角度的进一步增大, 界面负电荷面密度持续减小, 至 $\theta = 90^\circ$ 时趋近于零 (此时 p-GaN/AlGaN 异质结位于非极性 m 面). 界面极化电荷面密度降低能够减弱栅下 p-GaN 层中的内建电场强度, 导致受主杂质电离程度下降. 这一变

化有助于在 $V_{GS} = 0$ V 时夹断栅下 p-GaN 层中的空穴沟道, 从而推动 p-FETs 实现高开关电流比和增强型工作模式。

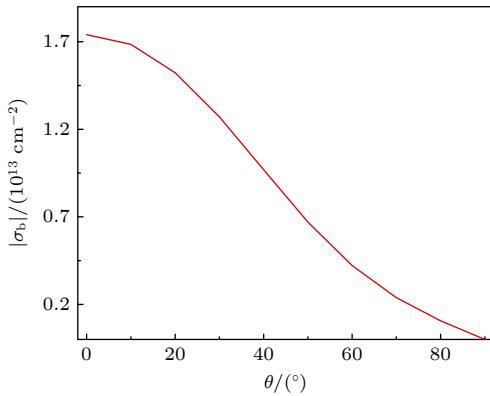


图 5 界面极化负电荷面密度 $|\sigma_b|$ 随倾斜角度 θ 的变化关系
Fig. 5. Interface polarization negative charge sheet density $|\sigma_b|$ as a function of slanted angle θ .

半极性面 p-GaN/AlGaIn 异质结具有较低极化电荷面密度的特点为实现 GaN 基 p-FETs 良好的开关特性提供了新的思路. 在国内外已报道的 p-FETs 中, 良好的开关特性主要依赖对栅下 p-GaN 层厚度的控制, 较薄的栅下 p-GaN 层可使耗尽区更靠近 p-GaN/AlGaIn 界面处的空穴沟道, 从而在栅源电压 V_{GS} 的工作范围内实现对空穴沟道的有效夹断. 与之不同, 斜沟道结构中空穴沟道的夹断主要通过削弱极化效应来实现. 为说明极化效应强度的改变对 p-FETs 栅区能带结构的影响, 图 6(a), (b) 对比了在 $V_{GS} = 0$ V 时, 相同结构的极性面 c 面与非极性面 m 面外延层的能带图. 在 m 面中, 由于 p-GaN/AlGaIn 异质结的极化效应更弱, 界面极化电荷面密度更低, 因此极化效应对受主杂质的电离作用较弱^[5], 使得 p-GaN/AlGaIn 异质结界面

的价带向下弯曲, 栅下耗尽区能够扩展至 p-GaN/AlGaIn 界面处的空穴沟道, 器件能够实现良好的开关特性.

针对图 4(a) 中斜沟道 p-FET 表现出较小的阈值电压回滞幅度 (通常定义为正向扫描与反向扫描转移特性曲线所提取的阈值电压之差的绝对值 ΔV_{TH}), 本文展开了进一步的表征和分析. 图 7(a) 展示了 p-FET 在不同最大栅压 ($V_{GS,max}$) 下的双向扫描转移曲线. 测试中 V_{GS} 首先从 5 V 扫描至 $V_{GS,max}$, 随后 V_{GS} 回扫至 5 V 得到阈值电压回滞幅度 ΔV_{TH} . 由图 7(b) 展示的 ΔV_{TH} 随 $V_{GS,max}$ 的变化关系可知, 即使在 -12 V 的高栅压应力条件下, 斜沟道 p-FET 仍能保持 ΔV_{TH} 低于 0.3 V 的优异稳定性. 图 7(c), (d) 展示了在栅源电压 $V_{GS(stress)} = -6$ V 持续应力作用 1—2000 s 后, 阈值电压回滞幅度 ΔV_{TH} 的变化规律. 随着栅源电压应力时间的延长, ΔV_{TH} 仅变化了 0.1 V. 斜沟道 p-FETs 在电压应力下表现出良好的稳定性.

图 8(a) 为斜沟道 GaN 基 p-FET 温度相关的双向扫描转移特性曲线. 随着温度由 223 K 上升至 348 K, p-FET 的阈值电压由 2.4 V 上升至 2.8 V, 器件的导通电流 ($V_{GS} = -12$ V, $V_{DS} = -1$ V 条件下) 由 0.16 mA/mm 提升至 0.38 mA/mm. 提高温度能够增大沟道中的体空穴浓度^[25], 从而使器件阈值电压正漂并提升导通电流. 由图 8(b) 可知, 在整个测试温度范围内 (223—348 K), 器件的 ΔV_{TH} 始终低于 0.3 V, 表明斜沟道 p-FETs 具有优异的温度稳定性.

栅介质/沟道层界面处界面态的动态充放电效应是导致阈值电压回滞现象产生的原因. 当 V_{GS} 由正压扫描到负压时, 栅介质/沟道层界面处的界

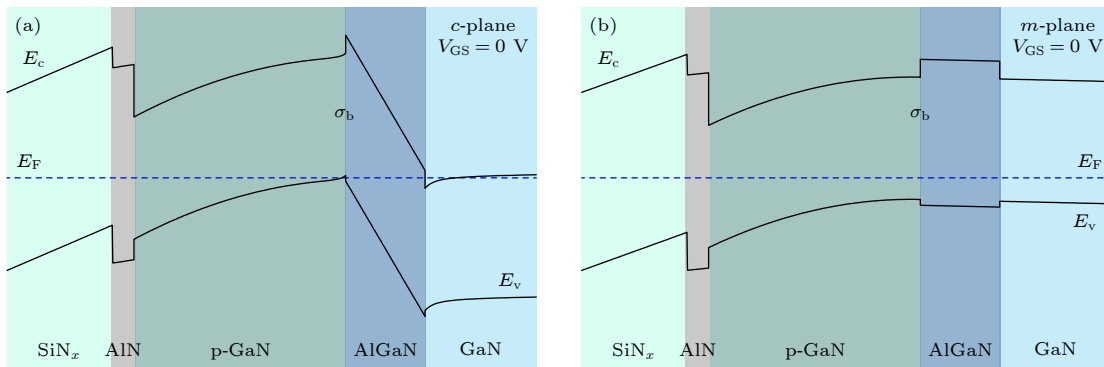


图 6 相同结构的 (a) c 面和 (b) m 面外延层在 $V_{GS} = 0$ V 时的能带图

Fig. 6. Band diagrams of epitaxial layers with the same structure on (a) c -plane and (b) m -plane at $V_{GS} = 0$ V.

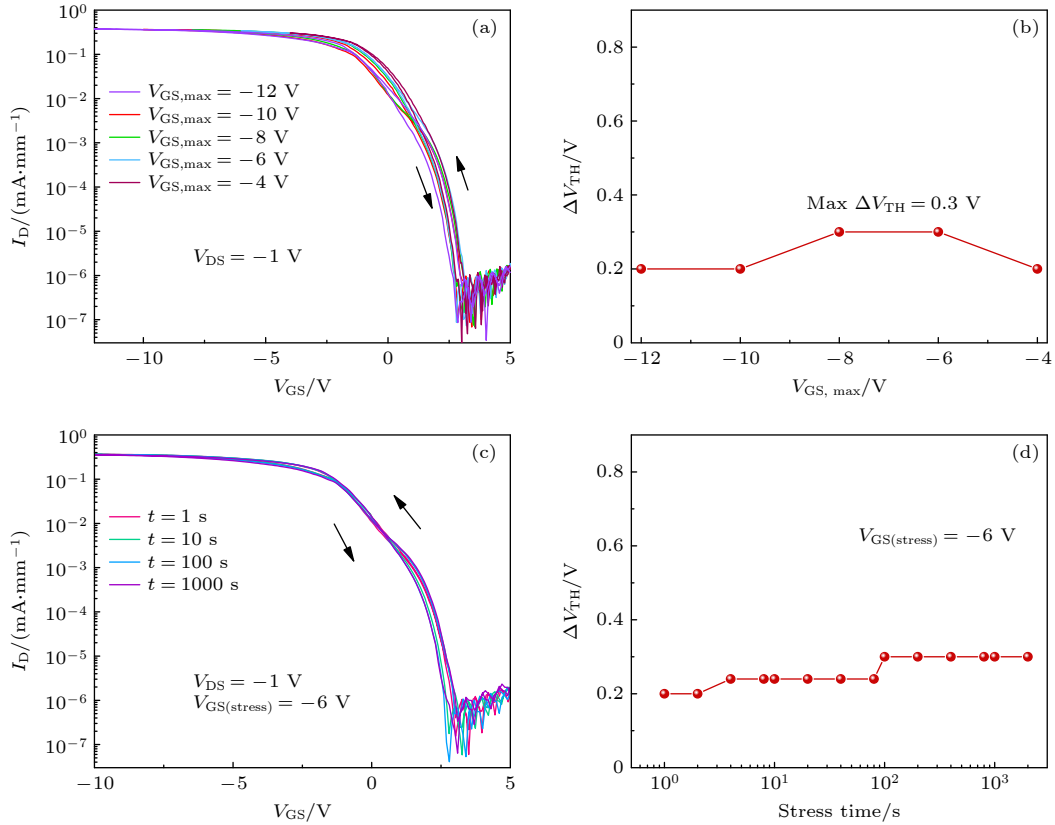


图 7 (a) 不同最大栅压 ($V_{GS,max}$) 下的双向扫描转移特性曲线; (b) 提取的阈值电压回滞幅度 (ΔV_{TH}) 随 $V_{GS,max}$ 的变化关系; (c) 施加不同时长 $V_{GS(stress)}$ 后的双向扫描转移特性曲线; (d) 提取的 ΔV_{TH} 随应力时长的变化关系

Fig. 7. (a) Dual-sweep transfer curves of different $V_{GS,max}$; (b) extracted ΔV_{TH} plotted against the $V_{GS,max}$; (c) dual-sweep transfer characteristics under $V_{GS(stress)}$ with different stress durations; (d) extracted relationship between ΔV_{TH} and stress time.

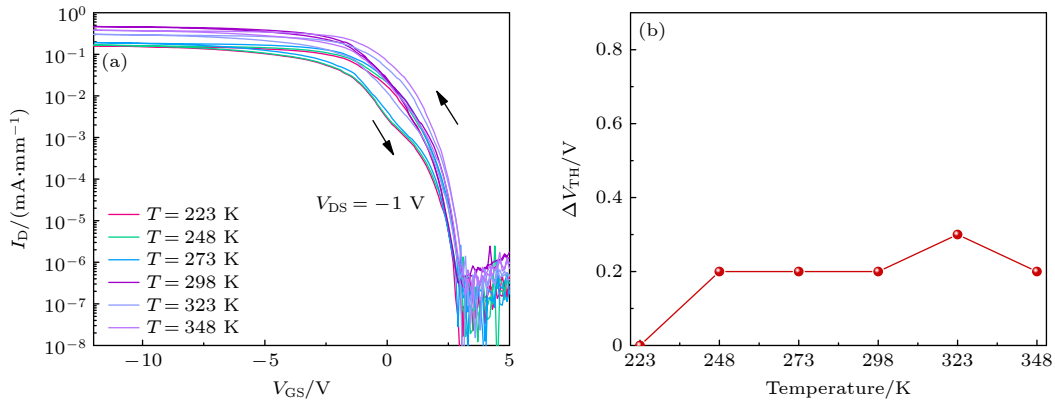


图 8 (a) 斜沟道 GaN 基 p-FET 的变温双向扫描转移特性; (b) ΔV_{TH} 随温度的变化关系

Fig. 8. (a) Temperature-dependent dual sweep transfer characteristics of the slanted-channel GaN p-FET; (b) ΔV_{TH} plotted against temperature.

面态被载流子占据; 而在 V_{GS} 回扫阶段, 被俘获的载流子由于受到界面态的束缚而滞后释放, 致使平带电压发生偏移, 器件的转移特性表现出明显的回滞现象.

此外, 栅介质/沟道层界面处界面态也会对器件的亚阈值摆幅 SS 产生影响. 在 MIS 结构中, 界

面态相关的陷阱电容 (C_{it}) 与栅介质层电容并联, 在栅压变化时会因俘获/发射载流子而产生额外的充放电过程, 从而分流栅压对沟道中载流子的控制效率. 较小的界面态密度 D_{it} 能够显著减小 C_{it} , 使栅压得以更高效地调控表面势, 进而实现更小的亚阈值摆幅.

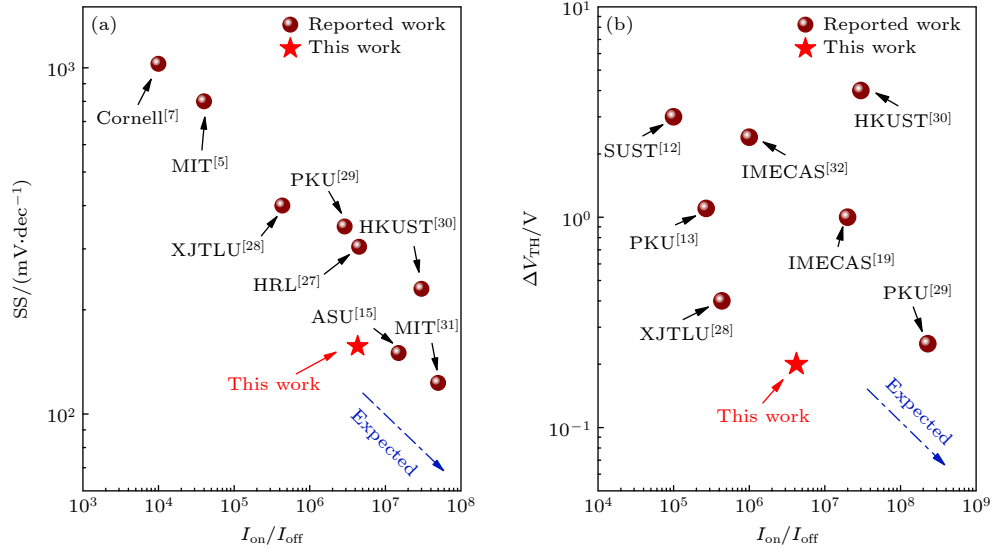


图9 本工作和国内外报道的 GaN 基 p-FETs (a) 亚阈值摆幅 (SS) 和开关电流比 (I_{on}/I_{off}); (b) 阈值电压回滞幅度 (ΔV_{TH}) 和开关电流比 (I_{on}/I_{off}) 的对应关系

Fig. 9. Comparison of the fabricated GaN p-FETs in this work with previously reported GaN-based p-FETs in terms of (a) sub-threshold swing (SS) versus on/off current ratio (I_{on}/I_{off}) and (b) threshold voltage hysteresis (ΔV_{TH}) versus on/off current ratio (I_{on}/I_{off}).

斜沟道 GaN 基 p-FETs 具有较低的亚阈值摆幅 ($SS = 157 \text{ mV/dec}$) 且在电压应力测试和变温度测试中均表现出较小的阈值电压回滞幅度和良好的稳定性, 这与其具有的良好 PEALD-AlN/p-GaN 界面相关. 本文参考文献 [26] 中推导的公式, 得到斜沟道 p-FETs 中 PEALD-AlN/p-GaN 界面的界面态密度 D_{it} 与亚阈值摆幅 SS 的关系:

$$D_{it} = \frac{C_{ocp}}{q^2} \left(\frac{SS}{\ln 10} \frac{q}{kT} - 1 \right) - \frac{C_d}{q^2}, \quad (5)$$

式中 k 为玻尔兹曼常数, T 为温度, C_d 为栅下 p-GaN 层的耗尽区电容, C_{ocp} 为 SiN_x/AlN 介质层电容. 计算得出 p-FETs 的 PEALD-AlN/p-GaN 界面的界面态密度 $D_{it} \approx 1.61 \times 10^{12} \text{ cm}^{-2} \cdot \text{eV}^{-1}$, 该界面态密度达到较低的水平 (经过刻蚀处理的介质层/p-GaN 界面的界面态密度 $\sim 10^{13} \text{ cm}^{-2} \cdot \text{eV}^{-1}$) [12]. 在器件制备过程中, p-GaN 斜沟道层自外延完成至栅极工艺开始前, 未经过刻蚀等易引入损伤的工艺步骤. 因此, 与经过刻蚀处理的介质层/沟道层界面相比, 斜沟道 p-FETs 的介质层/沟道层界面处具有较低的界面态密度.

图 9(a), (b) 分别将本文制备的斜沟道 p-FETs 与近年国内外报道的 GaN 基 p-FETs 在开关电流比 I_{on}/I_{off} 、亚阈值摆幅 SS 及阈值电压回滞幅度 ΔV_{TH} 进行对比 [5,7,27–32]. 本工作提出的二次外延斜

沟道 GaN 基 p-FETs 在阈值电压回滞幅度、开关特性和亚阈值摆幅等方面展现出明显潜力. 对栅介质、二次外延等工艺流程的优化将进一步提升斜沟道 p-FETs 的稳定性和导通能力. 该结果验证了斜沟道结构对提升 GaN 基 p-FETs 栅控能力的有效性.

4 结论

本文提出并验证了一种栅区位于半极性晶面的 GaN 基 p-FETs. 得益于半极性晶面较弱的极化强度, 将栅下沟道构建于该晶面可降低异质结界面极化电荷面密度并增强栅控能力. 这一设计在避免 p-GaN 刻蚀损伤的同时, 实现了沟道的完全关断. 器件具有 4.3×10^6 的开关电流比、 157 mV/dec 的亚阈值摆幅, 并在栅压应力和变温测试中保持较小的阈值电压回滞幅度. 这表明该结构同时具有良好的开关特性与稳定性. 本工作提出了一种栅区沟道无刻蚀损伤的 GaN 基 p-FETs 设计方案, 对高性能的 p 型器件的制备具有参考价值.

参考文献

- [1] Amano H, Baines Y, Beam E, Borga M, Bouchet T, Chalker P R, Charles M, Chen K J, Chowdhury N, Chu R, De Santi C, De Souza M M, Decoutere S, Di Cioccio L, Eckardt B, Egawa T, Fay P, Freedman J J, Guido L, Häberlen O, Haynes G, Heckel T, Hemakumara D, Houston P, Hu J, Hua

- M, Huang Q, Huang A, Jiang S, Kawai H, Kinzer D, Kuball M, Kumar A, Lee K B, Li X, Marcon D, März M, McCarthy R, Meneghesso G, Meneghini M, Morvan E, Nakajima A, Narayanan E M S, Oliver S, Palacios T, Piedra D, Plissonnier M, Reddy R, Sun M, Thayne I, Torres A, Trivellini N, Unni V, Uren M J, Van Hove M, Wallis D J, Wang J, Xie J, Yagi S, Yang S, Youtsey C, Yu R Y, Zanoni E, Zeltner S, Zhang Y H 2018 *J. Phys. D: Appl. Phys.* **51** 163001
- [2] Chen K J, Häberlen O, Lidow A, Tsai C I, Ueda T, Uemoto Y, Wu Y 2017 *IEEE Trans. Electron Devices* **64** 779
- [3] Chen K J, Wei J, Tang G, Xu H, Zheng Z, Zhang L, Song W 2020 *IEEE International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 12–18, 2020 pp27.1.1–27.1.4
- [4] Zheng Z Y, Song W J, Zhang L, Yang S, Wei J, Chen K J 2021 *IEEE Electron Device Lett.* **42** 26
- [5] Chowdhury N, Xie Q, Niroula J, Rajput N S, Cheng K, Then H W, Palacios T 2020 *IEEE International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 12–18, 2020 pp5.5.1–5.5.4
- [6] Zimmermann T, Neuburger M, Kunze M, Daumiller I, Denisenko A, Dadgar A, Krost A, Kohn E 2004 *IEEE Electron Device Lett.* **25** 450
- [7] Bader S J, Chaudhuri R, Nomoto K, Hickman A, Chen Z, Then H W, Muller D A, Xing H G, Jena D 2018 *IEEE Electron Device Lett.* **39** 1848
- [8] Li T, Zhang M, Yu J J, Cui J W, Yang J J, Wu Y L, Yang H, Zhang Y M, Yang X L, Wang M J 2024 *36th International Symposium on Power Semiconductor Devices and ICs (ISPSD)* Bremen, Germany, June 02–06, 2024 pp160–163
- [9] Nakajima A, Sumida Y, Dhyani M H, Kawai H, Sankaranarayanan E M 2010 *Appl. Phys. Express* **3** 121004
- [10] Nomoto K, Chaudhuri R, Bader S J, Li L, Hickman A, Huang S, Lee H, Maeda T, Then H W, Radosavljevic M, Fischer P, Molnar A, Hwang J C M, Xing H G, Jena D 2020 *IEEE International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 12–18, 2020 pp8.3.1–8.3.4
- [11] Chowdhury N, Lemettinen J, Xie Q, Zhang Y, Rajput N S, Xiang P, Cheng K, Suihkonen S, Then H W, Palacios T 2019 *IEEE Electron Device Lett.* **40** 1036
- [12] Tang C Y, Du F Z, Fu C, Deng C K, Zhang Y, Jiang Y, Tao W C, Yu W Y, Wang Q, Yu H Y 2024 *IEEE International Symposium on the Physical and Failure Analysis of Integrated Circuits (IPFA)* Singapore, July 15–18, 2024 pp1–4
- [13] Li T, Zhang M, Yu J J, Cui J W, Yang J J, Wu Y L, Yang H, Zhang Y M, Yang X L, Wang M J, Feng S W, Shen B, Wei J 2024 *IEEE Trans. Electron Devices* **71** 2361
- [14] Zheng Z Y, Song W J, Zhang L, Yang S, Wei J, Chen K J 2019 *IEEE Electron Device Lett.* **41** 26
- [15] Yang C, Fu H Q, Peri P, Fu K, Yang T H, Zhou J G, Montes J, Smith D J, Zhao Y L 2021 *IEEE Electron Device Lett.* **42** 1128
- [16] Piotrowic C, Mohamad B, Rocha P F P P, Malbert N, Ruel S, Pimenta-Barros P, Jaud M A, Vauche L, Royer C L 2023 *35th International Symposium on Power Semiconductor Devices and ICs (ISPSD)* Hong Kong, China, May 28–June 1 2023 pp382–385
- [17] Shibata D, Kajitani R, Ogawa M, Tanaka K, Tamura S, Hatsuda T, Ishida M, Ueda T 2016 *IEEE International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 03–07, 2016 pp10.1.1–10.1.4
- [18] Mauduit C, Tlemcani T S, Zhang M, Yvon A, Vivet N, Charles M, Gwoziecki R, Alquier D 2023 *Microelectron. Eng.* **277** 112020
- [19] Wang L, Huang S, Jiang Q M, Wang X H, Wang Y J, Yao Y X, Shi J Y, Fan J, Yin H B, Wei K, Liu X Y 2024 *IEEE Electron Device Lett.* **45** 320
- [20] Xiao M, Yan X D, Xie J Q, Beam E, Cao Y, Wang H, Zhang Y H 2020 *Appl. Phys. Lett.* **117** 183502
- [21] Fu K, Qi X, Fu H Q, Su P Y, Liu H X, Yang T H, Yang C, Montes J, Zhou J G, Ponce F A, Zhao Y J 2021 *Semicond. Sci. Tech.* **36** 014005
- [22] Sun Z W, Zhao T Y, Ling M Q, Li J G, Tian H, Wang W S, Zhang Y L, Zhang J, Zhao Y C, Mitrovic I Z, van Zalinge H, Low K L, Huang S, Liu W 2025 *Appl. Phys. Lett.* **127** 083505
- [23] Reuters B, Hahn H, Pooth A, Holländer B, Breuer U, Henken M, Kalisch H, Vescan A 2014 *J. Phys. D: Appl. Phys.* **47** 175103
- [24] Park S H 2000 *Jpn. J. Appl. Phys.* **39** 3478
- [25] Ng Y H, Zheng Z Y, Zhang L, Liu R Z, Chen T, Feng S R, Shao Q M, Chen K J 2023 *Appl. Phys. Lett.* **123** 142106
- [26] Tokuda H, Asubar J T, Kuzuhara M 2017 *Jpn. J. Appl. Phys.* **56** 104101
- [27] Chu R M, Cao Y, Chen M, Li R, Zehnder D 2016 *IEEE Electron Device Lett.* **37** 269
- [28] Sun Z W, Tian H, Wang W S, Zhang X M, Ling M Q, Zhang J, Zhao Y, Van Zalinge H, Mitrovic I Z, Low K L 2025 *37th International Symposium on Power Semiconductor Devices and ICs (ISPSD)* Kumamoto, Japan, June 01–05, 2025 pp317–320
- [29] Li T, Qi H, Yu J, Duan J, Liu S, Wang M, Zhang M, Wei J 2026 *Semiconductor Science and Technology* **41** 3
- [30] Zheng Z Y, Zhang L, Song W J, Chen T, Feng S R, Ng Y H, Sun J H, Xu H, Yang S, Wei J, Chen K J 2021 *IEEE Electron Device Lett.* **42** 1584
- [31] Chowdhury N, Xie Q, Palacios T 2022 *IEEE Electron Device Lett.* **43** 358
- [32] Jin H, Jiang Q M, Huang S, Wang X H, Wang Y J, Ji Z C, Dai X Y, Feng C, Fan J, Wei K, Liu J X, Zhong Y Z, Sun Q, Liu X Y 2022 *IEEE Electron Device Lett.* **43** 1191

SPECIAL TOPIC—Semiconductor physics and devices

Fabrication and properties of slanted-channel GaN-based p-type transistors via regrown heterostructure*

YANG Yang¹⁾²⁾ HUANG Sen^{1)2)†} FU Xingyu³⁾ GUO Fuqiang³⁾
 YAO Yixu¹⁾²⁾ DENG Kexin¹⁾²⁾ LIU Jianfei¹⁾²⁾ WANG Xinhua¹⁾²⁾
 GAO Xinguo¹⁾²⁾ WEI Ke¹⁾²⁾ LIU Xinyu¹⁾²⁾
 YANG Xuelin³⁾ SHEN Bo³⁾

1) (*Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China*)2) (*University of Chinese Academy of Sciences, Beijing 100049, China*)3) (*School of Physics, Peking University, Beijing 100871, China*)

(Received 9 March 2026; revised manuscript received 14 April 2026)

Abstract

The development of high-performance GaN-based p-FETs (p-type field effect transistors) is critical for enabling monolithic complementary integration in all-GaN power systems, yet their progress is hindered by poor on/off current ratios ($\sim 10^2$) due to the difficulty in depleting the two-dimensional hole gas (2DHG) channel. While recessed-gate structures fabricated by dry etching can improve the switching ratio to $\sim 10^5$, they introduce interface damage and threshold voltage hysteresis (ΔV_{TH}). Subsequent repair techniques, such as NMP solution treatment or oxygen/hydrogen plasma processing, partially mitigate these issues but still suffer from suboptimal subthreshold swing, ΔV_{TH} , and added process complexity. Further improvements are needed to achieve robust, high switching ratio p-FETs without excessive post-processing.

To address this issue, this paper designs and fabricates a slanted-channel GaN-based p-FET that eliminates the need for etching the p-GaN layer under the gate. Unlike conventional p-FETs that rely on precise etching of the p-GaN layer to achieve channel pinch-off, semipolar gate structure enables depletion region extension to the 2DHG channel under zero gate bias by weakening polarization-induced ionization of acceptor impurities. This mechanism facilitates effective channel pinch-off without aggressive etching, offering a new pathway to achieve high switching ratios in GaN p-FETs.

The fabricated device achieves excellent switching characteristics ($I_{\text{on}}/I_{\text{off}} = 4.3 \times 10^6$) and a low subthreshold swing ($SS = 157 \text{ mV/dec}$). Since the fabrication process avoids etching the p-GaN channel layer, the dielectric/channel layer interface exhibits a low interface state density (approximately $1.61 \times 10^{12} \text{ cm}^{-2} \cdot \text{eV}^{-1}$), resulting in excellent device stability under gate bias stress and temperature variations. This structure provides an innovative pathway for advancing the performance of GaN-based p-FETs.

Keywords: GaN, p-type field effect transistors, regrowth, heterostructure, slanted-channel**DOI:** [10.7498/aps.75.20260336](https://doi.org/10.7498/aps.75.20260336)**CSTR:** [32037.14.aps.75.20260336](https://cstr.cn/32037.14.aps.75.20260336)

* Project supported by the Advanced Materials-National Science and Technology Major Project (Grant No. 2024ZD06050XX), the National Natural Science Foundation of China (Grant Nos. 62334012, 62304252, 62504246, 62534001), the CAS-Croucher Funding Scheme, China (Grant No. CAS22801), and the Joint Laboratory of Microelectronics, China (Grant No. JLFS/E-601/24).

† Corresponding author. E-mail: huangsen@ime.ac.cn

二次外延异质结构介导的倾斜沟道GaN基p型晶体管制备与特性

杨颢 黄森 付星宇 郭富强 姚毅旭 邓可心 刘剑飞 王鑫华 高新国 魏珂 刘新宇 杨学林 沈波

Fabrication and properties of slanted-channel GaN-based p-type transistors via regrown heterostructure

YANG Yang HUANG Sen FU Xingyu GUO Fuqiang YAO Yixu DENG Kexin LIU Jianfei WANG Xinhua GAO Xinguo WEI Ke LIU Xinyu YANG Xuelin SHEN Bo

引用信息 Citation: *Acta Physica Sinica*, 75, 080805 (2026) DOI: 10.7498/aps.75.20260336

CSTR: 32037.14.aps.75.20260336

在线阅读 View online: <https://doi.org/10.7498/aps.75.20260336>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn>

您可能感兴趣的其他文章

Articles you may be interested in

垂直短沟道二硫化钼场效应晶体管

Vertical short-channel MoS₂ field-effect transistors

物理学报. 2022, 71(21): 218502 <https://doi.org/10.7498/aps.71.20220738>

石墨烯/GaN异质结构界面热输运性质的分子动力学研究

Molecular dynamics study of interfacial thermal transport properties of graphene/GaN heterostructure

物理学报. 2024, 73(13): 137901 <https://doi.org/10.7498/aps.73.20240021>

2.45 GHz微波无线能量传输用Ge基双通道整流单端肖特基势垒场效应晶体管

A Ge-based dual channel rectified single ended Schottky barrier field effect transistor for 2.45 GHz microwave wireless energy transmission

物理学报. 2022, 71(20): 208401 <https://doi.org/10.7498/aps.71.20220855>

碳纳米管场效应晶体管的X射线辐照效应

X-ray irradiation effects of carbon nanotube field-effect transistors

物理学报. 2025, 74(5): 058501 <https://doi.org/10.7498/aps.74.20241670>

单层SnS场效应晶体管的第一性原理研究

First principles study of high-performance sub-5-nm monolayer SnS field-effect transistors

物理学报. 2024, 73(20): 207304 <https://doi.org/10.7498/aps.73.20241004>

多沟道GaN电子迁移率晶体管自热效应的电热耦合模拟及场板结构优化

Electrothermal modeling of self-heating effects in multichannel GaN HEMTs and optimization of field plate structures

物理学报. 2026, 75(7): 207304 <https://doi.org/10.7498/aps.75.20251466>