

专题: 二维材料与未来信息器件

$\text{Al}_2\text{O}_3/\text{Y}_2\text{O}_3/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ MOS 结构界面缺陷态对 $C-V$ 特性调制机制*

罗曼¹⁾ 罗诗钧¹⁾ 王怡彬¹⁾ 焦文博¹⁾ 张强¹⁾
许金通³⁾ 龙明生^{2)†} 余晨辉^{1)3)‡}

1) (南通大学微电子学院 (集成电路学院), 半导体器件与集成电路设计封测省高校重点实验室, 南通 226019)

2) (安徽大学物质科学与信息技术学院, 光电信息获取与防护技术全国重点实验室, 合肥 230601)

3) (中国科学院上海技术物理研究所, 红外探测全国重点实验室, 上海 200083)

(2026年3月13日收到; 2026年4月16日收到修改稿)

N型 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 金属-氧化物-半导体 (MOS) 结构作为高性能红外探测器的核心功能元件, 其界面电学特性直接决定了器件的灵敏度和稳定性. 然而, InGaAs 表面悬挂键与无序化学键引入高密度且分布复杂的界面缺陷, 始终是限制该类器件性能的关键因素. 针对这一难题, 本工作引入 $\text{Al}_2\text{O}_3/\text{Y}_2\text{O}_3$ 叠层介质, 利用超薄 Y_2O_3 对 InGaAs 界面进行钝化, 并以 Al_2O_3 封帽保护, 从而优化 InGaAs 界面质量. 并基于实验测量数据, 利用 TCAD 构建了耦合近带边指数分布与离散能级缺陷态的综合界面缺陷态模型, 系统阐明界面缺陷态分布形式、类型以及密度等关键物理参数对低频和高频电容-电压 ($C-V$) 特性的影响. 结果表明, 指数型分布的价带施主与导带受主界面缺陷态分别主导了积累区与反型区的电容衰减及曲线拉伸. 此外, 高密度离散能级界面缺陷态产生的界面电荷会增强电场屏蔽效应, 引发能带弯曲钉扎现象. 该工作揭示了在 $C-V$ 特性建模中考量界面缺陷态分布的必要性, 为 InGaAs MOS 器件的界面优化提供了重要理论依据.

关键词: $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 金属-氧化物-半导体结构, 界面缺陷态, 电容-电压特性, 界面电荷调制

DOI: 10.7498/aps.75.20260366

CSTR: 32037.14.aps.75.20260366

1 引言

III-V 族窄带隙半导体 InGaAs 凭借高电子迁移率^[1] 与 InP 工艺平台的兼容性的优势^[2,3], 成为制备高性能短波红外 (short-wave infrared, SWIR) 探测器及焦平面阵列的核心光敏材料^[4-6]. 对于此类器件而言, 氧化层/半导体界面的电学质量直接决定了栅控效率、阈值稳定性、噪声与频率响应^[7,8]. 然而, InGaAs 表面易发生再氧化与化学无序, 悬

挂键等相关缺陷会在禁带内形成复杂的界面缺陷, 表现为明显的 $C-V$ 频率色散、曲线拉伸以及局部异常起伏等现象^[9]. 这些界面缺陷在严重削弱栅极对表面电势的有效控制的同时, 通过陷阱电荷加剧载流子散射并降低沟道载流子迁移率, 致使器件栅控效率与噪声性能劣化, 诱发暗电流升高与信噪比下降. 因此, 界面缺陷始终是制约该类器件实现更高探测灵敏度与长期稳定性的关键瓶颈^[10-14].

尽管 Al_2O_3 界面以及 HfO_2 等高 k 介质因其高介电常数和稳定性好的非晶态, 被广泛应用于

* 国家自然科学基金 (批准号: 62074085, 62104118, U24A20308, 62004109)、国家重点研发计划 (批准号: 2024YFB3211704)、江苏省高校自然科学基金 (批准号: 25KJA510005) 和中国科学院上海技术物理研究所红外探测全国重点实验室 (批准号: IRDT-24-06) 资助的课题.

† 通信作者. E-mail: longms@ahu.edu.cn

‡ 通信作者. E-mail: ychyu@ntu.edu.cn

InGaAs MOS 器件中,但其直接生长在 InGaAs 衬底上时,依旧面临界面质量不佳的挑战^[15-17]. Lin 等^[18]检测到, ALD- $\text{Al}_2\text{O}_3/\text{InGaAs}$ 界面在禁带中部至价带顶范围内的界面缺陷态密度仍超过 $1 \times 10^{13} \text{ eV}^{-1} \cdot \text{cm}^{-2}$. 相比之下, Chang 等^[19]在 InGaAs 上原位 UHV 沉积 Y_2O_3 并以 Al_2O_3 封帽,实现界面高温退火后仍保持原子级平整,并将界面缺陷态密度降低至 $8 \times 10^{11} \text{—} 9 \times 10^{11} \text{ eV}^{-1} \cdot \text{cm}^{-2}$. 因此,本文以该高性能界面为建模仿真对象,在已实现高质量界面的前提下,深入解析界面缺陷态分布对 $C-V$ 特性的调制机制. 值得注意的是,界面工程的价值不仅体现于三维半导体 MOS 体系,对二维范德瓦耳斯异质结同样至关重要. Peng 等^[20]表明,范德瓦耳斯单极势垒结构可避免晶格失配与界面缺陷,实现室温高性能红外探测. 尽管如此,InGaAs 界面缺陷对表面化学状态高度敏感,现有的电学表征手段往往只能提供等效的缺陷分布信息,难以精确解析其真实的能级分布与参数组合. 特别是在原子与电子尺度的界面电荷重排过程难以通过实验直接观测,因而需要借助理论计算与数值建模进行互补分析^[21,22].

为了突破这一性能瓶颈,构建具有明确物理意义的界面缺陷态模型,是准确解析上述非理想电学特性并为界面工艺优化提供理论指导的关键^[23]. InGaAs MOS 结构的 $C-V$ 特性研究通常采用两种方法:一种是将界面缺陷态等效为少数离散能级界面缺陷态^[24,25],该模型虽能够刻画费米能级 E_F 扫描特定能级时的局部电容起伏,但对缺陷能级位置、界面缺陷态面密度 (N_{it}) 等参数较为敏感,难以同时解释宽偏压范围内 $C-V$ 曲线伸展与衰减的整体形貌;另一种是以连续能量分布的界面缺陷态,如指数型界面缺陷态密度 ($D_{it}(E)$) 分布,更适用于描述频率色散与 $C-V$ 曲线的整体形貌^[7,15,26,27],

但当曲线包含局部异常特征时,仅依赖连续分布往往难以进一步定位其对应的界面缺陷态能级位置. 上述差异表明,离散能级与连续能量分布的界面缺陷态在刻画局部特征与解释全局 $C-V$ 趋势方面具有互补性^[28].

鉴于此,本文围绕 $\text{Al}_2\text{O}_3/\text{Y}_2\text{O}_3/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ MOS 结构的 $C-V$ 频率色散与曲线形变问题,构建融合近带边指数型衰减分布与少量离散能级的界面缺陷态模型,并在数值仿真框架下建立栅压扫描、能带弯曲、界面缺陷态占据变化与 $C-V$ 响应之间的对应关系. 从而给出对低频与高频 $C-V$ 特性的一致机理解释,并为 InGaAs MOS 界面缺陷态表征与介质工程优化提供可迁移的建模思路. 类似的实验对标结合数值拟合分析的方式已被用于二维绝缘层 FN 隧穿物理参数的提取^[29].

2 实验与仿真方法

本文采用的 $C-V$ 实验数据与器件工艺流程均参照已报道的 MOS 结构^[30]. 实验样品为基于 p 型 InP(100) 衬底的 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ MOS 结构,采用 $\text{Al}_2\text{O}_3/\text{Y}_2\text{O}_3$ 叠层介质以优化氧化层/半导体界面质量. InGaAs 外延层在超高真空多腔体系统中生长于衬底之上,并通过原位热处理实现可控表面重构;随即在重构的 InGaAs 表面沉积超薄 Y_2O_3 作为界面控制层,再沉积 Al_2O_3 作为保护层;继而进行高温快速退火以提升叠层介质与界面的热稳定性,最后完成顶栅金属沉积及形成气氛后退火,进一步抑制界面缺陷态响应并降低漏电流^[30].

基于上述实验工艺,本文构建了如图 1 所示的 MOS 仿真模型(金属栅/ $\text{Al}_2\text{O}_3/\text{Y}_2\text{O}_3/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$). 鉴于 MOS 结构在横向尺度上远大于介质厚度,采用二维截面模型表征器件中心区域的物理特性. 该

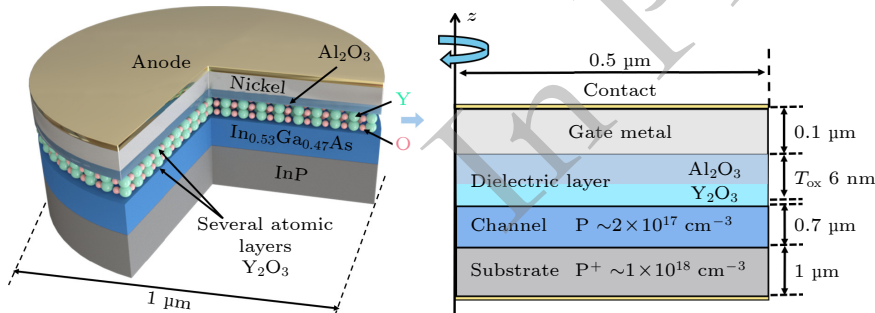


图 1 InGaAs MOS 器件结构

Fig. 1. Schematic diagram of the InGaAs MOS device structure.

模型的几何尺寸与材料参数严格遵循 Lin 等^[30] 的实验设定. 后续能带与电荷分布的分析均沿基于图 1 定义的法向坐标进行.

本文选取 Lin 等^[30] 报道中 100 Hz 和 1 MHz 两个特征频率下的实验 $C-V$ 曲线作为基准数据. 在 InGaAs/ Y_2O_3 界面处构建了离散型分布缺陷态与指数型分布缺陷态融合的混合界面缺陷模型. 离散型分布缺陷态用于表征费米能级扫过特定能级时的局部异常特征, 通过调整缺陷态类型、能级位置、缺陷态密度参数来校准模型. 而指数型分布缺陷态用于模拟连续分布的缺陷态对 $C-V$ 曲线整体横向拉伸幅度的贡献. 在上述参数的基础上, 还引入了特征能量参数, 以表征指数型缺陷态密度相对于参考带边向禁带内部的衰减特征. TCAD 仿真通过在各直流偏压工作点附近叠加小信号交流扰动, 计算上述特征频率下的端口电容并同步输出载流子密度与界面处陷阱电荷面密度等关键物理量. 通过仿真结果与实验数据对比, 完成 TCAD 模型的校准及界面缺陷态参数的提取与机理分析.

3 结果与讨论

本文在 Y_2O_3 /InGaAs 界面处建立的界面缺陷态模型如图 2 所示. 指数型分布界面缺陷态用下方横轴的界面缺陷态密度 $D_{it}(E)$ 描述, 离散界面缺陷态用上方横轴的 N_{it} 描述. 为与 Sentaurus TCAD 缺陷模型参数命名保持一致, 统一采用符号 N_0 表示界面缺陷态密度参数. 具体而言, 针对离散能级界面缺陷态, N_0 对应于面密度 N_{it} , 单位为 cm^{-2} ; 针对指数型分布界面缺陷态, N_0 则代表带边参考能量处的峰值态密度, 单位为 $eV^{-1}\cdot cm^{-2}$. 离散型分布界面缺陷态的面密度 N_0 侧重于调制费米能级扫过特定能级时的局部响应, 决定了低频电容隆起的幅值以及对应的费米能级钉扎程度. 而对于指数型分布界面缺陷态来说, 其峰值密度 N_0 主要决定了宽偏压范围内电场屏蔽效应的强度及其引起的 $C-V$ 曲线整体横向拉伸程度; 特征能量参数主要影响该拉伸效应所覆盖的偏压范围^[31].

指数型分布的缺陷态密度随能级的变化遵循 (1) 式^[32]. 式中 E 即缺陷态能级 E_t , E_0 为缺陷态分布的参考能级位置, E_s 为特征能量参数:

$$N(E) = N_0 \exp\left(-\frac{E - E_0}{E_s}\right). \quad (1)$$

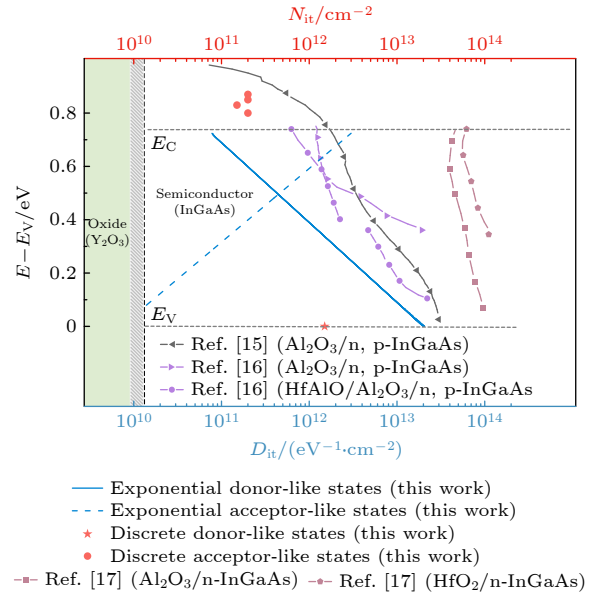


图 2 指数型界面缺陷态密度 $D_{it}(E)$ 与离散能级界面缺陷态面密度 N_{it} 的综合分布及与文献 [15–17] 报道的 $D_{it}(E)$ 结果对比

Fig. 2. Modeled interface state density comprising exponential $D_{it}(E)$ profile and discrete N_{it} levels, compared with reported $D_{it}(E)$ ranges in Refs. [15–17].

根据 InGaAs 界面缺陷态的典型物理特征, 模型在靠近价带侧主要引入施主型缺陷态, 在靠近导带侧引入受主型缺陷态^[15], 这种非对称分布配置旨在准确模拟空穴积累区与电子反型区的不同屏蔽机制^[16]. 表 1 和表 2 展示了模型中的关键物理参数.

表 1 离散型分布界面缺陷态的关键物理参数

Table 1. Key physical parameters of discrete interface defect states.

缺陷类型	参考能级 E_0	能级位置 E/eV	面密度 N_0/cm^{-2}
施主型	价带	0	1.5×10^{12}
	价带	0.8	2×10^{11}
受主型	价带	0.83	2×10^{11}
	价带	0.85	2×10^{11}
	价带	0.87	1.5×10^{11}

表 2 指数型分布界面缺陷态的关键物理参数

Table 2. Key physical parameters of exponential interface defect states.

缺陷类型	参考能级 E_0	能级位置 E/eV	峰值态密度 $N_0/(eV^{-1}\cdot cm^{-2})$	特征能量参数 E_s
施主型	价带	0	2×10^{13}	0.13
受主型	导带	0	3×10^{12}	0.12

通过与不同介质体系中典型文献报道的界面缺陷态分布结果进行了比较, 本文所采用的界面

缺陷态密度处于 Brammertz 等^[15]、Lin 等^[16] 以及 Galatage 等^[17] 报道范围的较低区间。

需要进一步指出的是, 表中所列参数为界面缺陷态模型的有效建模参数, 其初始扫描范围参考 Brammertz 等^[15]、Lin 等^[16] 以及 Galatage 等^[17] 报道的 InGaAs MOS 界面缺陷态的典型数量级与能量分布特征设定, 最终数值通过对 Lin 等^[30] 实验数据的拟合与校准确定。由于界面缺陷态分布对界面形成过程高度敏感, 薄膜沉积方式、表面预处理及后退火条件等工艺因素均可能影响参数取值, 因此, 表中参数主要适用于与本文研究对象相近的 $\text{Al}_2\text{O}_3/\text{Y}_2\text{O}_3/\text{InGaAs}$ MOS 界面结构及制备条件, 具有一定的工艺相关性。

基于图 2 定义的界面缺陷态模型, 图 3(a), (b) 分别展示了在 100 Hz 和 1 MHz 下, 实验数据与仿真结果的对比。图中虚线代表未考虑界面缺陷态的理想器件仿真曲线, 实线则为引入该缺陷态分布后的仿真曲线。仿真得到的 $C-V$ 曲线在 100 Hz 与 1 MHz 频段和实验数据高度吻合, 佐证了所构

建的离散-连续联合界面缺陷态模型的可靠性。同时, 该结果也表明 $\text{Al}_2\text{O}_3/\text{Y}_2\text{O}_3$ 叠层结构可通过抑制界面缺陷态响应、缓解频率色散以提升界面电学质量。

为了从机理层面阐明界面缺陷态对 $C-V$ 特性的调制规律, 本节将基于图 2 中的模型, 从缺陷态的分布形式与类型展开讨论, 重点分析缺陷态密度变化引起的界面电荷分配与能带弯曲, 进而揭示其对 $C-V$ 特性的调制机理^[33,34]。

如图 4(a) 所示, 价带顶附近的离散施主型界面缺陷态在 100 Hz 下显著影响负偏压区的 $C-V$ 特性。在 -2 V 至约 -0.64 V 偏压下, 电容随着缺陷态面密度 N_0 的增大而降低; 而当 N_0 增至 $1 \times 10^{13}\text{ cm}^{-2}$ 时, $C-V$ 曲线在局部偏压区域出现隆起, 体现出陷阱电荷的屏蔽效应和界面缺陷态充放电引入的缺陷电容 C_{it} 之间存在竞争关系^[35]。

在 -0.64 V 附近, 能带弯曲对 N_0 的敏感性增强 (图 4(b))。低 N_0 时的能带上弯更明显, 而高 N_0 的能带弯曲被削弱, 说明较高 N_0 下, 施主型界面

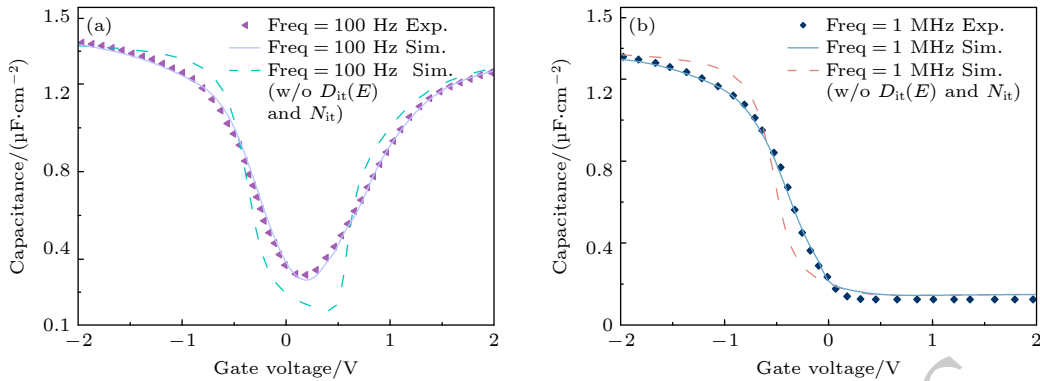
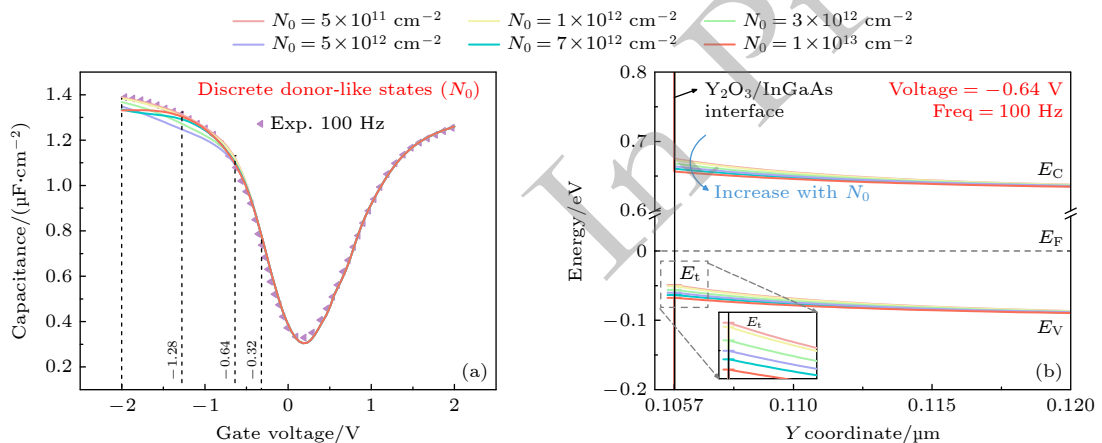


图 3 不同频率下实验数据与有无考虑界面缺陷态的仿真 $C-V$ 特性曲线对比 (a) 100 Hz; (b) 1 MHz

Fig. 3. Comparison of experimental and simulated $C-V$ curves with and without interface defect states at different frequencies: (a) 100 Hz; (b) 1 MHz.



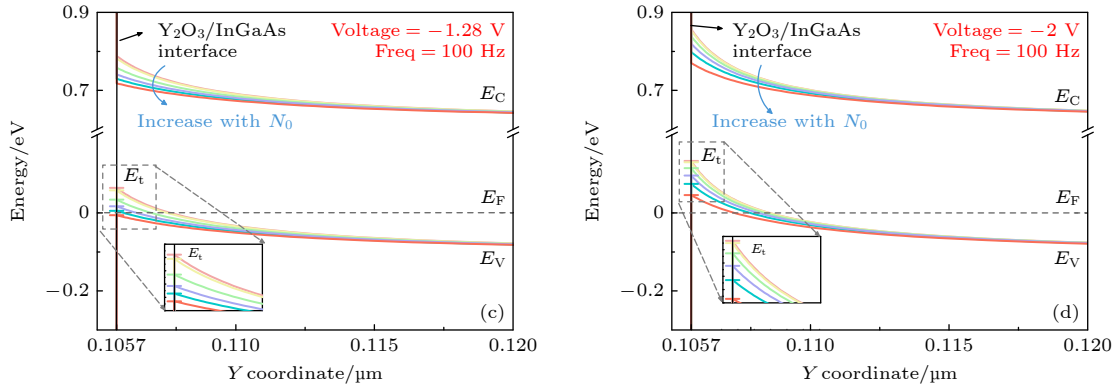


图 4 100 Hz 下位于价带顶 ($E_t = E_v$) 的离散能级施主型界面缺陷态面密度 N_0 对 $C-V$ 的影响及对应能带响应 (a) 不同 N_0 下的 $C-V$ 曲线; (b)–(d) $V_g = -0.64$ V, -1.28 V 和 -2.0 V 时的能带与界面缺陷态能级分布

Fig. 4. Effect of discrete donor-type interface defect states at the valence band edge ($E_t = E_v$) on the $C-V$ characteristics at 100 Hz and the corresponding band responses: (a) $C-V$ curves for different areal densities N_0 of discrete donor-type interface defect states; (b)–(d) band diagrams and energy distributions of interface defect states at $V_g = -0.64$ V, -1.28 V, and -2.0 V, respectively.

缺陷态俘获空穴形成高密度的正电性陷阱电荷, 显著屏蔽外加栅压, 致使半导体侧有效电场减小、能带弯曲被抑制. 图 5(a), (c) 进一步佐证该结论, 在

相同偏压下, 随着 N_0 从 5×10^{12} 增至 $1 \times 10^{13} \text{ cm}^{-2}$, 界面附近空穴密度 (hDensity) 逐渐降低, 而界面处呈正电性的陷阱电荷面密度 (hInterfaceTrapped

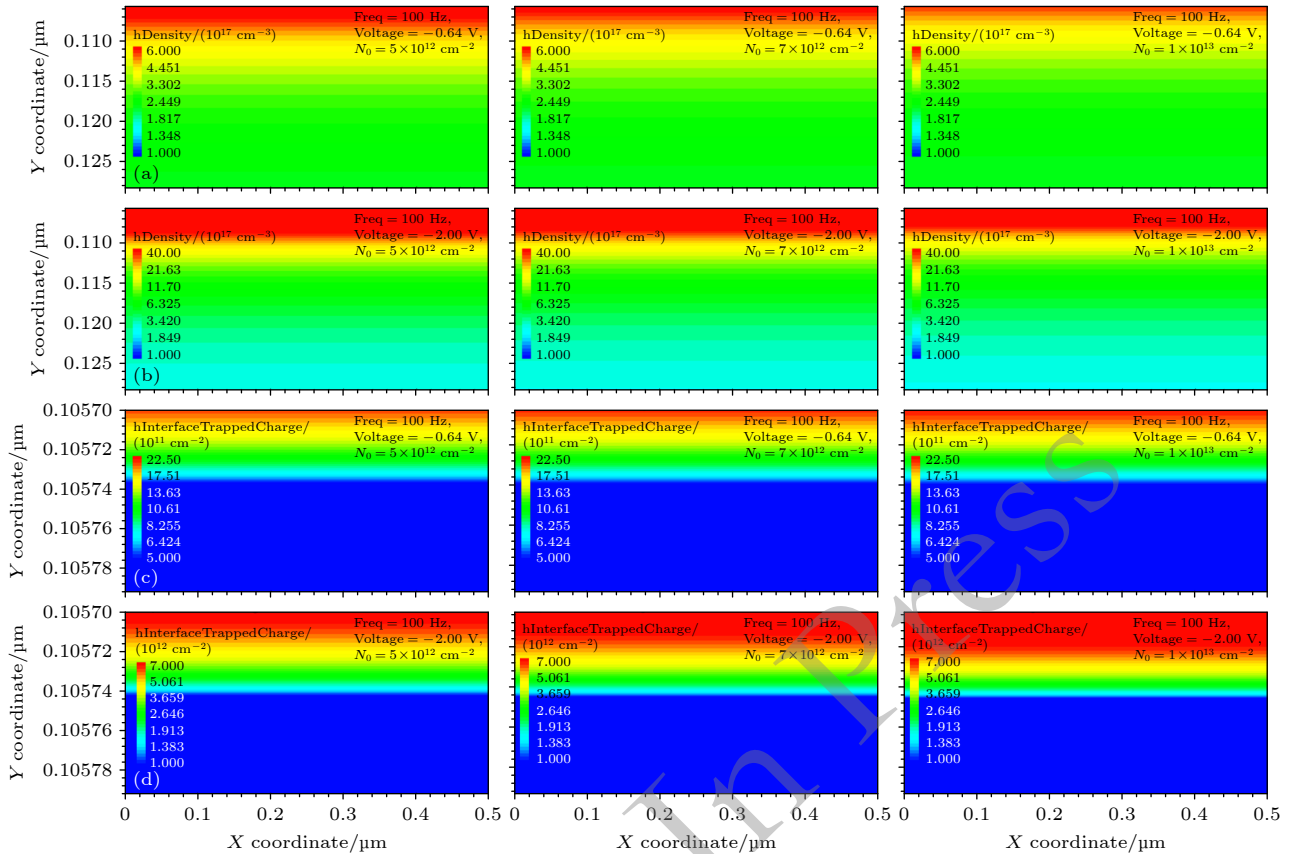


图 5 100 Hz 不同离散型施主界面缺陷态面密度 N_0 条件下的载流子与界面陷阱电荷空间分布 (N_0 从左往右依次为 5×10^{12} , 7×10^{12} , $1 \times 10^{13} \text{ cm}^{-2}$) (a), (b) $V_g = -0.64$ V 和 $V_g = -2.0$ V 时空穴密度分布; (c), (d) $V_g = -0.64$ V 和 $V_g = -2.0$ V 时界面处呈正电性的陷阱电荷面密度分布

Fig. 5. Spatial distributions of hole density and interface-trapped positive charge at 100 Hz for different discrete donor-type interface defect state areal densities N_0 (from left to right, $N_0 = 5 \times 10^{12}$, 7×10^{12} , and $1 \times 10^{13} \text{ cm}^{-2}$): (a), (b) Hole density distributions at $V_g = -0.64$ V and -2.0 V; (c), (d) areal density of trapped positive charge at the interface at $V_g = -0.64$ V and -2.0 V, respectively.

Charge) 升高, 通过库伦作用将空穴积累层推离界面, 从而削弱表面空穴响应^[36].

当栅压增大至 -1.28 V (图 4(c)), 高 N_0 条件下, 界面附近的能带呈现费米能级钉扎^[33], 栅压增量更多用于调制缺陷态的充放电过程, 而非继续推动表面势变化, 因此在该偏压附近的 C_{it} 增强, 对应图 4(a) 中的局部隆起. 当负偏压进一步增大至 -2 V (图 4(d)), 费米能级 E_F 已明显低于界面缺陷态能级 E_t 且偏离其可响应范围, 呈正电性的陷阱电荷数量接近饱和, 缺陷态充放电响应减弱.

正如图 5(b), (d) 所示, N_0 越高, 界面处呈正电性的陷阱电荷将更多得空穴推离界面且陷阱电荷面密度也逐步增大, 使得半导体侧电容减小, 进而降低总电容.

对应于施主型界面缺陷态, 受主型界面缺陷态主要分布于禁带的上半部分, 本文选取 $E_t - E_v = 0.8$ eV 处的离散能级受主型界面缺陷态为例, 探究其对 $C-V$ 特性的调制机制. 该能级位置参考

Brammertz 等^[15] 的结论, 即在拟合 InGaAs MOS 结构实验 $C-V$ 时, 需要在靠近带边的能量位置引入较高密度的受主型界面缺陷态, 方能有效复现实验的曲线特征.

如图 6(a) 所示, 在 100 Hz, $V_g \leq 0.32$ V 时不同离散能级受主型界面缺陷态面密度 N_0 的曲线几乎重合, 此时受主缺陷态对电容贡献微弱. 由图 6(b) 可知, 该条件下 E_t 整体位于 E_F 之上, 受主缺陷态主要处于电中性的空态, 故无法提供显著的 C_{it} . 随着正向栅压继续增大, E_F 逐步扫过 E_t , 受主型界面缺陷态俘获电子概率增加, 由电中性态转变为带负电的陷阱电荷^[37]. 该过程引入额外的 C_{it} , 使 $C-V$ 曲线出现明显隆起, 且 N_0 越大, 隆起幅度越明显. 同时, 这些带负电的陷阱电荷增强了电场屏蔽效应, 导致达到相同表面势所需栅压升高, 表现为 $C-V$ 曲线中隆起的峰值位置随 N_0 增大向正电压方向移动, 并抑制反型建立^[38].

当栅压增大至 $V_g = 0.88$ V (图 6(c)) 时, 高 N_0

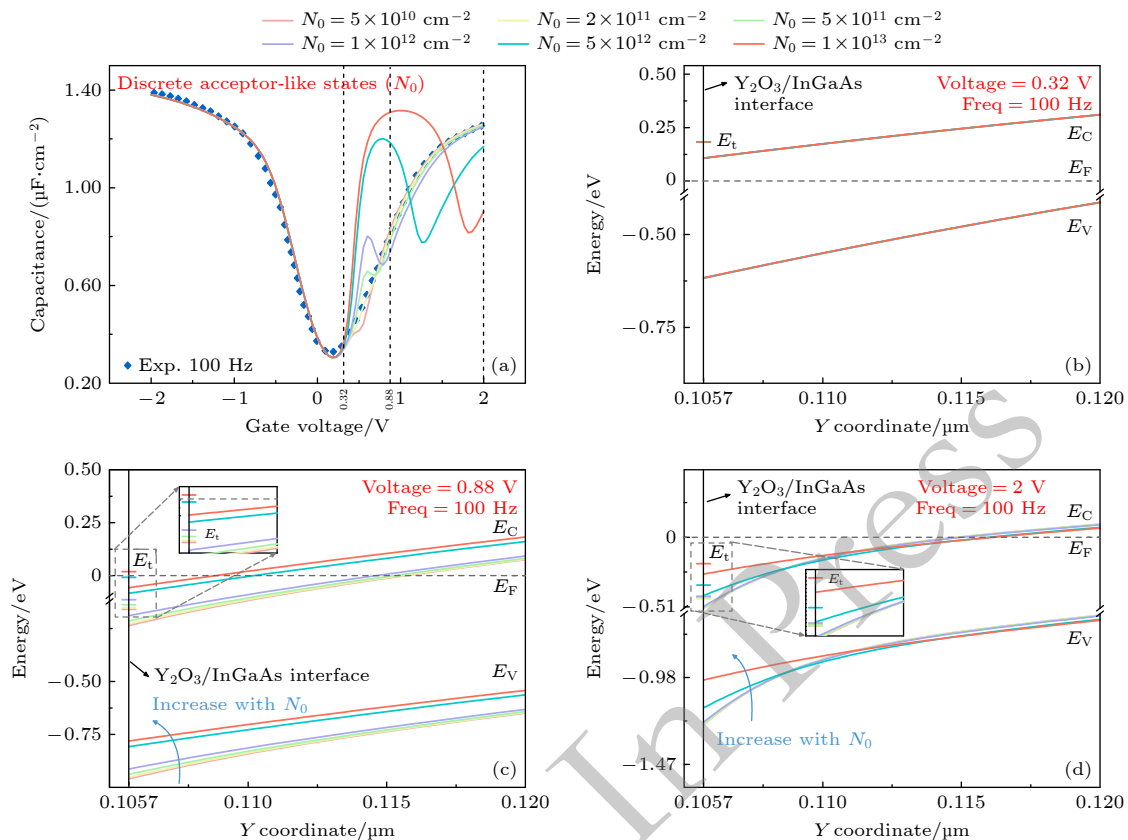


图 6 100 Hz 下位于 $E_t - E_v = 0.8$ eV 的离散能级受主型界面缺陷态面密度 N_0 对 $C-V$ 的影响及对应能带响应 (a) 不同 N_0 下的 $C-V$ 曲线; (b)–(d) $V_g = 0.32$ V, 0.88 V 和 2.0 V 时的能带与界面缺陷态能级分布

Fig. 6. Effect of discrete acceptor-type interface states at $E_t - E_v = 0.8$ eV on 100 Hz $C-V$ characteristics and band responses: (a) $C-V$ curves for different areal densities N_0 of discrete acceptor-type interface defect states; (b)–(d) band diagrams and energy distributions of interface defect states at $V_g = 0.32$ V, 0.88 V, and 2.0 V, respectively.

情况下, E_F 在 E_t 附近表现出更强的费米钉扎效应, 导致栅压的增量更多用于改变受主型界面缺陷态的电子占据状态^[39]. 从电荷分配角度分析(图 7(a), (c)), 随着 N_0 增大, 界面附近电子密度 (eDensity) 明显降低, 且界面处呈负电性的陷阱电荷面密度同步升高, 证明更多受主缺陷态捕获电子且参与交流调制, 从而贡献更大的 C_{it} , 对应了图 6(a) 曲线中更加突出的局部隆起.

当栅压进一步增大至 $V_g = 2$ V (图 6(d)), E_F 已越过 E_t , 受主型界面缺陷态占据率趋近饱和, 表现为稳定的负电荷状态, 充放电响应减弱. 此时 N_0 越大, 界面附近电子密度越低(图 7(b)), 而陷阱电荷面密度维持更高水平(图 7(d)). 这表明界面处负电性的陷阱电荷对栅控电场产生持续屏蔽, 使电场更难诱导足够的自由电子, 因而高正偏压端仍体现为反型建立受抑, 电容上升受限.

当测试频率提升至 1 MHz 时, 界面缺陷态难以充分跟随交流信号响应, 因此相较 100 Hz, 曲线差异更多体现为陷阱电荷的静电屏蔽效应, 而非显著的 C_{it} 隆起.

位于价带顶的离散能级施主型界面缺陷态主要调制积累端电容特性^[39]. 当偏压扫从 -0.8 V 扫描至正偏压时, 各 $C-V$ 曲线逐渐趋于重合; 在接近 -2 V 的积累区, 电容随 N_0 增大而降低(图 8(a)). 如图 8(b) 所示, 在 $V_g = -0.8$ V 时 E_F 已高于 E_t 且偏离较远, 施主缺陷态主要处于电中性态, 其电场屏蔽效应微弱, 因此不同 N_0 下 $C-V$ 差异不明显. 而当偏压进一步增大至 $V_g = -2$ V 时(图 8(c)), E_F 位于 E_t 之下, 高 N_0 产生更多带正电的陷阱电荷, 其增强的电场屏蔽效应, 不仅抑制了能带弯曲, 还通过排斥空穴远离界面, 降低积累区电容.

对于距价带顶 0.8 eV 的离散能级受主型界面

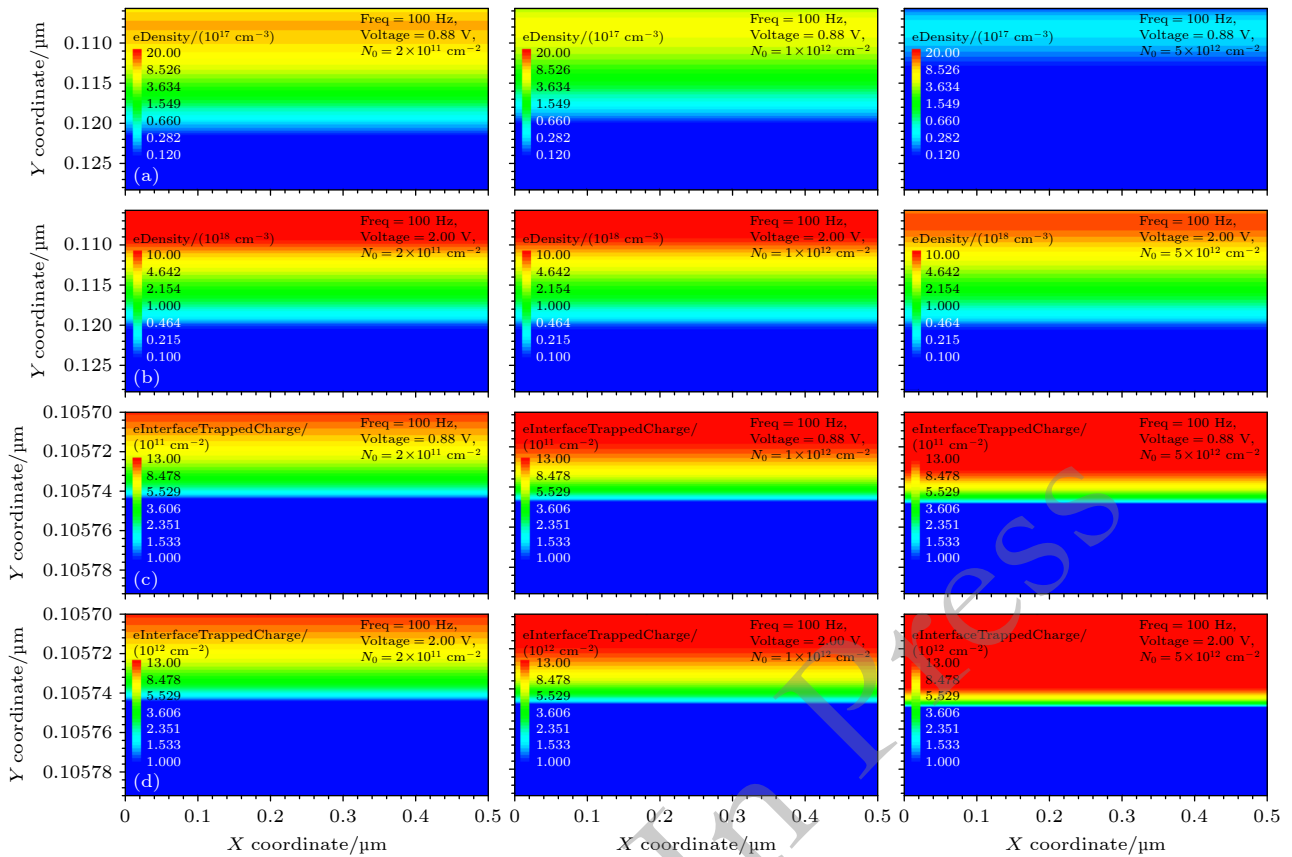


图 7 100 Hz 不同离散型受主界面缺陷态面密度 N_0 条件下的载流子与界面陷阱电荷空间分布 (N_0 从左往右依次为 2×10^{11} , 1×10^{12} , 5×10^{12} cm^{-2}) (a), (b) $V_g = 0.88$ V 和 $V_g = 2.0$ V 时电子浓度分布; (c), (d) $V_g = 0.88$ V 和 $V_g = 2.0$ V 时界面处呈负电性的陷阱电荷面密度分布

Fig. 7. Spatial distributions of electron density and interface-trapped negative charge at 100 Hz for different discrete acceptor-type interface defect state areal densities N_0 (from left to right, $N_0 = 2 \times 10^{11}$, 1×10^{12} , and 5×10^{12} cm^{-2}): (a), (b) Electron density distributions at $V_g = 0.88$ V and 2.0 V, respectively; (c), (d) areal density of trapped negative charge at the interface at $V_g = 0.88$ V and 2.0 V, respectively.

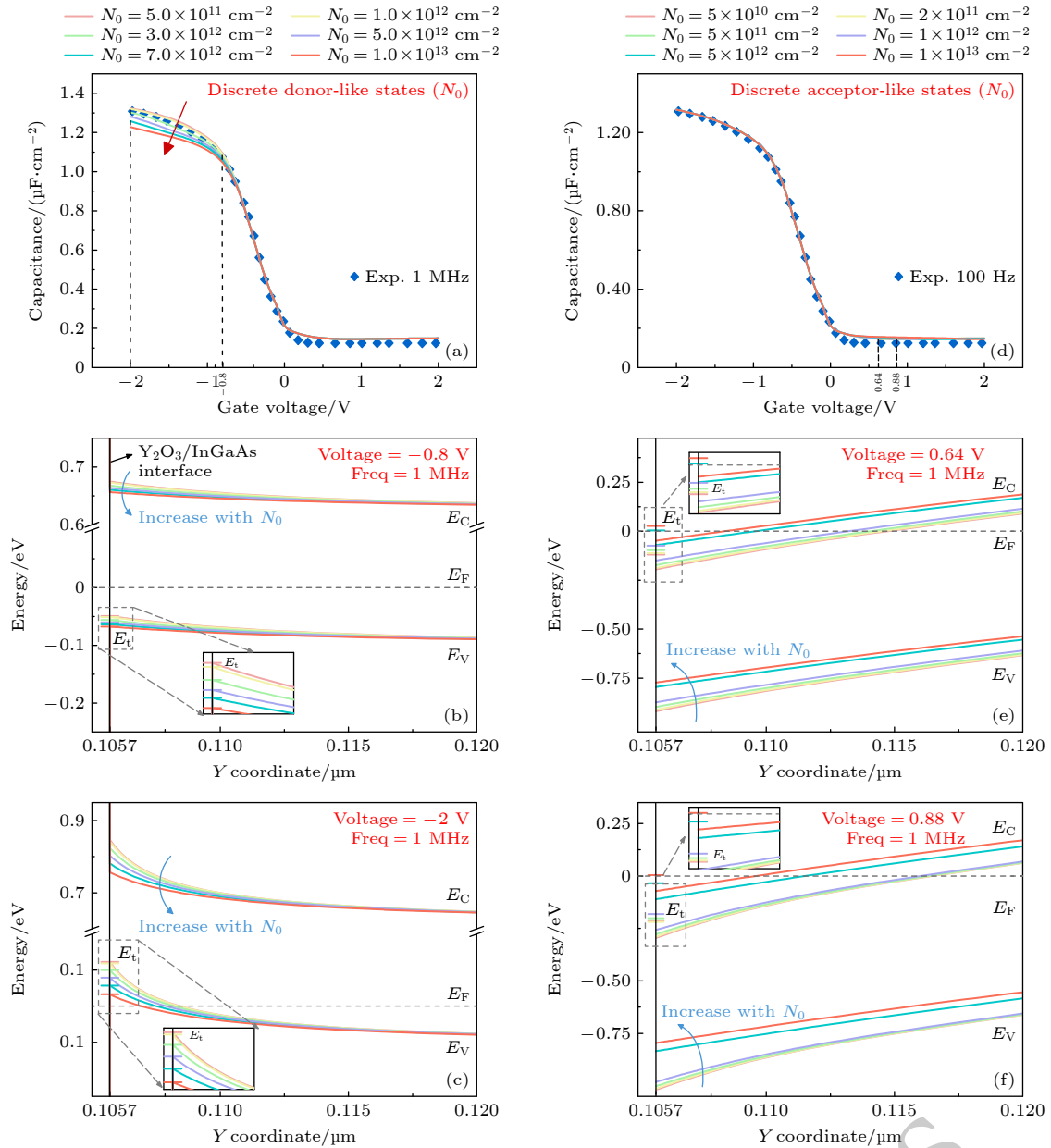


图 8 1 MHz 下离散施主型 ($E_t = E_v$) 与受主型 ($E_t - E_v = 0.8$ eV) 界面缺陷态面密度 N_0 对 C - V 特性及能带响应的对比 (a) 施主型缺陷态在不同 N_0 下的 C - V 曲线; (b), (c) 施主型缺陷态在 $V_g = -0.8$ V 和 $V_g = -2.0$ V 下的能带与缺陷态能级分布; (d) 受主型缺陷态在不同 N_0 下的 C - V 曲线; (e), (f) 受主型缺陷态在 $V_g = 0.64$ V 和 $V_g = 0.88$ V 下的能带与缺陷态能级分布

Fig. 8. Effect of discrete donor- and acceptor-type interface state areal densities N_0 on 1 MHz C - V characteristics and band responses: (a) C - V curves for donor-type states at $E_t = E_v$; (b), (c) band diagrams and energy distributions of interface defect states at $E_t = E_v$ with $V_g = -0.8$ V and -2.0 V, respectively; (d) C - V curves for acceptor-type interface defect states at $E_t - E_v = 0.8$ eV; (e), (f) band diagrams and energy distributions of interface defect states at $E_t - E_v = 0.8$ eV with $V_g = 0.64$ V and 0.88 V, respectively.

缺陷态, 1 MHz 下的影响主要表现为反型侧的轻微电容增大. 如图 8(d) 所示, 在 $V_g = 0.64$ V 附近, 电容随 N_0 增大出现小幅隆起, 此时能带下弯使 E_F 接近并越过 E_t , 受主缺陷态逐步被电子填充并形成带负电的陷阱电荷 (图 8(e)). 随着偏压增大至 $V_g = 0.88$ V (图 8(f)), 这些陷阱电荷进一步积聚并增强了对栅控电场的屏蔽, 致使高 N_0 情况下

的能带更趋平缓.

与离散型界面缺陷态仅在 E_F 跨越特定能级时产生显著响应不同, 指数型施主界面缺陷态在靠近价带顶处呈连续能量分布, 其电荷占据随偏压连续变化, 在宽电压范围内持续调制界面电荷, 从而使 C - V 曲线拉伸. 在 100 Hz 条件下 (图 9(a)), 指数型施主界面缺陷态对 C - V 特性的影响来自带正电

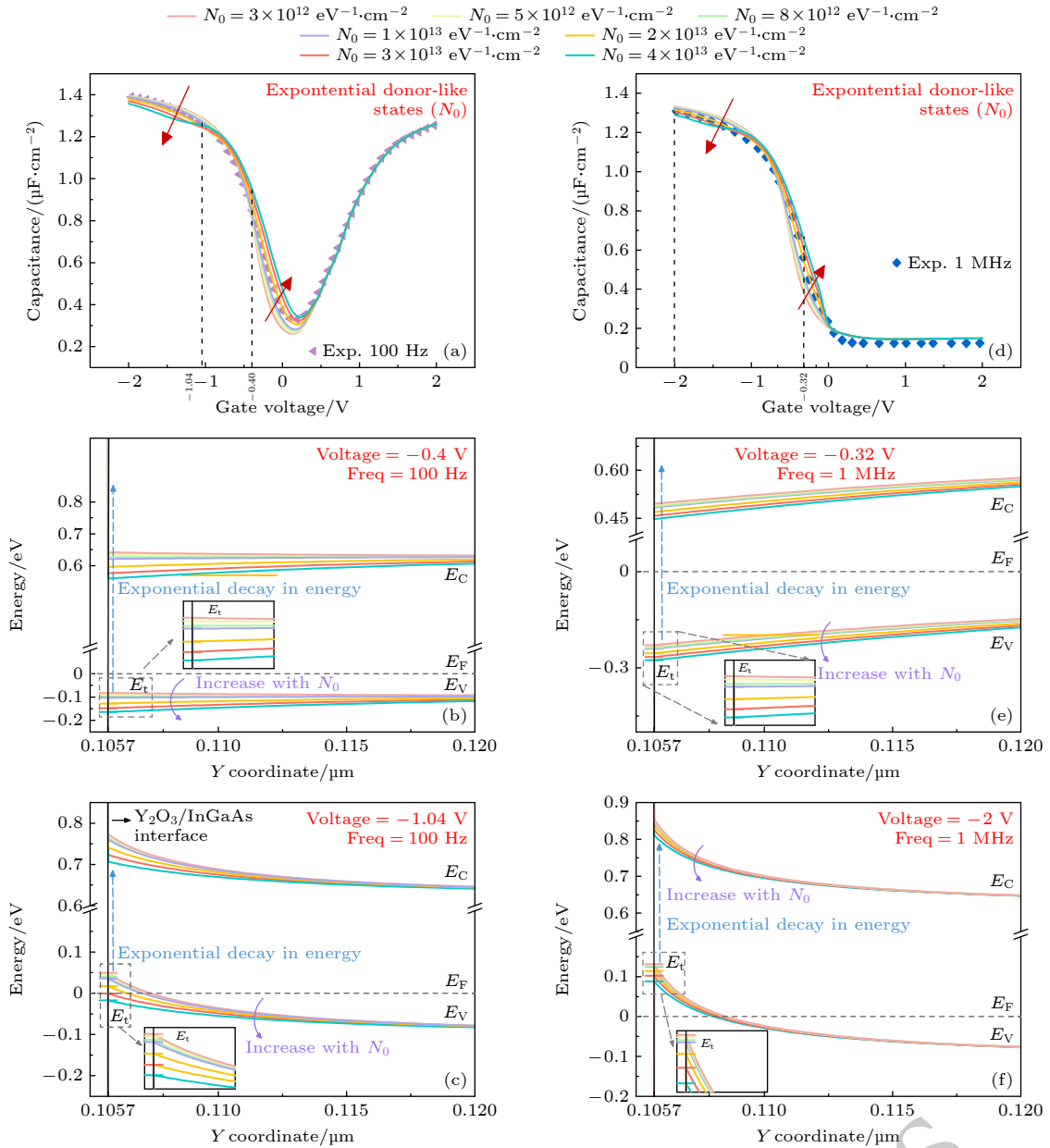


图 9 指数型施主界面缺陷态峰值密度 N_0 对 C - V 频率特性及能带响应的影响 (a) 100 Hz 下不同 N_0 的 C - V 曲线; (b), (c) 100 Hz 下, $V_g = -0.4$ V 和 $V_g = -1.04$ V 时的能带与界面缺陷态能级分布; (d) 1 MHz 下不同 N_0 的 C - V 曲线; (e), (f) 1 MHz 下, $V_g = -0.32$ V 和 $V_g = -2.0$ V 时的能带与界面缺陷态能级分布

Fig. 9. Frequency-dependent C - V characteristics and corresponding band responses for exponential donor-type interface states with peak densities N_0 : (a) C - V curves at 100 Hz for various N_0 ; (b), (c) band diagrams and energy distributions of interface defect states at 100 Hz with $V_g = -0.4$ V and -1.04 V, respectively; (d) C - V at 1 MHz for different N_0 ; (e), (f) band diagrams and energy distributions of interface defect states at 1 MHz with $V_g = -0.32$ V and -2.0 V, respectively.

陷阱电荷的屏蔽效应与缺陷态充放电引入的缺陷 C_{it} 的共同作用。

当栅压位于 -0.4 V 附近时 (图 9(b)), 界面处 E_F 已落入指数型施主界面缺陷态的可响应能级范围, 部分施主缺陷态发生空穴的俘获和释放, 因而产生额外的 C_{it} 并表现为总电容的局部增大; 同时指数型施主界面缺陷态的峰值密度 N_0 越大, 带正

电的陷阱电荷与可参与响应的缺陷数量也随之增加, 导致屏蔽效应更强, 使得能带弯曲差异更加明显。

这一推论在图 10(a), (c) 中得到证实, 数据显示在 $V_g = -0.64$ V 时, 随着 N_0 增大, 界面附近的空穴浓度逐步降低, 而陷阱电荷面密度持续升高。这种此消彼长的趋势表明, 高 N_0 下, 空穴更易被

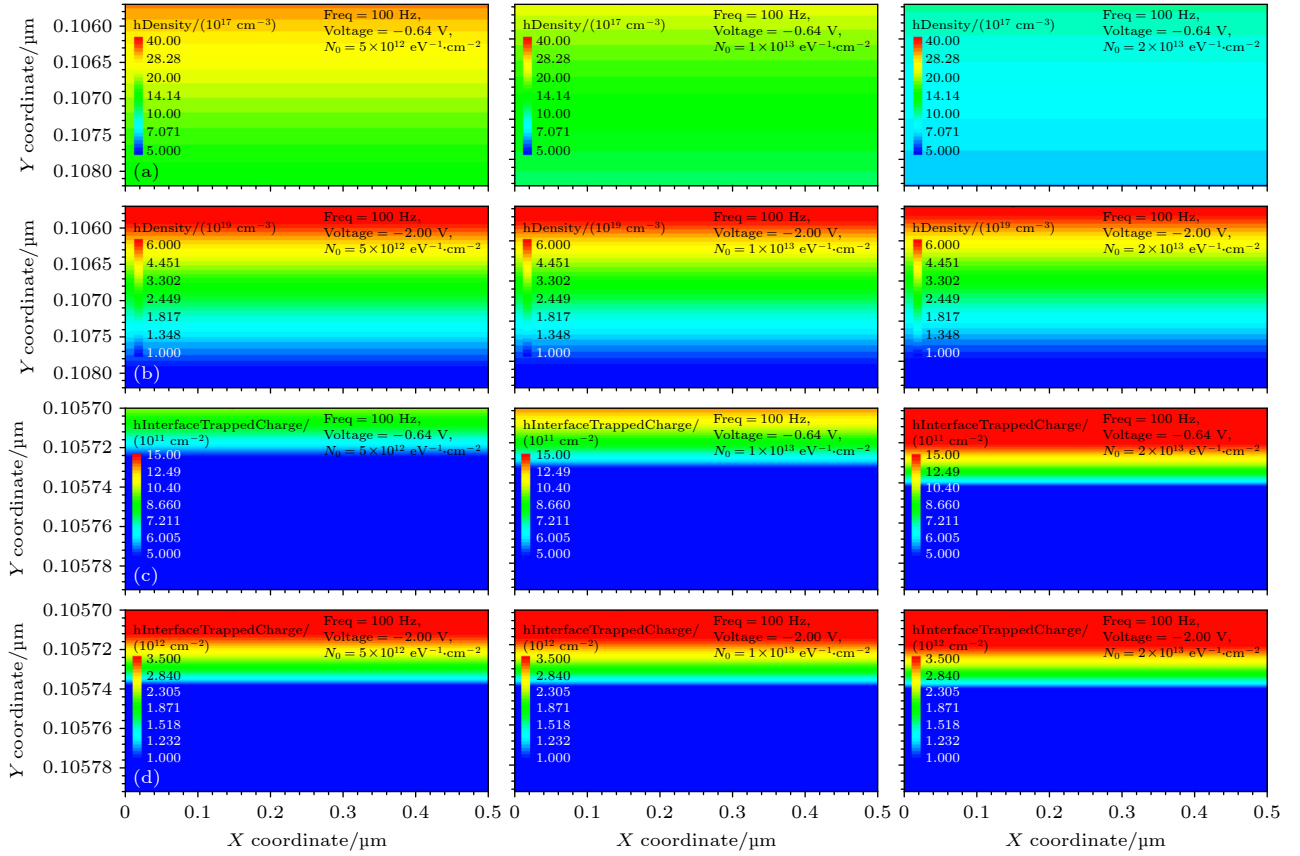


图 10 100 Hz 下不同指数型施主界面缺陷态峰值密度 N_0 下的空穴分布与界面陷阱电荷分布 (N_0 从左至右依次为 5×10^{12} , 1×10^{13} , 2×10^{13} $\text{eV}^{-1}\cdot\text{cm}^{-2}$) (a), (b) 分别为 $V_g = -0.64$ V 和 $V_g = -2.0$ V 时的空穴浓度分布; (c), (d) 分别为 $V_g = -0.64$ V 和 $V_g = -2.0$ V 时界面处呈正电性的陷阱电荷面密度

Fig. 10. Spatial distributions of hole density and interface-trapped positive charge at 100 Hz for exponential interface donor-type defect states with peak densities N_0 (from left to right, $N_0 = 5 \times 10^{12}$, 1×10^{13} , and 2×10^{13} $\text{eV}^{-1}\cdot\text{cm}^{-2}$): (a), (b) Hole density distributions at $V_g = -0.64$ V and -2.0 V, respectively; (c), (d) areal density of trapped positive charge at the interface at $V_g = -0.64$ V and -2.0 V, respectively.

施主型界面缺陷态俘获, 使带正电的陷阱电荷密度增加, 从而削弱了栅极对半导体的控制能力。

随着负偏压进一步增大至 -1.04 V (图 9(c)), E_F 深入至指数型施主界面缺陷态密度更高的能级范围, 使得更多施主缺陷态参与响应, C_{it} 的贡献更显著; 与此同时, 随 N_0 增加的带正电陷阱电荷也同步增强了屏蔽效应, 抑制了界面附近的空穴堆积。图 10(b) 与图 10(d) 显示, 当 $V_g = -2$ V 时, 随着 N_0 增大, 空穴浓度降低而陷阱电荷面密度升高, 表明带正电的陷阱电荷累积排斥了界面附近的空穴, 使积累端电容随 N_0 增大而下降。当栅压扫向正偏压时, E_F 逐渐远离指数型施主界面缺陷态的主要响应区, 缺陷态充放电贡献减弱, 曲线差异随之收敛。

在 1 MHz 条件下 (图 9(d)), 由于能够响应交流信号的缺陷态比例降低, C_{it} 的直接贡献被削

减^[9], 曲线差异主要归因于陷阱电荷屏蔽效应引起的偏移与伸展。在 -0.32 V 附近 (图 9(e)), 仅有部分施主缺陷态处于可响应的能级范围并参与充放电, 电容随 N_0 增大而略有抬升并伴随曲线拉伸。而在 -2 V (图 9(f)) 下, 则由强屏蔽效应主导, 导致电容随 N_0 反向降低。

如前所述, 负偏压下指数型施主界面缺陷态以带正电陷阱电荷的屏蔽效应为主; 相应地, 正偏压下指数型受主界面缺陷态更易发生带负电陷阱电荷累积及其充放电响应, 进而调制反型过程与 $C-V$ 特性曲线形貌。如图 11(a) 所示, 在 100 Hz 条件下, 负偏压至约 -0.08 V 各曲线高度重合, 该区间指数型受主界面缺陷态对电容响应贡献甚微。当栅压增大至 0.4 V, 电容随指数型受主界面缺陷态峰值密度 N_0 增大而上升, 且 $C-V$ 曲线局部隆起加剧并向正偏压方向移动。结合图 11(b) 可知, 此时 E_F

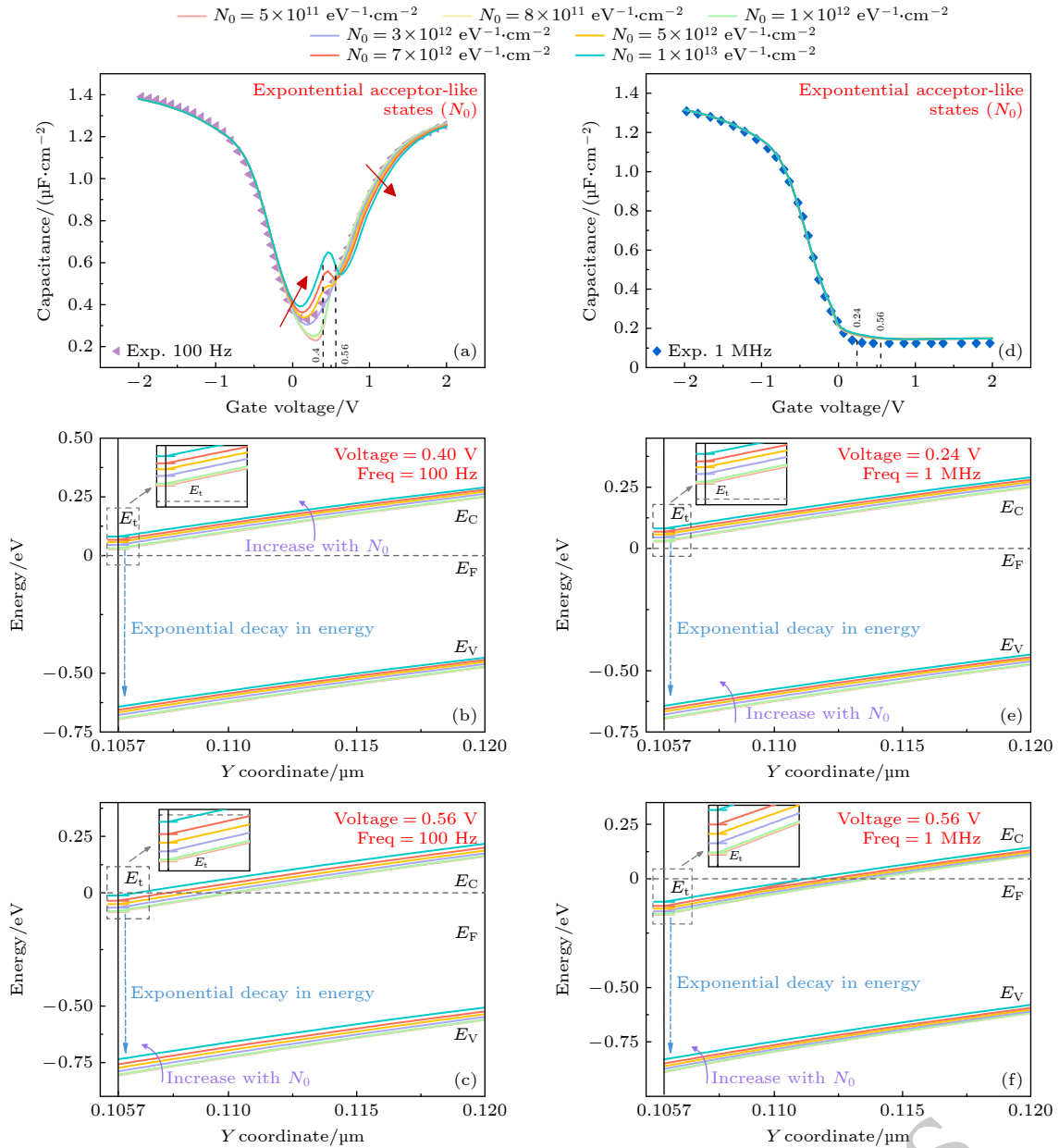


图 11 指数型受主界面缺陷态峰值密度 N_0 对 C - V 频率特性及能带响应的影响 (a) 100 Hz 下不同 N_0 的 C - V 曲线; (b), (c) 100 Hz 下, 分别在 $V_g = 0.4$ V 和 $V_g = 0.56$ V 的能带与界面缺陷态能级分布; (d) 1 MHz 下不同 N_0 的 C - V 曲线; (e), (f) 1 MHz 下, $V_g = 0.24$ V 和 $V_g = 0.56$ V 时的能带与界面缺陷态能级分布

Fig. 11. Frequency-dependent C - V characteristics and corresponding band responses for exponential interface acceptor-type defect states with peak densities N_0 : (a) C - V curves at 100 Hz for different N_0 ; (b), (c) band diagrams and energy distributions of interface defect states at 100 Hz with $V_g = 0.4$ V and 0.56 V, respectively; (d) C - V at 1 MHz for different N_0 ; (e), (f) band diagrams and energy distributions of interface defect states at 1 MHz with $V_g = 0.24$ V and 0.56 V, respectively.

进入指数型受主界面缺陷态的主要响应能级区, 引入额外 C_{it} , 从而抬升总电容; 同时, N_0 增大导致带负电陷阱电荷密度随之增加, 增强电场屏蔽效应。

正如图 12(a), (b) 所示, 在 $V_g = 0.24$ V 与 1.04 V 下, 界面附近电子密度随 N_0 增大而减小, 而界面陷阱电荷密度随之增大 (图 12(c), (d)), 佐证了带负电的陷阱电荷削弱栅极控制能力并抑制界面反

型电子积累, 从而表现为 C - V 曲线隆起部分右移。栅压进一步增大至 0.56 V (图 11(c)) 后, E_F 逐渐离开主要响应区, 缺陷态充放电贡献的 C_{it} 减弱, 曲线差异开始收敛; 在更高正偏压下, 电容上升主要由界面附近自由电子的增量所主导^[40]。

在 1 MHz 条件下 (图 11(d)), 指数型受主界面缺陷态引起的 C - V 曲线差异减弱。表现为在 0.24 V

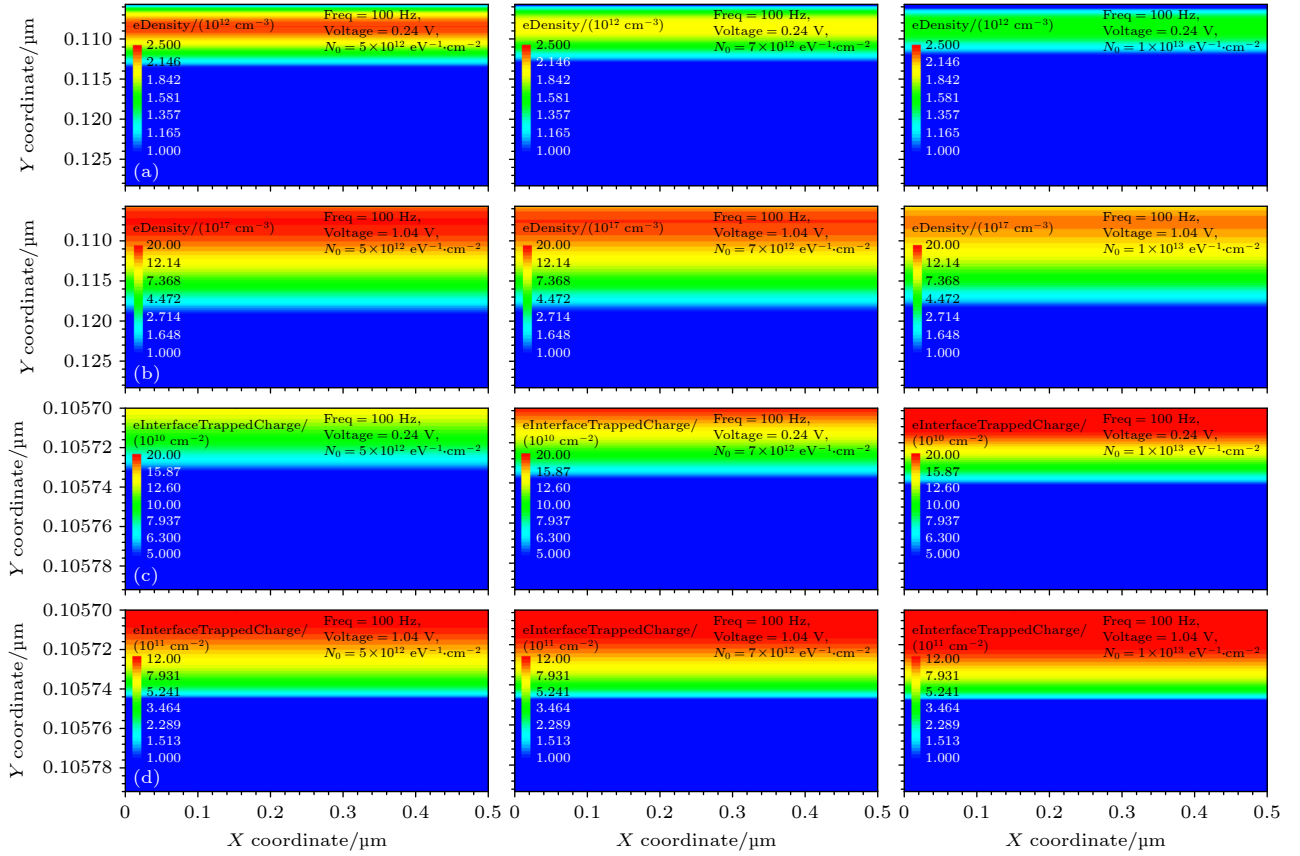


图 12 100 Hz 下不同指数型受主界面缺陷态峰值密度 N_0 导致的电子分布与界面俘获电荷分布 (N_0 从左向右依次为 5×10^{12} , 7×10^{12} , $1 \times 10^{13} \text{ eV}^{-1} \cdot \text{cm}^{-2}$) (a), (b) 分别为 $V_g = 0.24 \text{ V}$ 和 $V_g = 1.04 \text{ V}$ 时的电子浓度分布; (c), (d) 分别为 $V_g = 0.24 \text{ V}$ 和 $V_g = 1.04 \text{ V}$ 时的界面缺陷态俘获电子电荷面密度分布

Fig. 12. Spatial distributions of electron density and interface-trapped negative charge at 100 Hz for exponential interface acceptor-type defect states with peak densities N_0 (from left to right, $N_0 = 5 \times 10^{12}$, 7×10^{12} , and $1 \times 10^{13} \text{ eV}^{-1} \cdot \text{cm}^{-2}$): (a), (b) Electron density distributions at $V_g = 0.24 \text{ V}$ and 1.04 V , respectively. (c), (d) areal density of trapped negative charge at the interface at $V_g = 0.24 \text{ V}$ and 1.04 V , respectively.

附近, 随 N_0 增大 C - V 曲线轻微隆起, 而在高 N_0 下, 陷阱电荷的屏蔽效应抑制能带下弯 (图 11(e)). 随着栅压继续增大, E_F 进一步远离指数型受主缺陷态的主响应区 (图 11(f)), 且可响应的缺陷态逐步趋于饱和, 因此 C - V 曲线差异收敛. 综上, 界面缺陷态的分布形式与类型决定了其频率响应的偏压依赖特性, 即离散能级界面缺陷态仅在特定偏压区间内引发显著响应, 而指数型连续分布界面缺陷态则在宽偏压范围内持续调制 C - V 特征. 唯有同时考量这两类机制, 方能完整揭示全偏压范围内界面缺陷态的作用机理.

4 结论

本文针对 $\text{Al}_2\text{O}_3/\text{Y}_2\text{O}_3/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ MOS 结构的频率色散与曲线形变^[30], 构建了指数量连续分布与离散能级并存的界面缺陷态模型, 并建立栅

压扫描、能带弯曲、缺陷态占据变化与 C - V 响应之间的内在联系. 结果表明, 价带侧指数型施主界面缺陷态主要通过调制负偏压下的空穴积累过程, 引起积累区电容衰减与 C - V 曲线拉伸; 导带侧指数型受主界面缺陷态主要影响正偏压下的反型层建立, 并在特定偏压区间形成局部隆起. 在费米能级扫过离散界面缺陷态的能级附近时, C - V 曲线表现出更强的局部响应特征. 在高密度界面缺陷态面密度条件下, 累积的陷阱电荷, 增强了对栅电场的屏蔽效应, 致使能带弯曲更易受到钳制. 由此可见, 连续分布的界面缺陷态实现了对宽偏压范围的全局调制, 而离散能级界面缺陷态则主导了局部偏压区域的特异性响应. 因此, III-V MOS 的 C - V 建模与参数提取须同时考虑界面缺陷态的分布形式、类型与其充放电力学特性, 以实现低频与高频响应的一致解释. 本工作建立了用于定量解析窄禁带半导体复杂界面物理的模型与分析框架, 并提出、

验证了近带边指数分布与离散能级缺陷态相结合的综合界面缺陷态建模思路。该框架为 MOS 界面缺陷态调制效应分析提供参考,也为高性能红外探测器界面工艺优化及可靠性设计提供理论依据与设计指引。

参考文献

- [1] Li Q C, Han D, Zhang J Y, Wang Z H, Wang T, Zhang J J 2025 *Chin. Phys. Lett.* **42** 120802
- [2] Tsamo Tagougou G, Martinez E, Veillerot M, Thoréton V, Martin M, Baron T, Lefevre G, Cavalaglio S, Bassani F 2025 *J. Appl. Phys.* **138** 025301
- [3] Liu L S, Chen R L, Kong C T, Deng Z, Liu G P, Yan J F, Qin L, Du H, Song S X, Zhang X H, Wang W X 2024 *Materials* **17** 845
- [4] Zhang J X, Wang W, Li Z B, Ye H F, Huang R Y, Hou Z P, Zeng H, Zhu H X, Liu C, Yang X Y 2021 *Front. Phys.* **9** 678192
- [5] Rezaei M, Park M S, Rabinowitz C, Tan C L, Wheaton S, Ulmer M, Mohseni H 2019 *Appl. Phys. Lett.* **114** 161101
- [6] Yu C L, Li X, Yang B, Huang S L, Shao X M, Zhang Y G, Gong H M 2017 *Infrared Phys. Technol.* **85** 74
- [7] Huang P, Luc Q H, Sibaja-Hernandez A, Hsu C W, Wu J Y, Ko H L, Tran N A, Collaert N, Chang E Y 2021 *AIP Adv.* **11** 015050
- [8] Chidambaram T, Veksler D, Madisetti S, Yakimov M, Tokranov V, Oktyabrsky S 2016 *IEEE Electron Device Lett.* **37** 1547
- [9] Caruso E, Lin J, Monaghan S, Cherkaoui K, Gity F, Palestri P, Esseni D, Selmi L, Hurley P K 2020 *IEEE Trans. Electron Devices* **67** 4372
- [10] Zhang Y, Cheng T T, Xu T F, Luo M, Luo S J, Ge M, Xu J T, Yu C H 2025 *Infrared Phys. Technol.* **147** 105772
- [11] Qin J Y, Jiang R Q, Luo M, Cheng T T, Meng Y X, Zu Y Z, Zhang J Z, Ho J C, Yu C H, Chu J H 2024 *Infrared Phys. Technol.* **137** 105105
- [12] Chang H D, Sun B, Lu L, Zhao W, Wang S K, Wang W X, Liu H G 2012 *Acta Phys. Sin.* **61** 217304 (in Chinese) [常虎东, 孙兵, 卢力, 赵威, 王盛凯, 王文新, 刘洪刚 2012 物理学报 **61** 217304]
- [13] Ma L Y, Li Y D, Guo Q, Ai E K, Wang H J, Wang B, Zeng J Z 2015 *Acta Phys. Sin.* **64** 154217 (in Chinese) [玛丽娅, 李豫东, 郭旗, 艾尔肯, 王海娇, 汪波, 曾骏哲 2015 物理学报 **64** 154217]
- [14] Liu Y, Wu W J, Li B, En Y F, Wang L, Liu Y R 2014 *Acta Phys. Sin.* **63** 098503 (in Chinese) [刘远, 吴为敬, 李斌, 恩云飞, 王磊, 刘玉荣 2014 物理学报 **63** 098503]
- [15] Brammertz G, Lin H C, Caymax M, Meuris M, Heyns M, Passlack M 2009 *Appl. Phys. Lett.* **95** 202109
- [16] Lin T D, Chang Y H, Lin C A, Huang M L, Lee W C, Kwo J, Hong M 2012 *Appl. Phys. Lett.* **100** 172110
- [17] Galatage R V, Zhernokletov D M, Dong H, Brennan B, Hinkle C L, Wallace R M, Vogel E M 2014 *J. Appl. Phys.* **116** 014504
- [18] Lin H C, Wang W E, Brammertz G, Meuris M, Heyns M 2009 *Microelectron. Eng.* **86** 1554
- [19] Chang P, Chiu H C, Lin T D, Huang M L, Chang W H, Wu S Y, Wu K H, Hong M, Kwo J 2011 *Appl. Phys. Express* **4** 114202
- [20] Chen Y F, Wang Y, Wang Z, Gu Y, Ye Y, Chai X L, Ye J F, Chen Y, Xie R Z, Zhou Y, Hu Z G, Li Q, Zhang L L, Wang F, Wang P, Miao J S, Wang J L, Chen X S, Lu W, Zhou P, Hu W D 2021 *Nat. Electron.* **4** 357
- [21] Cheng T T, Zhang K, Luo M, Meng Y X, Zu Y Z, Wang Y J, Wang P, Yu C H 2023 *J. Infrared Millimeter Waves* **42** 666
- [22] Sun H Z, Qian L Y, Hong X K, Ye B J, Qiang A Q, Liu Y S, Parkhomenko I N, Komarov F F, Wang J, Xue J J, Yang G F 2025 *Adv. Photonics* **7** 066008
- [23] Li X Q, Sun H Z, Ge M, Qian L Y, Ge X Y, Hong X K, Qian W Y, Zhang X Y, Liang J G, Shan X Y 2025 *Appl. Phys. Lett.* **127** 213301
- [24] Kong L Y, Song Y, Kim J D, Yu L, Wasserman D, Chim W K, Chiam S Y, Li X L 2017 *ACS Nano* **11** 10193
- [25] Cherkaoui K, O'Connor E, Monaghan S, Long R D, Djara V, O'Mahony A, Nagle R, Pemble M E, Hurley P K 2010 *ECS Trans.* **28** 181
- [26] Beneventi G B, Reggiani S, Gnudi A, Gnani E, Alian A, Collaert N, Mocuta A, Thean A, Baccarani G 2015 *IEEE Trans. Electron Devices* **62** 3645
- [27] Södergren L, Olausson P, Lind E 2023 *IEEE Trans. Electron Devices* **70** 1226
- [28] Yesayan A, Jazaeri F, Sallese J-M 2016 *IEEE Trans. Electron Devices* **63** 1368
- [29] Qin J Y, Luo M, Cheng T T, Meng Y X, Zu Y Z, Wang X, Yu C H 2024 *J. Infrared Millimeter Waves* **43** 744
- [30] Lin Y H G, Wan H W, Young L B, Lai K H, Liu J, Cheng Y T, Kwo J, Hong M 2024 *J. Appl. Phys.* **135** 015701
- [31] Michl J 2022 Charge Trapping and Variability in CMOS Technologies at Cryogenic Temperatures Ph. D. Dissertation (Wien: Technische Universität Wien)
- [32] Synopsys 2022 *Sentaurus Device User Guide* (Version T-2022.03) (Mountain View, CA: Synopsys) p543
- [33] Engel-Herbert R, Hwang Y, Stemmer S 2010 *J. Appl. Phys.* **108** 124101
- [34] Shi M, Shao X M, Tang H J, Li X, Gong H M 2022 *Infrared Phys. Technol.* **122** 104084
- [35] Hurley P K, O'Connor É, Djara V, Monaghan S, Povey I M, Long R D, Sheehan B, Lin J, McIntyre P C, Brennan B 2013 *IEEE Trans. Device Mater. Reliab.* **13** 429
- [36] Anwar S R, Vandenberghe W G, Bersuker G, Veksler D, Verzellesi G, Morassi L, Galatage R V, Jha S, Buie C, Barton A T 2017 *IEEE Trans. Electron Devices* **64** 3794
- [37] Greene-Diniz G, Kuhn K J, Hurley P K, Greer J C 2017 *J. Appl. Phys.* **121** 075703
- [38] Kao W C, Ali A, Hwang E, Mookerjee S, Datta S 2010 *Solid-State Electron.* **54** 1665
- [39] Balestra L, Di Stasi S, Gnani E, Reggiani S, Chen M-Y, Iwai H, Chang E Y 2025 *Solid-State Electron.* **231** 109265
- [40] O'Regan T P, Hurley P K 2011 *Appl. Phys. Lett.* **99** 163502

SPECIAL TOPIC—2D materials and future information devices

Modulation mechanisms of capacitance-voltage characteristics by interface defect states in $\text{Al}_2\text{O}_3/\text{Y}_2\text{O}_3/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ MOS structures*

LUO Man¹⁾ LUO Shijun¹⁾ WANG Yibin¹⁾ JIAO Wenbo¹⁾
 ZHANG Qiang¹⁾ XU Jintong³⁾ LONG Mingsheng^{2)†} YU Chenhui^{1)3)‡}

1) (*Jiangsu Key Laboratory of Semiconductor Device and IC Design, Package and Test, School of Microelectronics and Integrated Circuits, Nantong University, Nantong 226019, China*)

2) (*State Key Laboratory of Opto-Electronic Information Acquisition and Protection Technology, Institutes of Physical Science and Information Technology, Anhui University, Hefei 230601, China*)

3) (*National Key Laboratory of Infrared Detection Technologies, Shanghai Institute of Technical Physics, Chinese Academy of Sciences, Shanghai 200083, China*)

(Received 13 March 2026; revised manuscript received 16 April 2026)

Abstract

The effects of interface defect states with different distribution forms on the C - V characteristics and interface charge modulation behavior of $\text{Al}_2\text{O}_3/\text{Y}_2\text{O}_3/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ MOS structures were investigated. Experimental data and TCAD simulations were combined to analyze their underlying mechanisms. Using the experimental C - V curves at 100 Hz and 1 MHz as calibration benchmarks, a comprehensive interface defect state model consisting of near-band-edge exponentially distributed continuous defect states and discrete energy level defect states was established at the $\text{InGaAs}/\text{Y}_2\text{O}_3$ interface. By adjusting the defect state type, we analyzed the reference energy level, energy position, defect state density, and characteristic energy parameter, the response characteristics of different defect states. Based on the evolution of band bending, carrier distribution, and interface trapped charge variation during gate-voltage sweeping, the formation mechanisms of the overall stretch-out and local anomalous fluctuations in the experimental C - V curves were further clarified. The results show that discrete donor-like and acceptor-like interface defect states mainly produce local responses when the Fermi level sweeps across specific energy levels. Through enhanced electric-field screening and the introduction of defect capacitance, they can induce local capacitance reduction or hump-like behavior, accompanied by Fermi-level pinning. In contrast, exponentially distributed interface defect states mainly modulate the interface trapped charge and the associated screening effect through charging and discharging of defect state over a wide energy range, thereby affecting the overall stretch-out of the C - V curves over a wide bias range. Among them, exponentially distributed donor-like defect states near the valence-band side mainly modulate the response in the accumulation region, whereas exponentially distributed acceptor-like defect states near the conduction-band side mainly suppress inversion electron accumulation. These results indicate that a

* Project supported by the National Natural Science Foundation of China (Grant Nos. 62074085, 62104118, U24A20308, 62004109), the National Key Research and Development Program of China (Grant No. 2024YFB3211704), the Natural Science Foundation of Higher Education Institutions of Jiangsu Province, China (Grant No. 25KJA510005), and the National Key Laboratory of Infrared Detection Technologies, Shanghai Institute of Technical Physics, Chinese Academy of Sciences, China (Grant No. IRDT-24-06).

† Corresponding author. E-mail: longms@ahu.edu.cn

‡ Corresponding author. E-mail: ychyu@ntu.edu.cn

single defect state distribution model is insufficient to simultaneously explain the overall profile and local details of the experimental curves, and that the synergistic effects of continuous and discrete defect states must be considered together. The comprehensive interface defect state model and analysis method established in this work provides a useful framework for studies on the modulation mechanisms of interface defect states, parameter extraction, and interface process optimization in InGaAs MOS structures.

Keywords: In_{0.53}Ga_{0.47}As MOS, interface defect states, *C-V* characteristics, interface charge modulation

DOI: [10.7498/aps.75.20260366](https://doi.org/10.7498/aps.75.20260366)

CSTR: [32037.14.aps.75.20260366](https://cstr.cn/32037.14.aps.75.20260366)

In Press