

专题: 二维材料与未来信息器件

栅介质形貌调控 MoS₂ 应变及其晶体管性能*闵钰峰^{1)2)3)#} 房浩天^{1)2)3)#} 孙东东¹⁾²⁾³⁾ 王可¹⁾²⁾³⁾葛宇¹⁾²⁾³⁾ 位丽姿¹⁾²⁾³⁾ 石媛媛^{1)2)3)†}

1) (中国科学技术大学集成电路学院, 合肥 230026)

2) (中国科学技术大学微电子学院, 合肥 230026)

3) (安徽省集成电路科学与技术重点实验室, 合肥 230026)

(2026 年 3 月 23 日收到; 2026 年 1 月 24 日收到修改稿)

硅基电子器件极大推动了半导体产业发展, 但随着特征尺寸微缩已接近物理极限, 短沟道效应和散热问题日益严峻. 二维过渡金属硫族化合物 (transition-metal dichalcogenides, TMDCs) 因具有原子层厚度及优异性能被视为潜在替代材料. 单层二硫化钼 (molybdenum disulfide, MoS₂) 薄膜晶体管理论迁移率高达 420 cm²/(V·s), 但其原子级薄的厚度易受界面散射影响, 实验测量的室温迁移率始终低于理论值. 研究表明应变工程是提升迁移率的有效方法, 拉伸应变可减小 MoS₂ 带隙和载流子有效质量, 从而提高迁移率. 本工作提出了一种利用栅介质形貌调控方法来局部调控 MoS₂ 晶体管中的应力, 从而研究 MoS₂ 晶体管性能会受到的影响. 利用具有通孔结构的超薄多孔阳极氧化铝 (anodic aluminum oxide, AAO) 在衬底预沉积 10 nm Au 纳米圆台, 随后通过原子层沉积 (atomic layer deposition, ALD) 保形生长栅介质. 在转移 MoS₂ 薄膜后, 利用栅介质表面凸起结构对 MoS₂ 施加 0.56% 的拉伸应变, 但 MoS₂ 晶体管迁移率并未得到理想的提升 (仅 3 倍). 扫描电子显微镜 (scanning electron microscope, SEM) 和变温电学测试证明纳米圆台结构引入拉伸应变的同时也引入了微观褶皱, 增强了 MoS₂ 中声子散射从而降低迁移率. 本研究初步阐明了局部应力调控与微观褶皱对 MoS₂ 晶体管电学输运机制的综合影响, 为后续二维半导体晶体管的应变工程研究提供了重要的实验参考.

关键词: MoS₂ 晶体管, 应变工程, 声子散射, 迁移率

DOI: 10.7498/aps.75.20260406

CSTR: 32037.14.aps.75.20260406

1 引言

晶体管作为半导体器件的关键部件, 从最初的点接触式晶体管发展到如今的纳米级晶体管, 经历了显著的技术进步. 早期晶体管体积较大, 但随着制造工艺的不断改进, 晶体管尺寸逐步缩小. 20 世纪 60 年代末, 英特尔联合创始人戈登·摩尔提出摩尔定律^[1], 预测集成电路上的晶体管数量大约每两年翻倍, 器件性能持续提升, 成本逐步降低. 这一

规律在随后几十年中得到了验证, 晶体管的微型化极大地推动了计算能力的飞跃, 助力信息技术的快速发展^[2]. 然而, 随着晶体管尺寸的持续缩小, 硅基器件已接近物理极限. 进一步减小栅长会导致短沟道效应 (short-channel effects, SCE), 增大漏电流, 限制开关速度, 并对功耗控制提出更高挑战^[3]. 为缓解短沟道效应, 沟道厚度需进一步减薄, 但当厚度低于 5 nm 时, 表面悬挂键增加和表面粗糙度升高会导致载流子散射加剧, 迁移率显著下降. 这使得传统硅基材料的进一步缩减面临能效和性能瓶

* 国家自然科学基金 (批准号: 62374155, U25A200461) 资助的课题.

同等贡献作者.

† 通信作者. E-mail: yuanyuanshi@ustc.edu.cn

颈, 亟需新材料、新结构和新工艺的突破^[4].

二维过渡金属硫族化合物 (transition-metal dichalcogenides, TMDCs), 如 MoS₂, 是一类典型的二维材料, 不仅具有类似石墨烯的二维特性, 还拥有可调的带隙, 表现出优异的电学性能、机械柔韧性和化学/热稳定性. 因而非常适合用于逻辑器件集成. TMDCs 得益于其超薄二维结构, 可在工艺节点继续缩小的同时有效抑制短沟道效应^[5]. 并且 TMDCs 表面无悬挂键, 表现出良好的环境和工艺稳定性, 即使在极薄厚度下也能维持较高迁移率. 因此以 MoS₂ 为代表的 TMDCs 有取代硅作为逻辑器件沟道材料的潜力. 然而, 以 MoS₂ 薄膜晶体管为例, 尽管其超薄结构理论上可将载流子限制在 1 nm 的空间内以缓解短沟道效应, 但实际室温迁移率远低于理论值. 这主要源于界面散射机制对载流子迁移的阻碍. 为解决这一问题, 研究人员提出通过应变工程优化界面散射, 提升 MoS₂ 晶体管的迁移率.

应变工程通过施加应力调控二维半导体的性能. 对于 MoS₂ 薄膜晶体管, 其接触界面 (如 MoS₂/金属、MoS₂/栅介质、MoS₂/环境) 存在多种问题, 例如功函数失配导致的接触势垒、界面散射机制阻碍载流子输运, 以及环境中的水氧和杂质形成电荷陷阱引发器件迟滞^[6]. 理论研究表明, 拉伸应变可显著提升 MoS₂ 的载流子迁移率. 例如, 2018 年的第一性原理计算显示, 拉伸应变可减小 MoS₂ 的电子有效质量, 从而提高迁移率^[7]; 2022 年研究进一步揭示, 拉伸应变可增大 MoS₂ 能谷间的能量差, 降低谷间散射^[8]; 此外, 拉伸应变还可增大 MoS₂ 的介电常数, 减弱电声散射中的极化电场效应, 从而抑制散射, 提升迁移率^[9]. 因此, 领域内涌现的密度泛函理论 (density functional theory, DFT) 计算的工作从理论上验证了 MoS₂ 薄膜晶体管应变工程的可行性.

除了理论计算, 近年来涌现大量应变工程相关的工作, 采用各种给 MoS₂ 施加拉伸应变的方法增强 MoS₂ 薄膜晶体管的迁移率. 如 2022 年, Ng 等^[9] 将 MoS₂ 转移到预先制备的表面具有凸起结构的高粗糙度 SiN_x 衬底表面, 利用凸起 SiN_x 将 MoS₂ 撑起来, MoS₂ 受到拉伸, 内部产生拉伸应变. 制备的 MoS₂ 背栅晶体管器件的迁移率随着 SiN_x 栅介质的粗糙度增大而明显提升, 甚至接近 MoS₂ 的理论极限迁移率, 通过第一性原理计算以及分子

光谱结果, 将这种大幅提升归因为粗糙 SiN_x 栅介质的凸起结构使得 MoS₂ 产生拉伸应变, 其内部的电子-声子散射被大幅抑制, 迁移率增大. 2023 年 Chen 等^[10] 则是将预先制备的 MoS₂/源漏电极结构转移到沟槽结构, 通过按压沟槽结构上的 MoS₂ 沟道区域, 使得 MoS₂ 产生弯曲, 内部成功施加拉伸应变. 通过拉曼光谱能够得知 MoS₂ 内部的拉伸应变大小与沟槽结构的深度有关, 制备的 MoS₂ 背栅晶体管器件的迁移率和开态电流在拉伸应变的作用下大幅增强. 2024 年 Liu 等^[11] 利用商业热扫描探针光刻系统以及热悬臂在 PPA 上进行图案化, 制备了具有双轴正弦波形状图案. 并且利用反应离子刻蚀将图案转移到 SiO₂ 衬底上. 随后将单层 MoS₂ 转移到图案化的 SiO₂ 衬底上, 制备了 MoS₂ 薄膜晶体管, MoS₂ 与双轴正弦波形状的 SiO₂ 衬底贴合, 呈现拉伸的状态. 对双轴正弦波形状的 SiO₂ 上的 MoS₂ 进行拉曼光谱表征, 结果显示 MoS₂ 的 E_{2g} 峰位产生明显红移甚至分裂, 说明 MoS₂ 产生拉伸应变. 比较制备得到的 MoS₂ 薄膜晶体管中 Smooth 器件 (内部无应变) 和 Strained 器件 (内部有拉伸应变), 可以看到 Strained 器件具有更高的开态电流. 整理所有器件的转移特性曲线, 提取两种器件的迁移率, 结果显示, 在室温下, Smooth 器件的迁移率在 8—60 cm²/(V·s)、Strained 器件的迁移率在 50—180 cm²/(V·s) 范围内, Strained 器件相比 Smooth 器件表现出明显的迁移率提升^[12].

综上, 不仅是理论计算, 实验上也有相关工作验证了应变工程的可行性. 尽管应变工程在提升器件性能方面展现出巨大潜力, 但现有引入应变的方法往往依赖于复杂的机械转移或非标准微纳加工手段, 难以做到与现有的 CMOS 工艺大规模兼容, 领域内迫切需要能够大规模制备的施加应变方法.

基于此, 本文提出了一种通过调控栅介质形貌来对 MoS₂ 施加局域拉伸应变的创新工艺. 本研究利用自组装多孔阳极氧化铝 (anodic aluminum oxide, AAO) 作为模板, 在栅介质底部制备规则排列的金属纳米圆台阵列结构, 对随后转移的单层 MoS₂ 施加拉伸应变. 研究系统对比了基于纳米圆台结构 (Rough) 及平滑 (Smooth) 背栅介质的 MoS₂ 晶体管的电学性能, 并进一步探讨了栅介质形貌调控的应变与伴生褶皱对于 MoS₂ 晶体管性能的竞争机制, 为后续 TMDCs 晶体管应变工程及 CMOS

兼容工艺的开发提供参考。

2 施加应变方法

2.1 纳米圆台结构制备

AAO 是一种通过电化学法制备的具有高度有序蜂窝状的双通孔结构的薄膜, 材料表面旋涂着一层聚甲基丙烯酸甲酯 (polymethyl methacrylate, PMMA) 支撑层^[13] 本文选用的 AAO 的间距为 125 nm, 孔径为 120 nm; 这个尺寸决定 Au 纳米圆台的尺寸. AAO 作为模板制备纳米圆台的流程如下: 首先在衬底上转移一层 AAO, 随后热蒸发工艺沉积 20 nm 厚的 Au; 在沉积过程中, 受限 AAO 孔洞的高深宽比结构, Au 原子主要沿孔洞纵向沉积, 同时部分 Au 会附着于孔壁. 随着沉积的进行, 孔径逐渐缩小, 最终在衬底上形成顶部圆滑的纳米圆台结构. 去除 AAO 掩模后, 通过原子层沉积 (atomic layer deposition, ALD) 在 Au 纳米圆台结构上保形沉积 20 nm HfO₂ 作为栅介质. 图 1(a), (b) 为纳米圆台结构施加拉伸应变的示意图, 当单层 MoS₂ 转移到纳米圆台结构后, MoS₂ 与纳米圆台逐渐贴合, MoS₂ 发生共形形变, 从而在内部产生应变.

为验证栅介质形貌调控的有效性, 利用原子力显微镜 (atomic force microscope, AFM) 对纳米圆台的表面形貌进行表征. 图 1(c), (d) 分别展示了

光滑栅介质 (无纳米圆台, Smooth 区域) 和纳米圆台栅介质 (Rough 区域) 表面的 AFM 图像. 结果显示 Smooth 区域的栅介质极为平整, 均方根粗糙度 R_q 仅为 0.74 nm; 而 Rough 区域可以观察到规则排列的纳米圆台阵列, 其 R_q 提升至 6.61 nm. 图 1(e) 的三维形貌图直观展示了该结构的起伏特征. 通过提取图 1(d) 中红色实线路径的高度信息 (图 1(f)) 可知, 所制备的纳米圆台高度约 10 nm, 直径约 110 nm, 并且具有良好的形貌一致性与周期分布特征.

2.2 纳米圆台修饰栅介质上 MoS₂ 的应变表征

为明确纳米圆台结构成功对 MoS₂ 施加的应变水平, 使用共聚焦拉曼光谱仪对 HfO₂ 纳米圆台上的 MoS₂ 进行拉曼光谱测试. 拉曼光谱测试参数为: 激光波长 532 nm、激光功率 1.2 mW、光栅 1200 lines/mm. 如图 2(a) 所示, 主要测试两个区域: Rough 区域 (有纳米圆台结构的区域), Smooth 区域 (无纳米圆台结构的区域). 图 2(b) 中红色和蓝色曲线分别是 Rough 区域和 Smooth 区域 MoS₂ 的拉曼光谱, 其中 Rough 区域 MoS₂ 的 E_{2g} 峰位为 382.4 cm⁻¹, 相较于 Smooth 区域的 385 cm⁻¹, 发生 2.6 cm⁻¹ 的红移, 即 MoS₂ 产生了 0.56% 的拉伸应变 (每 4.6 cm⁻¹ 红移代表 1% 拉伸应变)^[14]. 此外, 从图 2(b) 的拉曼光谱结果中可以提取出 Smooth 器

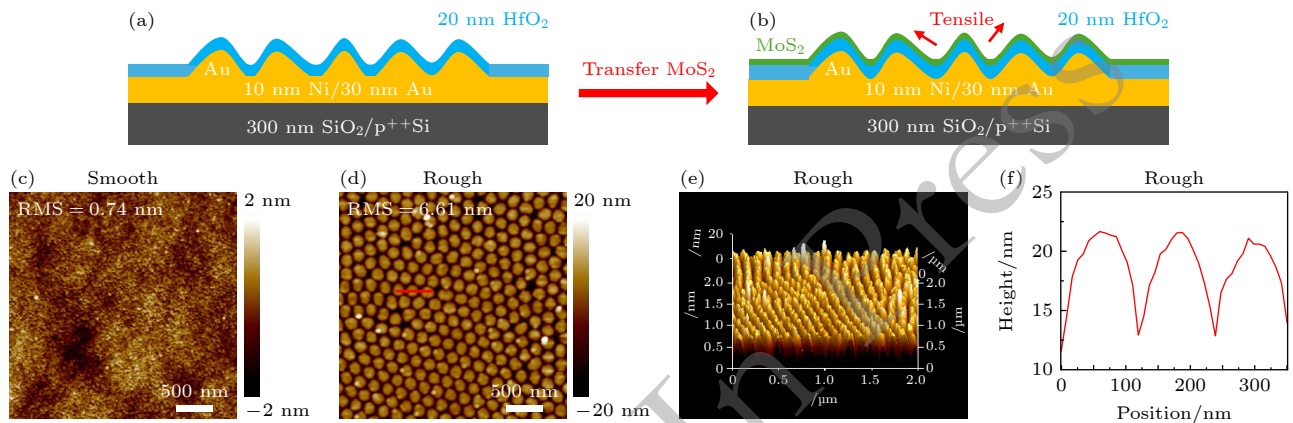


图 1 基于纳米圆台结构的单层 MoS₂ 结构示意图与相关形貌表征 (a), (b) 纳米圆台结构对 MoS₂ 施加拉伸应变的结构示意图; (c) Smooth 区域 (无纳米圆台结构的栅介质表面) 的表面 AFM 图像; (d) Rough 区域 (有纳米圆台结构的栅介质表面) 的表面 AFM 图像; (e) Rough 区域的表面 3D AFM 形貌图像; (f) 图 1(d) 中红色虚线区域的高度信息

Fig. 1. Schematic and characterization of truncated-nanocone structure based MoS₂: (a), (b) Schematic of truncated-nanocone structure introduced strain in MoS₂; AFM topography of (c) the Smooth region (dielectric surface without truncated-nanocone structures) and (d) Rough region (dielectric surface with truncated-nanocone structures); (e) 3D AFM topography of the Rough region; (f) cross-sectional height profile along the region marked by red dash line in Fig. (d).

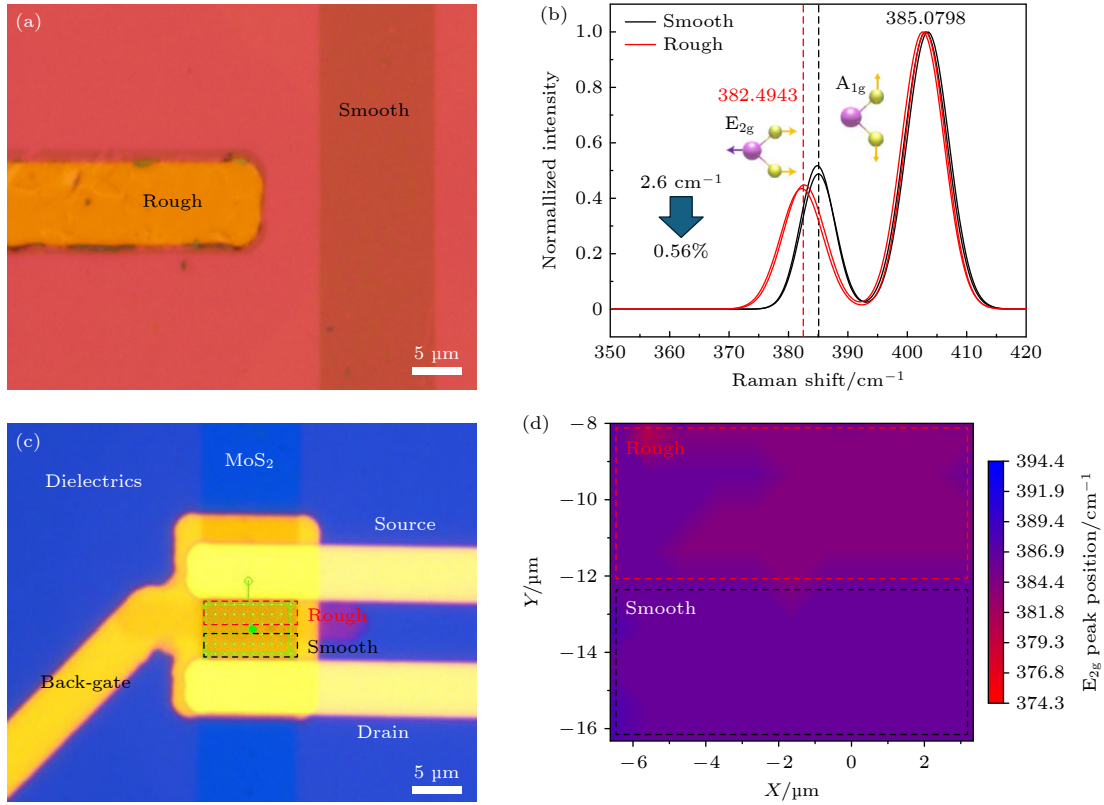


图 2 基于纳米圆台结构的 MoS₂ 应变表征 (a) Smooth 区域 (蓝色) 和 Rough 区域 (红色) 的 MoS₂ 光学显微镜图片; (b) 图 (a) 中 Smooth 区域和 Rough 区域的 MoS₂ 拉曼光谱; (c) 包含 Smooth 区域 (蓝色虚线) 和 Rough 区域 (红色虚线) 的 MoS₂ 背栅晶体管的光学显微镜图; (d) 图 (c) 中绿色虚线标记区域的 MoS₂ 拉曼 E_{2g} 峰位

Fig. 2. Strain characterization of truncated-nanocone structure introduced strain in MoS₂: (a) Optical microscope image of MoS₂ on a Smooth region (blue) and a Rough region (red), respectively; (b) Raman spectra of MoS₂ collected at the Smooth region and Rough region in (a); (c) optical microscope image of a MoS₂ back-gate transistor including both Smooth region (blue) and Rough region (red); (d) E_{2g} Raman mapping of MoS₂ collected in the green region in (c).

件的 A_{1g} 峰与 E_{2g} 峰的峰位差约为 20 cm⁻¹, 这一特征间距进一步确认了本实验中转移并进行后续测试的 MoS₂ 薄膜为单层结构^[15]. 为了进一步验证施加拉伸应变的均匀性, 我们制作了一个包含两种区域的特殊器件, 便于在光学和拉曼图上直观对比同一片 MoS₂ 在不同衬底上的应变差异. 图 2(c) 是一个同时包含 Smooth 区域 (蓝色虚线) 和 Rough 区域 (红色虚线) 的 MoS₂ 晶体管的光学显微镜图. 图 2(d) 是图 2(c) 中绿色虚线所框住部分的 MoS₂ 拉曼 E_{2g} 峰位 Mapping 图像, 其中 Rough 区域的 MoS₂ 拉曼 E_{2g} 峰位在 380—381 cm⁻¹ 范围内, 而 Smooth 区域的 MoS₂ 拉曼 E_{2g} 峰位在 384—385 cm⁻¹ 范围内, Rough 区域的 MoS₂ 拉曼 E_{2g} 峰位相较于 Smooth 区域的 MoS₂ 发生明显红移, 说明 MoS₂ 发生了拉伸应变, 并且应变的大小在 4 μm×4 μm 范围内能够保持高均匀性. 值得注意的是, 当 MoS₂ 薄膜与具有起伏形貌的纳米圆台共形贴合时, 其微观层面的应变场分布是高度复杂的: 在圆台顶部

(凸起处), 薄膜主要承受拉伸应变; 而在圆台之间的间隙 (凹陷处), 薄膜可能会发生局部的屈曲或承受压缩应变. 由于本次拉曼光谱测试的激光光斑尺寸 (直径约 10 μm) 覆盖了数十个纳米圆台周期, 其收集到的是该区域内薄膜的平均信号. E_{2g} 峰位发生的整体 2.6 cm⁻¹ 的红移证实了在宏观上, 纳米圆台结构对 MoS₂ 薄膜起主导作用的仍是拉伸应变.

3 器件电学性能表征

为分析拉伸应变对 MoS₂ 晶体管电学性能的影响, 比较了 Smooth 区域和 Rough 区域的 MoS₂ 晶体管电学性能. 需要特别说明的是, 本节及后续参与电学性能统计与测试的 Smooth 区域器件和 Rough 区域器件, 均为位于同一衬底上的物理上相互隔离的独立晶体管. 图 3 是具有不同沟道长度的 Smooth 区域晶体管和 Rough 区域晶体管的转移特性曲线, 由图 3 可知两种 MoS₂ 晶体管的开态

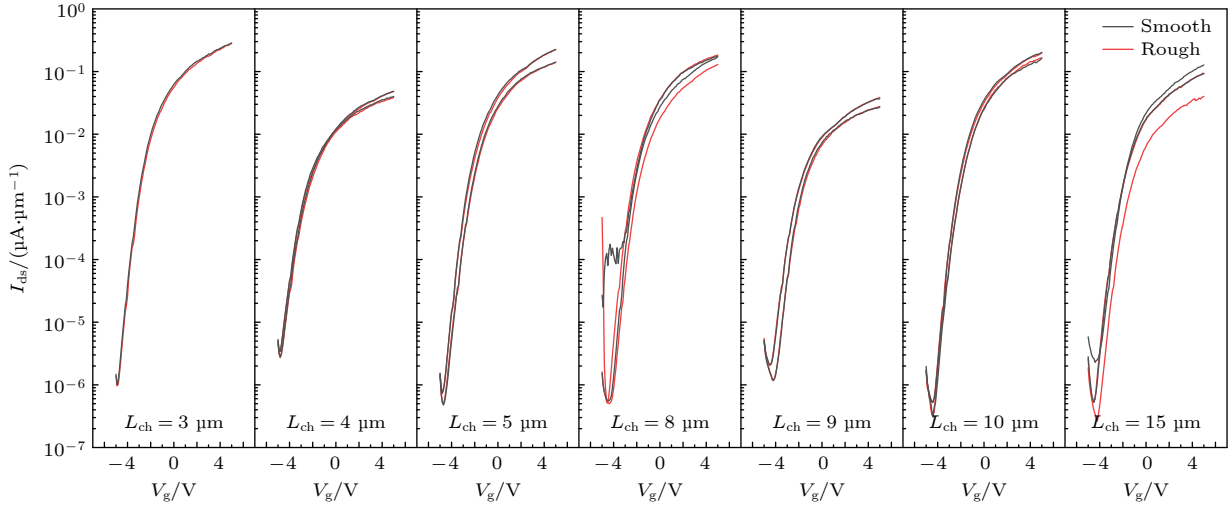


图3 基于不同沟道长度的 Smooth 区域 (黑色曲线) 以及 Rough 区域 (红色曲线) 的 MoS₂ 背栅晶体管转移特性曲线 ($V_{ds} = 1$ V)
 Fig. 3. Transfer characteristics of MoS₂ back-gate transistors from the Smooth (black curve) and Rough (red curve) regions ($V_{ds} = 1$ V).

电流处于同一量级,表现出相似的开关特性。

为了进一步分析两种器件的电学性能差异,分别提取并统计了 Smooth 区域和 Rough 区域的 MoS₂ 晶体管的开关比、亚阈值摆幅、迁移率等性能参数. 如图 4(a), (b) 所示,两种器件的开关比和亚阈值摆幅均相近,进一步印证了纳米圆台结构并未造成器件基础开关性能的劣化. 然而,从图 4(c) 所示的转移特性曲线中提取器件的载流子迁移率显示, Rough 区域器件的迁移率较 Smooth 区域器件提升约 3 倍. 迁移率提升来自于纳米圆台结构诱导的 MoS₂ 拉伸应变对于 MoS₂ 内部载流子输运的调控.

尽管观察到了迁移率提升,但是 Rough 区域器件的迁移率与理想值相比较低^[16],这暗示纳米圆台结构在引入有效应变的同时,可能也带来了其他不利于载流子输运的物理因素,因此需要进一步

分析纳米圆台结构可能引起的不利因素。

4 迁移率调控机制与散射分析

在前述室温电学测试表明,拉伸应变虽提升了 MoS₂ 背栅晶体管的迁移率,但是提升幅度较小. 结合 MoS₂ 的拉伸应变表征结果,纳米圆台结构在引入拉伸应变的过程中可能对 MoS₂ 产生额外的不利影响,本节主要讨论在施加拉伸应变后对 MoS₂ 可能产生的影响.

图 5 展示了 Smooth 和 Rough 区域的 MoS₂ SEM 图像,图 5(a) 是 Smooth 区域器件的 MoS₂ 表面形貌,MoS₂ 是均匀连续的. 图 5(b) 是 Rough 区域器件的 MoS₂ 表面形貌,明显观察到其表面具有大量褶皱,这可能是与纳米圆台结构贴合过程产生的. 2.1 节的纳米圆台 3D AFM 结果展示了纳米

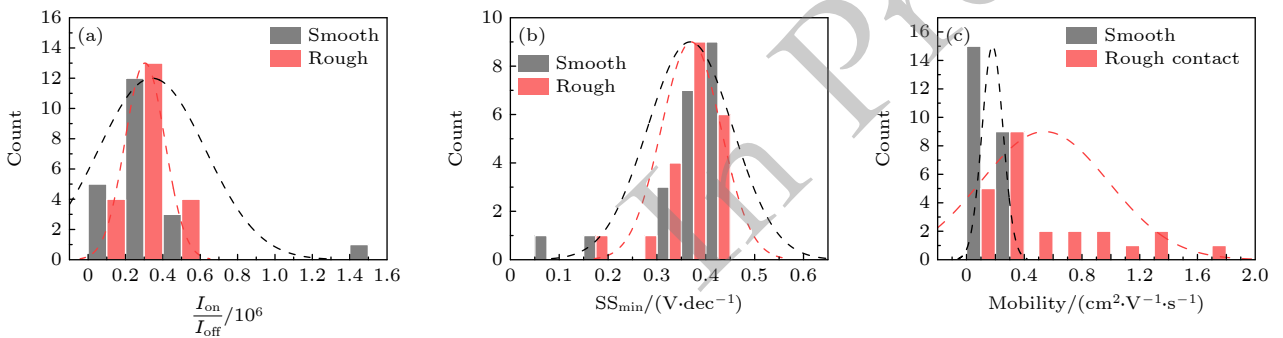


图4 Smooth 区域以及 Rough 区域的 MoS₂ 背栅晶体管电学性能系统分析 (a) 开关比; (b) 亚阈值摆幅; (c) 迁移率比较
 Fig. 4. Statistical analysis of MoS₂ back-gate transistors from the Smooth (black curve) and Rough (red curve) regions: (a) On/off ratio; (b) minimum subthreshold swing (SS_{min}); (c) field-effect mobility comparison.

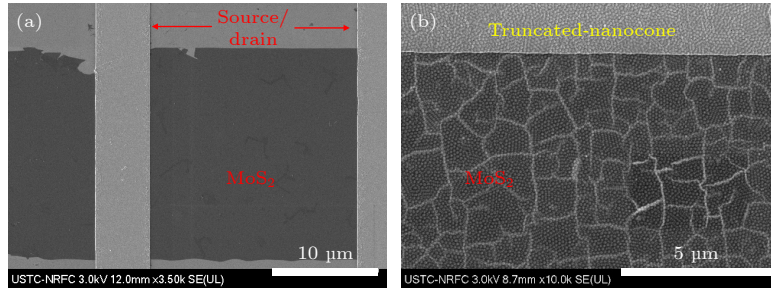

 图 5 (a) Smooth 和 (b) Rough 区域的 MoS₂ SEM 图像

 Fig. 5. SEM images of MoS₂ on the (a) Smooth and (b) Rough regions.

圆台的圆滑顶端结构, 实际上 MoS₂ 与弧形的纳米圆台贴合时难以做到完全贴合。

目前, 关于褶皱对 MoS₂ 晶体管性能影响的研究较少. 部分研究认为褶皱能够诱导局部拉伸应变进而增强载流子迁移率^[17]; 但是也有相关的工作指出复杂的褶皱结构中不仅存在拉伸应变, 还伴随压缩应变, 这对 MoS₂ 迁移率的影响是复杂的^[18]. 为了明确本研究中褶皱对器件性能的主导作用, 本文对 Smooth 区域和 Rough 区域的 MoS₂ 背栅晶体管进行了变温 I - V 测试, 通过从载流子输运过程遇到的散射机制来分析褶皱对于 MoS₂ 性能的影响。

变温测试的结果如图 6 所示. 测试的温度变化范围为 80—300 K, 其中 300 K 下分别测试了变温前和变温后器件的转移特性曲线. 不同编号代表不同区域不同 Die 中不同沟道长度的器件, 器件沟道宽度均为 10 μm, 如编号 Smooth-1-10 是指

Smooth 区域的 Die1 中沟道长度为 10 μm 的器件. 由图 6 可知, 这些器件的开态电流随着温度的降低逐渐增大, 这是由于在室温下, MoS₂ 中载流子输运过程主要受到晶格振动散射的限制. 而温度降低, 极大地抑制了 MoS₂ 中晶格振动散射, 因而这些器件的开态电流增大^[19].

为了进一步量化温度对器件迟滞 (hysteresis) 效应的影响, 从图 6 的不同温度转移特性曲线中提取了 3 种代表性器件的迟滞随温度的变化关系, 其中迟滞为 $I_{ds} = 10$ nA/μm 时对应的栅压差. 如图 7 所示, 器件的迟滞特征随温度表现出非单调变化趋势: 器件在初始 300 K 下具有较大的迟滞窗口 (约 2.8 V), 当环境直接降温至 80 K 时, 迟滞窗口大幅缩小至约 0.8—1.0 V. 在随后的升温至 100 K 时, 3 种器件的迟滞窗口进一步缩小 (约 0.4—0.5 V). 最后温度逐渐升温至 300 K 的过程中, 3 种器件的

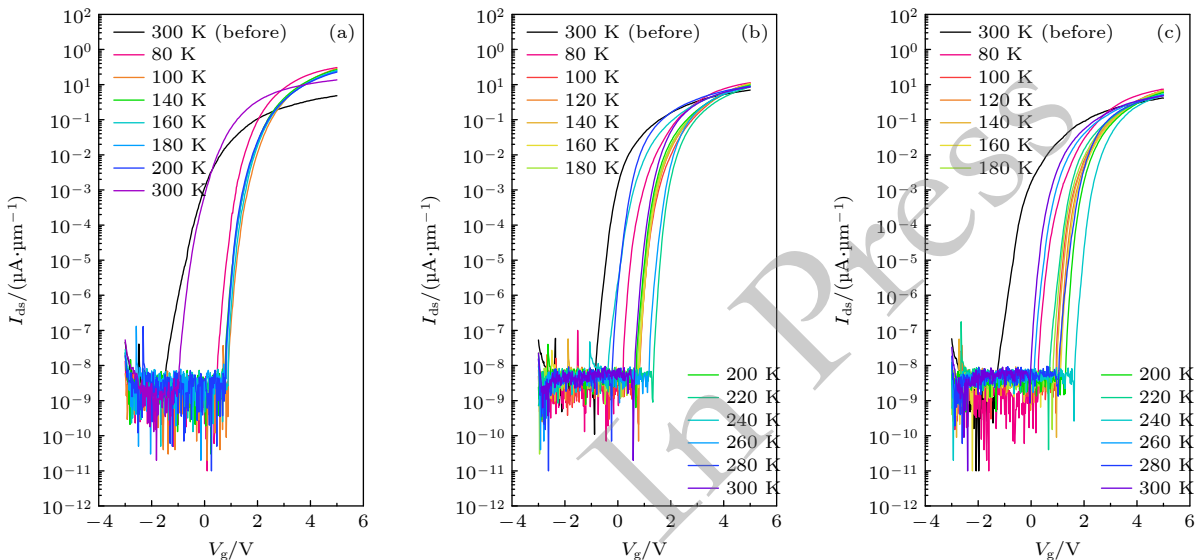

 图 6 Smooth 区域和 Rough 区域 MoS₂ 背栅晶体管的变温测试转移曲线 (a) Smooth-1-10 器件; (b) Rough-1-7 器件; (c) Rough-3-7 器件

 Fig. 6. Temperature-dependent transfer characteristics of MoS₂ back-gate transistors at the Smooth and Rough region: (a) Device Smooth-1-10; (b) device Rough-1-7; (c) device Rough-3-7.

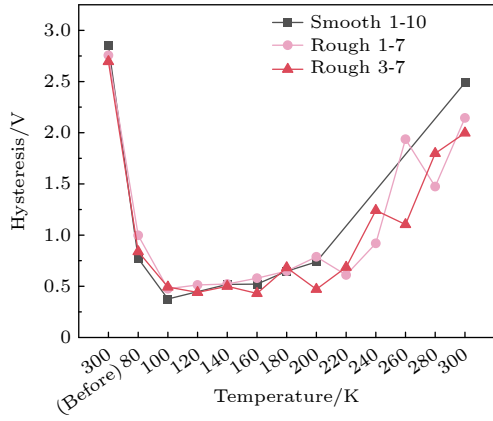


图 7 Smooth 区域 (1-10) 和 Rough 区域 (1-7, 3-7) MoS₂ 背栅晶体管的迟滞随温度变化的关系图

Fig. 7. Hysteresis of Smooth-region (1-10) and Rough-region (1-7, 3-7) MoS₂ back-gate transistors as a function of temperature.

迟滞窗口均呈现出持续且显著的增大趋势, 最终恢复至接近初始室温的水平.

已知 MoS₂ 晶体管的迁移率与温度满足关系 $\mu \propto T^{-\gamma}$, 系数 γ 与 MoS₂ 内部的散射机制有关^[20]. 为了进一步探究 MoS₂ 晶体管中的散射机制, 对上述 3 个器件在不同温度下的迁移率进行幂指数拟合, 分别提取其 γ 系数. 结果如图 8 所示, 在 80 K < T < 100 K 时, $\gamma < 0$, 杂质散射占据主导; 在 $T > 100$ K 时, $\gamma > 0$, 晶格振动散射占据主导. 其中, 100 K 是该器件散射机制转变的临界温度^[21]. 提取 γ 系数可知, Rough 器件的 γ 系数大于 Smooth 器件, 这说明 Rough 器件的迁移率随着温度的升高下降得更快. 也说明了 Rough 受晶格振动散射机制的影响更大, 褶皱的存在会增强 MoS₂ 内部的晶格振动散射, 从而使得 MoS₂ 晶体管的迁移率降低.

另外, γ 系数随温度的变化规律, 也解释了前

文观察到器件迟滞现象的非单调变化. 当温度从 300 K 初始状态降至 80 K 时, 晶格振动散射被抑制, 迟滞降低, 载流子输运由杂质散射主导. 该温度下载流子的热动能低, 容易被 MoS₂ 内部或界面的陷阱捕获. 随后从 80 K 升温至 100 K 时, 载流子热动能增大, 在杂质的库伦场中停留时间短而不易被其束缚, 迟滞窗口达到极小值. 当温度升温至 300 K 过程中, 晶格振动散射重新占据主导, 载流子被捕获与释放的频率大幅上升, 因此在该升温阶段, 迟滞窗口随温度升高而呈现出显著的增大趋势^[22].

综上, 对于纳米圆台阵列作为引入拉伸应变的方法制备得到的 MoS₂ 晶体管, 器件的迁移率受到两个相互竞争的因素影响: 一方面, 纳米圆台带来的拉伸应变能够增强载流子迁移率; 另一方面, 该形貌引入的褶皱会显著增强晶格振动散射, 从而降低载流子迁移率. 在此竞争机制下, Rough 区域的 MoS₂ 晶体管中存在拉伸应变增益, 最终在电学表现上呈现出迁移率高于 Smooth 区域的 MoS₂ 晶体管. 然而纳米圆台不可避免带来的高密度褶皱导致的强烈散射, 严重削弱了拉伸应变的正面增益. 同时, 对比 Smooth 区域器件较低的基准迁移率可以推断, 当前湿法转移工艺不可避免引入的聚合物残留以及底栅界面陷阱, 使器件内部本身存在杂质、缺陷散射. 由于拉伸应变工程主要作用于抑制晶格振动散射, 但较差的 MoS₂ 材料质量遏制了器件的电学性能, 也限制了拉伸应变对迁移率总体提升的贡献空间. 因此, 未来的应变工程研究需要着重优化形貌调制工艺, 在保证有效施加拉伸应变的前提下, 尽可能减少或消除褶皱和聚合物残留, 以充分释放应变工程对二维半导体载流子迁移率的提升潜力.

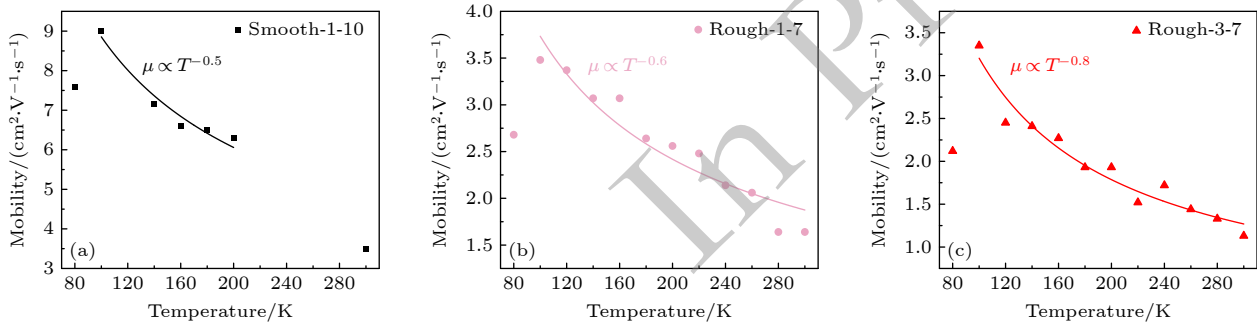


图 8 Smooth 区域和 Rough 区域 MoS₂ 背栅晶体管的迁移率与温度关系 (a) Smooth-1-10 器件; (b) Rough-1-7 器件; (c) Rough-3-7

Fig. 8. Temperature-dependent field-effect mobility of MoS₂ back-gate transistors at the Smooth and Rough region: (a) Device Smooth-1-10; (b) device Rough-1-7; (c) device Rough-3-7.

5 结 论

本文基于 MoS₂ 晶体管应变工程提出了一种可规模化制备的引入拉伸应变方法, 通过在栅介质底部制备纳米圆台结构, 利用纳米圆台的凸起结构使得 MoS₂ 产生拉伸, 从而成功在 MoS₂ 中引入 0.56% 拉伸应变. 尽管受限于 MoS₂ 本身质量、界面聚合物残留引起的带电杂质散射以及接触电阻未剔除等因素, 制备的 MoS₂ 晶体管的迁移率尚未达到理想预期, 但实验结果明确揭示了形貌调控中的一种关键竞争机制: 纳米圆台在引入拉伸应变(增强迁移率)的同时, 会伴生大量微观褶皱, 从而显著增强了 MoS₂ 中的晶格振动散射, 严重削弱了应变带来的性能增益. 本研究初步阐明了局部应力与伴生微观形貌缺陷对二维半导体载流子运输的综合影响, 为规模化调控二维半导体晶体管的应变工程与其对晶体管性能的影响提供基础.

本文的部分工作在中国科学技术大学微纳研究与制造中心和中国科学技术大学理化科学实验中心完成.

参考文献

- [1] Moore G E 1965 *Electronics* **38** 114
- [2] Kahng D 1976 *IEEE Trans. Electron Devices* **23** 655
- [3] Ferain I, Colinge C A, Colinge J P 2011 *Nature* **479** 310
- [4] Wu J, Yuan H, Meng M, Chen C, Sun Y, Chen Z, Dang W, Tan C, Liu Y, Yin J, Zhou Y, Huang S, Xu H Q, Cui Y, Hwang H Y, Liu Z, Chen Y, Yan B, Peng H 2017 *Nat. Nanotechnol.* **12** 530
- [5] Desai S B, Madhvapathy S R, Sachid A B, Lanza J P, Wang C, Nemsak S, Tosado R, Shi Y, Flint C, MacLeod S J, Bogaert E, Aloni S, Kuykendall T, Ramesh R, Haensch M, Kapadia R, Narimanov E, Javey A 2016 *Science* **354** 99
- [6] Jiang B, Yang Z, Liu X, Liu Y, Liao L 2019 *Nano Today* **25** 122
- [7] Rai A, Movva H C P, Roy A, Taneja D, Chowdhury S, Banerjee S K 2018 *Crystals* **8** 316
- [8] Datye I M, Dodda A, Zifer T, Zhang Y, Ruzicka B, Subbaiyan N, Wustrow A, Schuneman B, Pimentel A, Zhang W T, Das S 2022 *Nano Lett.* **22** 8052
- [9] Ng H K, Xiang D, Suwardi A, Hu G W, Yang K, Zhao Y S, Liu T, Cao Z H, Liu H J, Li S S, Cao J, Zhu Q, Dong Z G, Tan C K I, Chi D Z, Qiu C W, Hippalgaonkar K, Eda G, Yang M, Jing Wu J 2022 *Nat. Electron.* **5** 489
- [10] Chen Y, Lu D L, Kong L A, Tao Q Y, Ma L K, Liu L T, Lu Z Y, Li Z W, Wu R X, Duan X D, Liao L, Liu Y 2023 *ACS Nano* **17** 14954
- [11] Liu X, Erbas B, Conde-Rubio A, Rivano N, Wang Z Y, Jiang J, Bienz S, Kumar N, Sohler T, Penedo M, Banerjee M, Fantner G, Zenobi R, Marzari N, Kis A, Boero G, Brugger J, et al. 2024 *Nat. Commun.* **15** 6934
- [12] Chiu M H, Zhang C, Shiu H W, Chuu C P, Chen C H, Chang C Y S, Chen C H, Chou M Y, Shih C K, Li L J 2015 *Nat. Commun.* **6** 7666
- [13] Chang W Y, Lin K H, Wu J T, Yang S Y, Lee K L, Wei P K 2011 *J. Micromech. Microeng.* **21** 035023
- [14] Conley H J, Wang B, Ziegler J I, Haglund R F Jr, Pantelides S T, Bolotin K I 2013 *Nano Lett.* **13** 3626
- [15] Lee C G, Yan H G, Brus L E, Heinz T, Hone J, Ryu S 2010 *ACS Nano* **4** 2695
- [16] Kristen K, Kristian S T, Karsten W J 2012 *Phys. Rev. B* **85** 115317
- [17] Castellanos-Gomez A, Roldán R, Cappelluti E, Buscema M, Guinea F, van der Zant H S J, Alvarez J V 2013 *Nano Lett.* **13** 5361
- [18] Wang F, Yip S, Han N, Fok K, Lin H, Hou J J, Dong G, Hung T, Chan K S, Ho J C 2013 *Nanotechnology* **24** 375202
- [19] Thamankar R, Yap T L, Goh K E J, Troadec C, Joachim C 2013 *Appl. Phys. Lett.* **103** 083106
- [20] Su J, Liu Z T, Feng L P, Li N 2015 *J. Alloys Compd.* **622** 777
- [21] Tiwari S, Dolai S, Rahaman H, Gupta P S 2017 *Superlattices Microstruct.* **111** 912
- [22] Park Y, Baac H W, Heo J, Yoo G 2016 *Appl. Phys. Lett.* **108** 083102

SPECIAL TOPIC—2D materials and future information devices

Strain engineering in MoS₂ transistors via topography modulation of the dielectric*

MIN Yufeng^{1)2)3)#} FANG Haotian^{1)2)3)#} SUN Dongdong¹⁾²⁾³⁾ WANG Ke¹⁾²⁾³⁾
GE Yu¹⁾²⁾³⁾ WEI Lizi¹⁾²⁾³⁾ SHI Yuanyuan^{1)2)3)†}1) (*School of Integrated Circuits, University of Science and Technology of China, Hefei 230026, China*)2) (*School of Microelectronics, University of Science and Technology of China, Hefei 230026, China*)3) (*Anhui Provincial Key Laboratory of Integrated Circuit Science and Technology, Hefei 230026, China*)

(Received 23 March 2026; revised manuscript received 24 January 2026)

Abstract

Silicon-based field effect transistors have significantly driven the development of the semiconductor industry, but the scaling of feature sizes is approaching physical limits, short-channel effects and thermal dissipation issues have become increasingly severe. Two-dimensional transition metal dichalcogenides (TMDCs) are regarded as a potential alternative channel material for ultimate transistor scaling, owing to their atomically thin thickness and superior properties. Molybdenum disulfide (MoS₂) transistors theoretically exhibit a mobility of up to 420 cm²/(V·s), but their atomically thin thickness makes them susceptible to interface scattering, resulting in experimentally measured room-temperature mobility values below theoretical values. Strain engineering is an effective method to enhance mobility—tensile strain can reduce the bandgap and carrier effective mass of MoS₂, thereby improving mobility. This study proposes a method to regulate the local strain in MoS₂ transistors by modulating the gate dielectric topography, and investigates the resulting effects on the performance of MoS₂ transistors. We utilize an ultrathin porous nanotemplate anodic aluminum oxide (AAO) with via-structures to predeposit 10 nm Au truncated-nanocones on the substrate, followed by a conformal deposition of the gate dielectric through atomic layer deposition (ALD). After transferring MoS₂ film, the truncated-nanocone structures of the gate dielectric topography successfully apply a 0.56% tensile strain to MoS₂. However, the mobility of truncated-nanocone-structure-based MoS₂ transistors does not achieve the desired ideal improvement (only 3-fold increase). Scanning electron microscopy (SEM) and temperature-dependent electrical measurements reveal that while the truncated-nanocone structures introduce tensile strain, they simultaneously induce microscopic wrinkles, which consequently enhance phonon scattering in MoS₂ and reduce the transistor mobility. This study preliminarily elucidates the combined effects of local strain regulation and microscopic wrinkles on the electrical transport mechanism of MoS₂ transistors, offering an important experimental reference for future strain engineering research in two-dimensional semiconductor-based transistors.

Keywords: MoS₂ transistor, strain engineering, phonon scattering, field-effect mobilityDOI: [10.7498/aps.75.20260406](https://doi.org/10.7498/aps.75.20260406)CSTR: [32037.14.aps.75.20260406](https://www.cstr.org.cn/32037.14.aps.75.20260406)

* Project supported by the National Natural Science Foundation of China (Grant Nos. 62374155, U25A200461).

These authors contributed equally.

† Corresponding author. E-mail: yuanyuanshi@ustc.edu.cn