

3D NAND 闪存 Z 干扰问题的电学抑制方案研究*

韦庆昌¹⁾ 贾建权²⁾ 赵一阳¹⁾ 李楷威²⁾ 李晨辉²⁾ 刘璐¹⁾

程晓敏^{1, †)} 靳磊^{2, †)} 霍宗亮²⁾

1) (华中科技大学, 集成电路学院, 武汉 430074)

2) (长江存储科技有限责任公司, 武汉 430071)

摘要

随着信息时代对数据存储需求的快速增长, 3D NAND 闪存凭借其优异的成本效益和高存储密度成为主流的非易失性存储解决方案. 3D NAND 闪存通过增加堆叠层数和减小单元尺寸来实现存储密度的提升. 然而, 减小单元尺寸引入的非理想效应 Z 干扰 (Z-interference) 对器件可靠性的影响日益加剧, 已成为制约 3D NAND 闪存向前发展的核心挑战之一. 本文提出了一种通过交替擦除和软编程操作来抑制 Z 干扰的电学优化方案, 并基于 TCAD 仿真和实验对该方案进行验证. 仿真结果表明, 该方案能够向单元间区域 (Inter-cell) 引入大量俘获电子, 降低攻击单元编程时该区域的电场强度, 有效改善 Z 干扰. 实验结果显示, 与传统方案相比, 该方案能够将 Z 干扰引起的阈值电压分布展宽减小 14.62%. 随着单元尺寸的进一步减小, 该方案对 Z 干扰的抑制效果更显著.

关键词: 3D NAND 闪存, Z 干扰, TCAD 仿真, 交替擦除和软编程方案

PACS: 85.40.-e, 85.30.De

基金: 湖北省高等学校科研基金(批准号: 2023BAA008-3)资助的课题.

† 通信作者. E-mail: xmcheng@hust.edu.cn

† 通信作者. E-mail: jinlei@ime.ac.cn

第一作者. E-mail: 18296663705@163.com

1. 引言

人工智能的快速发展推动了数据量的爆发式增长，3D NAND 闪存凭借其低成本和高密度优势成为满足大数据存储需求的关键技术^[1,2]。为了进一步提升存储密度，3D NAND 闪存的堆叠层数不断增加；与此同时，为了应对高深宽比刻蚀工艺（High Aspect Ratio Etching Process, HARP）带来的挑战，存储单元尺寸也在同步减小^[3]。然而，存储单元尺寸缩小和堆叠层数增加会加剧 3D NAND 闪存的可靠性问题^[4,5]。其中，Z 干扰已经成为制约其可靠性提升的关键问题之一^[6]。

在 3D NAND 闪存中，Z 干扰是一种由存储单元在垂直堆叠方向上的电学耦合效应引起的可靠性问题。当对 WL_{n+1} 单元（Aggressor cell, Agr cell）进行编程操作后， WL_n 单元（Victim cell, Vic cell）的阈值电压（Threshold Voltage, V_{th} ）发生偏移或者展宽^[7]。图 1（a）展示了 Vic 单元在没有受到 Z 干扰时的 V_{th} 分布，然而，在 Agr 单元编程后，如图 1（b）所示，Vic 单元的 V_{th} 分布发生明显偏移和展宽，且处于低存储状态下的 Vic 单元发生更明显的 V_{th} 偏移或展宽现象。Z 干扰现象在严重情况下会导致 Vic 单元的 V_{th} 分布和相邻存储状态的 V_{th} 分布发生重叠，从而增加读取错误率。通过比较 Agr 单元编程前后 Vic 单元的 V_{th} 偏移量或分布展宽程度，可以实现对 Z 干扰的量化表征。

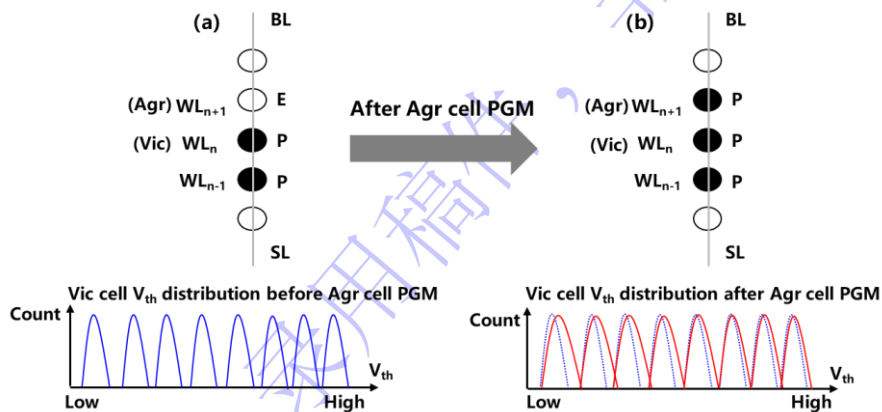


图1 Z干扰现象示意图: (a) WL_n 单元初始 V_{th} 分布; (b) WL_n 单元受Z干扰影响后 V_{th} 分布
Fig.1. Schematic diagram of Z-interference phenomenon: (a) Initial V_{th} distribution of WL_n ;
(b) V_{th} distribution of WL_n after being affected by Z-interference.

目前针对 Z 干扰的优化研究, 主要分为结构优化和电学操作优化两个方向. 在结构优化方面, 通过调整栅介质层厚度^[8]、优化非连续电荷俘获层形貌^[9]、层间介质 (Inter Layer Dielectric, ILD) 引入低介电常数材料^[10]、沟道通孔 (Channel Hole) 引入空气间隙^[11]和形成凸形 (Convex) 电荷俘获层侧壁结构^[12]等方式, 在一定程度上可以改善 Z 干扰. 然而, 3D NAND 闪存结构上的调整往往会对其他可靠性问题造成影响, 并且会增加工艺复杂度和良率控制难度. 和结构优化相比, 电学操作方法因其实现方式灵活和兼容现有工艺等优势, 在学术界和工业界受到广泛关注. 目前电学操作研究主要聚焦于读取和编程操作: 在读取操作方面, 通过提高 V_{pass} 电压偏置^[13]、根据相邻单元存储状态动态调整 V_{pass} 电压偏置^[14]和调整位线 (Bit Line) 电压 V_{BL} 偏置^[15,16]等方式降低 Z 干扰对 V_{ic} 单元读取裕度 (Read Margin) 的影响; 在编程操作方面, 现有研究主要围绕 Agr 单元编程过程中的电压偏置条件展开, 通过降低相邻单元的 V_{pass} 电压偏置^[17]、采用逆序编程方式 (From top to bottom)^[18]和根据相邻单元存储状态动态调整 V_{pass} 电压偏置^[19]等方式实现 Z 干扰抑制. 尽管上述电学操作方案在抑制 Z 干扰方面取得了成效, 但在当前 3D NAND 闪存的应用中仍然面临挑战: 读取过程中调整 V_{pass} 电压偏置可能引起读取干扰; 编程过程中降低 V_{pass} 电压则可能导致编程干扰并降低编程效率; 改变编程顺序会削弱顶部字线的数据保持能力, 导致数据稳定性下降.

本文首次提出一种基于擦除过程的电学优化方案, 即在 Agr 单元编程前, 通过交替擦除和软编程操作向 intercell 区域预先引入电子, 从而减小编程时的电场强度并抑制 Z 干扰. 该方案通过实验和 TCAD 仿真得到验证, 证明在不改变器件

结构、不影响读取和编程效率的前提下能够有效改善 Z 干扰.此外,仿真分析表明,随着 3D NAND 闪存单元尺寸减小,该方案对 Z 干扰的抑制效果更显著.

2. Z 干扰改善方案设计

针对 Z 干扰现象的物理机制,已有研究指出电荷俘获层中 intercell 区域的电子分布是关键因素.在对 Agr 单元进行编程时,编程电压的施加会加强 intercell 区域的电场强度,导致该区域的俘获电子数量增加.这种 intercell 区域俘获电子积累现象会引起沟道反型层的扩展,进而使 Vic 单元再次读取时获得增大的 $V_{th}^{[15]}$.

基于上述研究,本文提出了一种创新性的擦除操作方案.通过交替擦除和软编程操作,在 Z 干扰发生前向 intercell 区域引入大量俘获电子.该方案通过优化电荷分布,预期降低 Agr 单元编程期间 intercell 区域的电场强度,从而有效抑制 Z 干扰.

为了简化研究,这项工作侧重研究三比特存储模式 (Trinary Level Cell, TLC)
最坏情况的 Z 干扰场景,其中 Agr 单元被编程为 P7 态, Vic 单元被编程为 P1 态.
常规电学操作流程如图 2 (a) 所示,在 Agr 单元编程 (PGM) 前,仅执行常规擦除 (ERS) 操作,而图 2 (b) 所示的创新方案流程中引入了交替擦除和软编程.创新方案的电压偏置条件如图 2 (c) 所示, TSG (Top Select Gate) 和 BSG (Bottom Select Gate) 用来控制选择串的开启和关闭.具体而言,在 Agr 单元编程前,首先向待擦除单元施加负 V_{passe2} ($-5\text{ V}\sim 0\text{ V}$),并向保持初始状态单元施加正 V_{passe1} ($5\text{ V}\sim 10\text{ V}$),实现单个擦除脉冲下的交替擦除.之后,再对所有单元施加较小的 V_{pgm} 实现软编程操作.该方案能够在 intercell 区域引入大量电子,从而有效降低编程期间的电场强度,达到抑制 Z 干扰的目的.

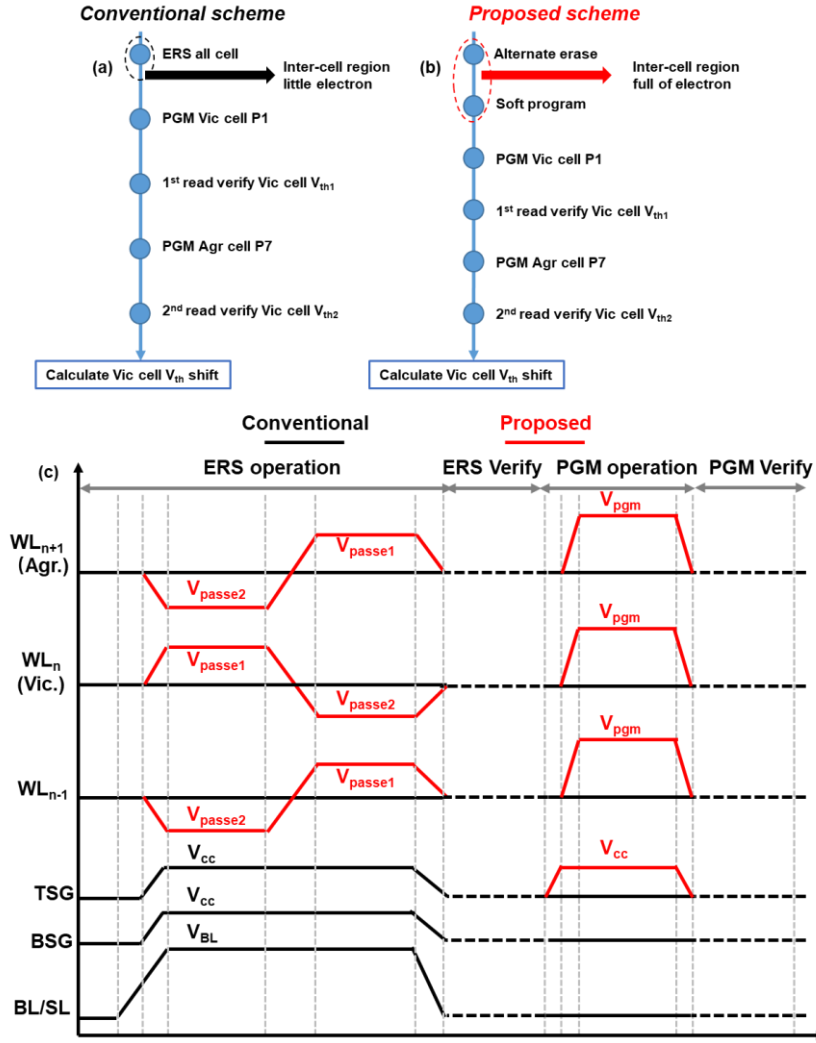


图 2 创新方案和传统方案的 Z 干扰测试流程以及相应的电学操作波形

Fig.2. Z-interference test flow and electrical operation waveforms: (a) conventional scheme test flow; (b) proposed scheme test flow; (c) electrical operation waveforms of two schemes.

3. 实验和 TCAD 仿真设置

本文从实验测试和仿真分析两个维度研究创新方案对 Z 干扰的抑制效果.一方面, 基于 FPGA 测试平台, 结合图 2 (a) 和图 2 (b) 的 Z 干扰测试流程, 在现有 3D NAND 闪存芯片上开展实验验证^[20]. 另一方面, 基于 TCAD 仿真平台, 建立 Z 干扰仿真流程模型, 分析 intercell 区域俘获电子对 Z 干扰的影响. 仿真中考虑了漂移扩散模型、热发射模型、非局域隧道模型、Shockley-Read-Hall 复合模型以及 Poole-Frenkel 模型等关键 3D NAND 闪存器件物理模型. 仿真所采用的主要

参数与此前研究保持一致^[21].

4. 结果与分析

为了评估交替擦除和软编程方案在 intercell 区域引入电子的有效性, 基于 TCAD 仿真平台对比分析了两种方案在 Z 干扰发生前的电子分布和 Agr 单元编程过程中的电场分布. 如图 3 所示, 创新方案通过交替擦除与软编程操作后, intercell 区域的俘获电子浓度相较于传统方案显著增加. 图 4 进一步表明, 在 Agr 单元编程期间, 创新方案在 intercell 区域引入的电子有效降低了 Agr 单元与 Vic 单元之间的电场强度. 这表明, 该区域电场强度的降低直接减弱了该区域发生 FN 隧穿 (Fowler-Nordheim Tunneling) 的几率, 从而有效抑制了 Vic 单元和 Agr 单元之间的 Z 干扰.

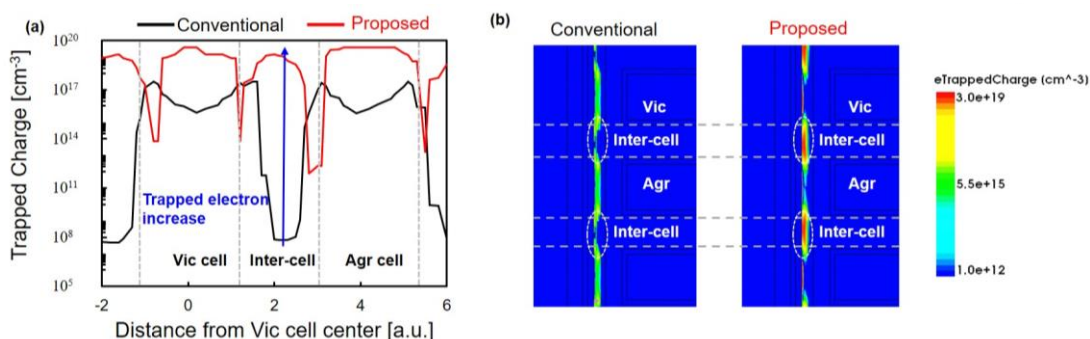


图 3 创新方案 and 传统方案在编程 Agr 单元之前的电子分布情况: (a) 电荷俘获层/隧穿层界面俘获电子分布情况; (b) 电荷俘获层俘获电子轮廓图

Fig.3. Comparison of the trapped electron distributions before programming Vic cell between the two schemes in TCAD simulation: (a) Trapped charge distribution at the charge trapping layer/tunnel layer interface. (b) Trapped electron distributions in charge trapping layer using conventional scheme and proposed scheme.

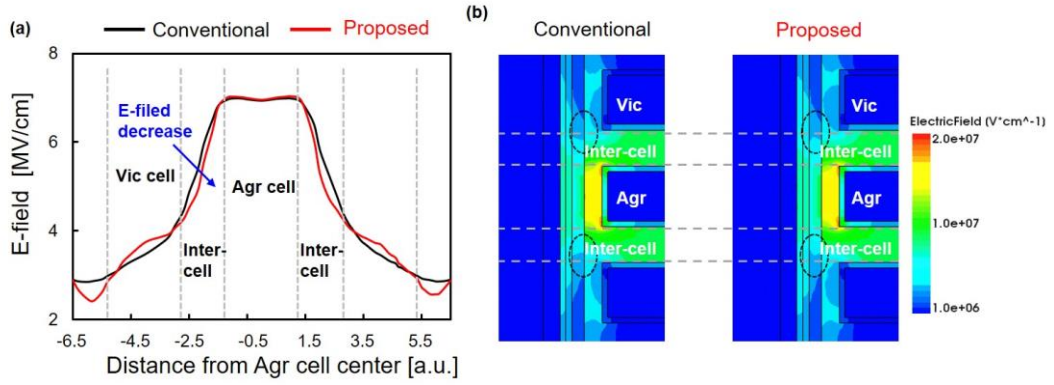


图 4 创新方案 and 传统方案在编程 Agr 单元时电场分布情况的对比：(a) 在电荷俘获层/隧穿层电场强度比较；(b) 电场分布仿真图

Fig.4. Comparison of E-field after program operation using the conventional scheme and the proposed scheme in TCAD simulation: (a) E-field distribution at the charge trapping layer/tunnel layer interface. (b) E-field contours in charge trapping layer using conventional scheme and proposed scheme.

为了验证创新方案对抑制 Z 干扰的有效性，基于 FPGA 测试平台开展验证.

图 5 (a) 展示了两方案下 Vic 单元在 Agr 单元编程前后的 V_{th} 分布，为了确保实验结果和仿真结果的可比性，将 Vic 单元和 Agr 单元的初始 V_{th} 分布中位值设置为相同，并以 Agr 单元编程前后 Vic 单元 V_{th} 分布宽度的变化量作为 Z 干扰的判定标准.如图 5 (b) 所示，在 Agr 单元编程后，相比于传统方案，创新方案的 V_{th} 分布宽度下降了 14.62%、 V_{th} 偏移变化量下降了 14.44%.在实验误差允许范围内，实验结果和仿真结果吻合良好.

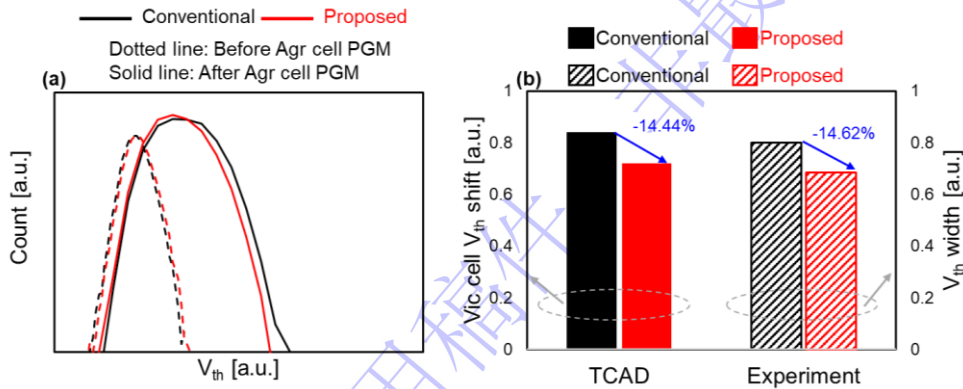


图 5 创新方案 and 传统方案的 Z 干扰实验结果和仿真结果比较：(a) 编程 Agr 单元前后 Vic 单元的实验 V_{th} 分布；(b) Vic 单元 V_{th} 分布宽度和 V_{th} 偏移

Fig.5. Experimental and TCAD results in two schemes: (a) Measured Vic cell V_{th} distribution

before and after programming Agr cell. (b) V_{th} width and V_{th} shift difference.

为了进一步探究在更小存储单元尺寸下该方案对 Z 干扰抑制的显著性,在不改变仿真结构其他参数的条件下,对比分析了两种方案在不同存储单元尺寸下的 Z 干扰程度.如图 6 所示,随着存储单元尺寸的减小,创新方案对 Z 干扰的抑制效果相比于传统方案呈现显著增加的趋势。具体而言,抑制效果提升幅度从 7.51% 增加到 17.04%.结果表明,随着存储单元尺寸的减小,通过交替擦除与软编程操作在 intercell 区域引入俘获电子对 Z 干扰的抑制效果更显著.这是因为随着存储单元尺寸的减小,intercell 区域俘获电子数目占比程度增加,对 Agr 单元编程时电场的减弱效果增强.

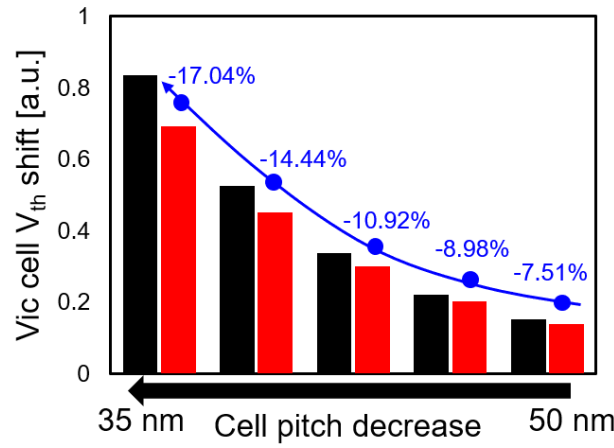


图 6 创新方案 and 传统方案在存储单元尺寸减小下的 Z 干扰 TCAD 结果比较

Fig.6. Comparison of Z-interference TCAD results between the conventional scheme and the proposed scheme under cell shrinking.

5. 结 论

综上所述,本文首次提出了通过交替擦除和软编程改善 3D NAND 闪存 Z 干扰的电学操作方案.该方案通过在 intercell 区域提前引入俘获电子,降低 Agr 单元编程时该区域的电场强度,从而有效抑制 Z 干扰.通过 TCAD 仿真和实验测试验证了该方案的可行性.此外,随着 3D NAND 闪存单元尺寸的不断缩小,该方案对

于减轻 Z 干扰的效果更显著.本研究为 3D NAND 闪存的可可靠性优化提供了新思路, 对于推动高密度、高可靠性存储技术的发展具有重要的理论价值和工程意义.

参考文献

- [1] Inaba S 2018 *IEEE International Memory Workshop (IMW)* Kyoto, Japan, May 13-16, 2018 p1
- [2] Ishimaru K 2019 *IEEE International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 7-11, 2019 p1
- [3] Yoon C W 2022 *IEEE Solid-State Circuits Magazine*. **14** 56
- [4] Ghilardi T 2021 *5th IEEE Electron Devices Technology & Manufacture Conference (EDTM)* Chengdu, China, April 8-11, 2021 p1
- [5] Park S, Lee J, Jang J, Lim J K, Kim H, Shim J J, Yu M T, Kang J K, Ahn S J, Song J 2021 *Symposium on VLSI Technology* Kyoto, Japan, June 13-19, 2021 p1
- [6] Kang J, Lee J, Yim Y, Park S, Kim H S, Cho E S, Kim T, Lee J H, Kim J, Lee R, Lim J, Hur S, Ahn S J, Song J 2021 *IEEE International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 13-15, 2021 p1011
- [7] Kang D, Jeong W, Kim C, Kim D H, Cho Y S, Kang K T, Ryu J, Kung K M, Lee S Y, Kim W, Lee H, Yu J, Choi N, Jang D S, Lee C A, Min Y S, Kim M S, Park A S, Son J I, Kim I M, Kwak P, Jung B K, Lee D S, Kim H, Ihm J D, Byeon D S, Lee J Y, Park K T, Kyung K H 2016 *IEEE Journal of Solid-State Circuits*. **52** 210

-
- [8] Ahn S, Jo H, Park S, Kim J, Shin H 2025 *IEEE Transactions on Electron Devices*. **72** 1141
- [9] Kim Y, Hong S K, Park J K 2024 *Electronics*. **13** 1020
- [10] Jung W J, Park J Y 2021 *Micromachines*. **12** 1297
- [11] Verreck D, Arreghini A, Bosch G V, Furnemont A, Rosmeulen M 2021 *International Conference on Simulation of Semiconductor Processes and Devices (SISPAD)*, Dallas, TX, USA, September 27-29, 2021 p268
- [12] Song J, Sim J M, Kim B, Song Y H 2024 *IEEE Transactions on Electron Devices*. **71** 2810
- [13] Chang Y W, Wu G W, Yang I C, Huang Y H, Lee Y J, Chen K F, Chen Y J, Lu T C, Chen K C, Lu C Y 2023 *IEEE Electron Device Letters*. **44** 1837
- [14] Sim J M, Kang M, Song Y H 2020 *Electronics*. **9** 1775
- [15] Fan H, Tian X, Peng H, Shen Y, Li L, Li M, Gao L 2023 *Sensors*. **23** 3212
- [16] Choi Y J, Hong S K, Park J K 2024 *Electronics*. **13** 3123
- [17] Jia J, Jin L, Jia X, You K 2023 *Micromachines*. **14** 584
- [18] Yi S I, Kim J 2021 *Micromachines*. **12** 584
- [19] Ahn S, Jo H, Kim S, Park S, Lim K, Kim J, Shim H 2023 *IEEE Transactions on Electron Devices*. **70** 6695
- [20] Jia X, Jin L, Zhou W, Lu J, Amoroso S M, Brown A R, Lee K H, Asenov P, Lin X W, Liu H, Zhang A, Huo Z 2022 *IEEE Electron Device Letters*. **43** 878
- [21] Zou X, Jin L, Yan L, Zhang Y, Ai D, Zhao C, Xu F, Li C, Huo Z 2019 *Solid*

录用稿件，非最终出版稿

Research on Electrical Suppression Scheme for Z-Interference in 3D NAND Flash Memory^{*}

Wei Qingchang¹⁾ Jia Jianquan²⁾ Zhao Yiyang¹⁾ Li Kaiwei²⁾ Li Chenhui²⁾

Liu Lu¹⁾ Cheng Xiaomin^{1,†)} Jin Lei^{2,†)} Huo Zongliang²⁾

1) (School of Integrated Circuits, Huazhong University of Science and Technology, Wuhan

430074, China)

2) (Yangtze Memory Technologies Co., LTD., Wuhan 430071, China)

Abstract

In this paper, we propose a novel scheme to mitigate z-direction interference (Z-interference) in charge-trap-based 3D NAND flash memory. Our approach reduces the electric field (E-field) in the inter-cell region of the charge trapping layer during programming aggressor (Agr) cell by increasing the trapped electrons concentration of the charge-trapping layer in the inter-cell region. Specifically, prior to programming the Agr cell, alternate erase and soft program operation is employed to introduce a significant number of electrons into the inter-cell region. We validate our proposed scheme using both technology computer-aided design (TCAD) simulation and experimental measurements. The experimental results show that the proposed scheme achieves a 14.62% reduction compared to the conventional method. Besides, as the cell size of 3D NAND flash memory continues to scale down, the proposed scheme exhibits a more pronounced suppression effect on Z-interference. Using this approach can improve 3D NAND Flash reliability.

Keywords: 3D NAND Flash, Z-interference, TCAD, Alternate erase and soft program scheme

^{*} Project supported by the Scientific Research Foundation of the Higher Education Institutions of Hubei

† Corresponding author. E-mail: xmcheng@hust.edu.cn

† Corresponding author. E-mail: jinlei@ime.ac.cn

The first author. E-mail: 18296663705@163.com

录用稿件，非最终出版稿