

静电放电对 p-GaN 栅 AlGa_N/Ga_N 高电子迁移率晶体管 电学特性和陷阱演化的影响

朱甜^{1†} 王坦¹⁾ 冯慧¹⁾ 张宇轩¹⁾ 郑雪峰²⁾

1) (航天科工防御技术研究试验中心, 西安分中心, 北京 100039)

2) (西安电子科技大学微电子学院, 宽禁带半导体国家工程研究中心, 西安
710071)

摘要

本文研究了人体放电模型下正向栅漏和漏源静电放电对 p-GaN 栅 AlGa_N/Ga_N 高电子迁移率晶体管电学特性和陷阱演化的影响。研究发现, 正向栅漏和漏源静电放电应力下, 器件失效阈值分别为 7400V 和 >8000V (超出设备最大输出电压)。相较其他电学特性参数, 两种应力下饱和漏极电流均首先发生退化。低频噪声和变频电导测试结果表明, 两种静电放电应力均首先损伤器件沟道附近。应力电压越大, 器件沟道附近产生的陷阱密度越高, 该现象与饱和漏极电流的退化规律吻合。随电压增大至 7500V, 正向栅漏静电放电应力进一步在器件 p-GaN/AlGa_N 界面引入陷阱, 该现象与器件阈值电压和栅极漏电的退化规律吻合。分析认为, 两种静电放电应力在器件沟道附近引入的陷阱主导了其饱和漏极电流的退化。单次正向 7500V 栅漏静电放电应力在 p-GaN/AlGa_N 界面引入的陷阱主导了器件阈值电压的正漂和栅极漏电的增大。相关研究结果可为 p-GaN 栅 AlGa_N/Ga_N 高电子迁移率晶体管的静电放电加固设计和失效分析提供支撑。

关键词: 氮化镓, 静电放电, 低频噪声, 变频电导

PACS: 71.55.Eq, 85.30.De, 52.80.-s, 73.20.-r

† 通信作者. E-mail: zhutian_xd@163.com

第一作者. E-mail: zhutian_xd@163.com

1 引言

得益于杰出的材料属性,氮化镓(GaN)基高电子迁移率晶体管 (high electron mobility transistor, HEMT) 可实现更高的功率密度、更低的导通损耗以及更高的工作频率,在射频微波和电力电子领域具有显著的应用优势^[1,2]。众所周知,实际环境中,半导体器件经常会遭遇静电放电 (Electrostatic Discharge, ESD) 事件,该事件往往伴随着器件的整个生命周期, GaN 基 HEMT 器件也不可避免。通常, ESD 事件被定义为两个带电物体相互靠近或接触时由于电位差的存在导致电荷瞬间转移而产生的放电现象^[3]。人体放电模型 (Human Body Model, HBM) 是典型的 ESD 放电模式之一,通常用来模拟人体带电指尖与器件管脚接触时,发生静电荷转移,产生静电放电的行为^[4]。一般发生在晶圆制备、划片、封装以及测试等环节,可瞬间产生高电位、强电场以及大电流,导致器件性能发生退化或者形成潜在损伤影响器件长期可靠性。因此,开展 HBM 模式下 ESD 事件对 GaN 基 HEMT 器件电学性能和陷阱演化的影响研究具有重要意义。

前期相关研究主要聚焦于常规耗尽型肖特基栅 GaN 基 HEMT 器件。研究发现,不同管脚组合 ESD 应力施加情况下,常规耗尽型肖特基栅 AlGaIn/GaN HEMT 器件存在不同 HBM 失效机制^[5-8]。当正向和反向 HBM ESD 应力作用于器件栅极时,失效机制分别为电流集中效应引起的正向栅极肖特基二极管失效^[5-8]和栅极反向肖特基电场失效^[5,6]。正向 HBM ESD 应力作用于漏极时,失效机制为器件导通状态、高电场下的功率依赖性失效^[5-7]。上述研究表明,ESD 应力下,器件失效机制与器件内部等效电路结构、ESD 应力方向以及 ESD 应力施加管脚相关。相较于常规耗尽型肖特基栅 AlGaIn/GaN HEMT 器件,增强型肖特基 p-GaN 栅 AlGaIn/GaN HEMT 器件的栅极结构更为复杂,通常可看作背靠背串联的肖特基

二极管 (金属 /p-GaN) 和 PIN (Positive-Intrinsic-Negative, PIN) 二极管 (p-GaN/AlGa_N/Ga_N)。当栅极施加正向 ESD 应力时,肖特基二极管处于反向偏置状态。当器件栅极施加负向 ESD 应力时, PIN 二极管处于反向偏置状态。正反向栅极 ESD 事件在 p-GaN 栅 AlGa_N/Ga_N HEMT 器件中引入的能量难以通过其栅极结构中串联的肖特基二极管和 PIN 二极管释放,栅极区域极易受损。因此, p-GaN 栅 AlGa_N/Ga_N HEMT 器件抗 ESD 能力需重新评估,其失效机制也应结合栅极结构进一步分析。

事实上,针对 p-GaN 栅 AlGa_N/Ga_N HEMT 器件抗 HBM 模式下 ESD 事件的能力评估工作已陆续开展^[9-14]。然而,这些研究大多采用传输线脉冲 (Transmission line pulsing, TLP) 的测试结果来估算器件在 HBM 模式下 ESD 事件的稳健性^[10-14]。前期研究表明,相较于符合国际和行业标准的 HBM ESD 应力设备,直接利用 TLP 方式所得测试结果来评估 GaN 基 HEMT 器件抗 ESD 干扰能力,误差超过 90%^[15,16]。此外,前期研究重点关注 HBM 模式下 p-GaN 栅 AlGa_N/Ga_N HEMT 器件的 ESD 失效阈值、ESD 应力期间的瞬态 $I-V$ 特性以及抗 ESD 加固技术等^[9,10,13-15],针对 HBM 模式下 ESD 应力对该类器件缺陷演化和退化机制的影响研究较少。

综上所述,本文采用符合国家和行业标准的静电放电设备开展了 HBM 模式下正向栅漏和漏源 ESD 应力对 p-GaN 栅 AlGa_N/Ga_N HEMT 器件电学特性的影响研究,得到了器件失效阈值和敏感参数。利用低频噪声和变频电导技术研究了 ESD 应力对器件内部陷阱演化的影响,给出了 ESD 应力下器件电学特性退化和陷阱演化之间的内在关联,明确了器件在正向栅漏和漏源 ESD 应力下的放电路径和退化机制。相关研究结果可支撑 p-GaN 栅 AlGa_N/Ga_N HEMT 器件的抗 ESD 加固设计。

2 器件结构及实验细节

2.1 器件结构

本文所使用 p-GaN 栅 AlGaIn/GaN HEMT 为全球氮化镓器件龙头企业之一英诺赛科生产的型号为 INN700TJ350B、最大额定电压为 700V 的商用器件。该类器件典型结构如图 1 所示。从下往上依次为 Si 衬底、AlN 成核层、GaN 缓冲层、AlGaIn 势垒层、p-GaN 层和栅极金属层。为了改善栅极附近电场分布，有效降低栅极边缘峰值电场，器件源极采用了场板结构。

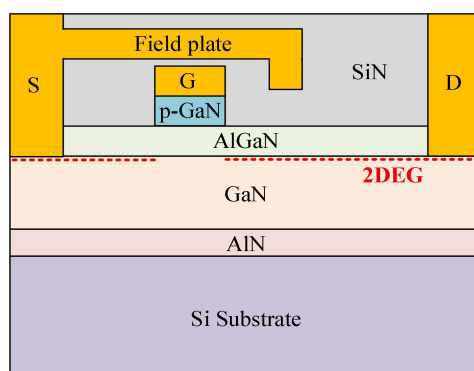


图 1 p-GaN 栅 AlGaIn/GaN HEMT 器件结构示意图

Fig. 1. Schematic cross-section of p-GaN gate AlGaIn/GaN HEMT.

2.2 实验细节

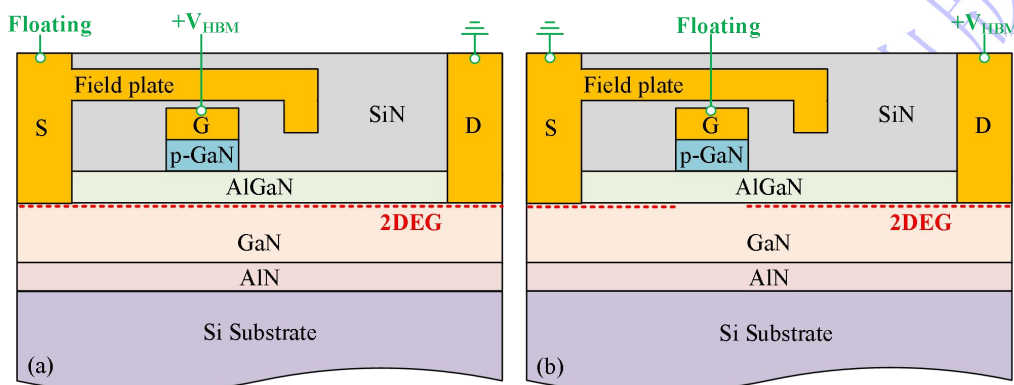


图 2 HBM 模式下 ESD 实验类型 (a) 器件源极浮空，漏极接地，栅极接正向 ESD 应力；(b) 器件栅极浮空，源极接地，漏极接正向 ESD 应力

Fig. 2. ESD stress types in HBM mode: (a) The source is floating, the drain is grounded, and the gate is subjected to a positive ESD stress; (b) The gate is floating, the source is grounded, and the drain is subjected to a positive ESD stress.

本文利用专业静电放电设备 Hanwa HED-G5000 对 p-GaN 栅 AlGaIn/GaN HEMT 器件开展 HBM 模式下的 ESD 实验。ESD 应力类型包含 2 种，

一是器件源极浮空，漏极接地，栅极承受正向 ESD 应力；二是器件栅极浮空，源极接地，漏极承受正向 ESD 应力，如图 2 所示。本文首先采用步进式应力对 p-GaN 栅 AlGaIn/GaN HEMT 器件开展累积 ESD 实验，得到初始失效阈值，随后在新器件上验证所得失效阈值。ESD 应力前后，采用 Keysight B1505A 对器件电学特性进行测试。同时，利用低频噪声和变频电导技术对器件内部陷阱开展定位表征，研究 HBM 模式下静电放电应力对器件内部薄弱位置陷阱演化的影响，进而分析器件退化机制。

3 结果与讨论

3.1 正向栅漏ESD应力对p-GaN栅AlGaIn/GaN HEMT器件的影响

3.1.1 正向栅漏ESD应力对器件电学特性的影响

正向步进栅漏 ESD 应力电压累积至 7500V 时 p-GaN 栅 AlGaIn/GaN HEMTs 器件转移和输出特性曲线分别如图 3(a)和(b)所示。研究发现，当 ESD 电压逐渐增至 7500V 时，器件完全丧失电学特性。考虑到应力施加方式引入的潜在损伤以及器件退化程度，推测 p-GaN 栅 AlGaIn/GaN HEMTs 器件正向栅漏 ESD 失效阈值可能在 7500V 左右。

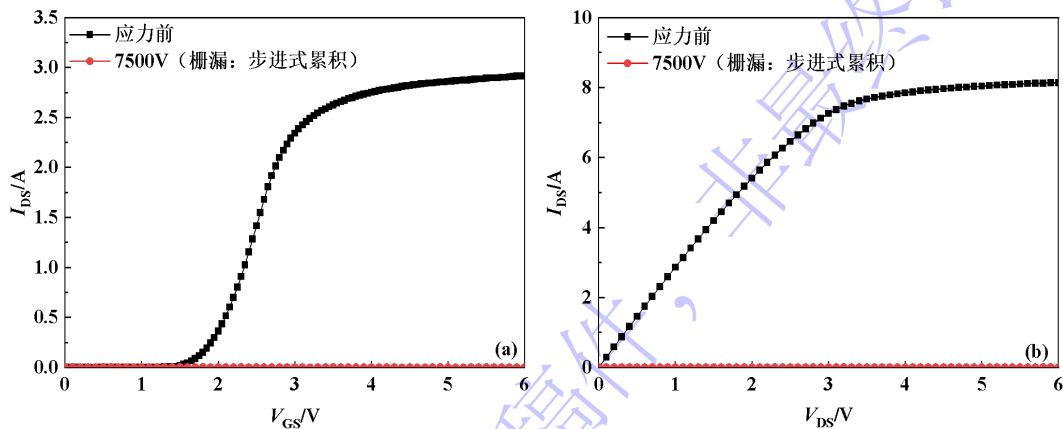


图 3 正向步进栅漏 ESD 应力累积至 7500V 前后 p-GaN 栅 AlGaIn/GaN HEMTs 器件的电学特性曲线 (a)转移曲线；(b)输出曲线

Fig.3. Electrical characteristic curves of p-GaN gate AlGaIn/GaN HEMTs before and after positive stepwise gate-drain ESD stress accumulates to 7500V: (a) Transfer curves; (b) output curves.

为了明确 p-GaN 栅 AlGaIn/GaN HEMTs 器件的正向栅漏 ESD 失效阈值，在

新器件上施加了单次正向 7500V 栅漏 ESD 应力。研究发现，应力后，部分器件完全丧失电学特性，如图 4 所示。部分器件电学特性仅发生退化，如图 5 和图 6 所示。可以发现，单次正向 7500V 栅漏 ESD 应力后，器件阈值电压正漂 0.13V，跨导峰值下降 10.23%，饱和漏极电流降低 17.32%，正向栅极漏电增加约一个数量级（ $V_{GS} = 6V$ 下）。事实上，即使同一批次器件，其个体工艺质量也存在差异性，致使器件表现出不同的 ESD 电压耐受性。因此，单次正向 7500V 栅漏 ESD 应力后，部分器件电学功能完全丧失，部分器件电学特性仅发生退化。

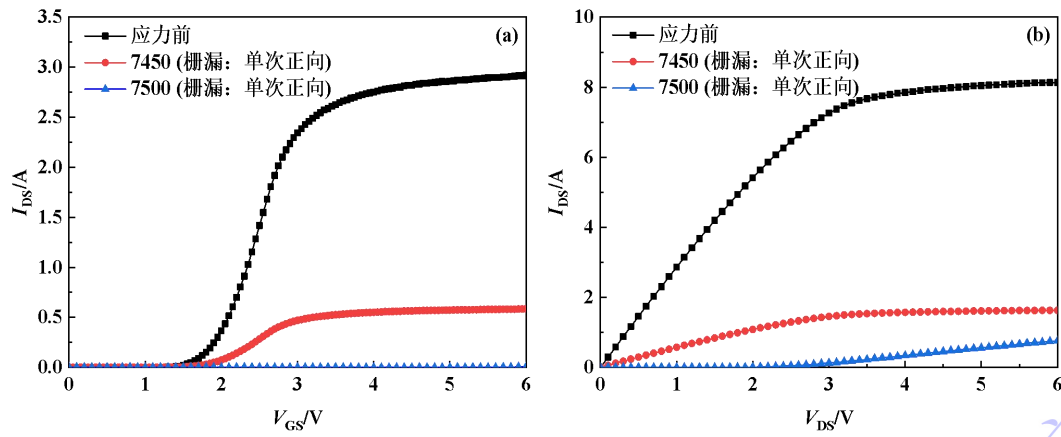


图 4 单次正向 7500V 和 7450V 栅漏 ESD 应力前后 p-GaN 栅 AlGaIn/GaN HEMTs 器件的电学特性曲线 (a)转移曲线；(b)输出曲线

Fig. 4. Electrical characteristic curves of p-GaN gate AlGaIn/GaN HEMTs before and after one single positive 7500V and 7450V gate-drain ESD stress: (a) Transfer curves; (b) output curves.

为了避免因质量差异性误判器件正向栅漏 ESD 应力失效阈值，在新器件上继续分别施加单次正向 7450V 和 7400V 栅漏 ESD 应力。研究发现，与单次正向 7500V 栅漏 ESD 应力后实验结果类似，7450V ESD 应力后，部分器件电学性能基本丧失，如图 4 所示。部分器件电学特性发生退化，如图 5 和图 6 所示，可以看到，7450V 正向栅漏 ESD 应力后，器件饱和漏极电流降低 10.66%，阈值电压、跨导峰值和栅极漏电无明显变化。

不同于单次正向 7500V 和 7450V 栅漏 ESD 应力后的实验结果，单次正向 7400V 栅漏 ESD 应力后，所有器件表现出一致的电学特性变化规律，如图 5 和

图 6 所示。可以看到，单次正向 7400V 栅漏 ESD 应力后，仅器件饱和漏极电流发生退化，降低 7.19%。此外，从图 5 和图 6 中还可以发现，单次正向栅漏 ESD 应力下，器件饱和漏极电流最先发生退化，且随电压增大退化越明显。相比饱和漏极电流，单次正向栅漏 ESD 应力下，器件栅极漏电的增加具备突发性。

综合对比单次正向 7500V、7450V 以及 7400V 栅漏 ESD 应力前后实验结果，考虑器件对正向栅漏 ESD 应力电压响应的一致性，7400V 可看做 p-GaN 栅 AlGaIn/GaN HEMTs 器件在正向栅漏 ESD 应力下的失效阈值。

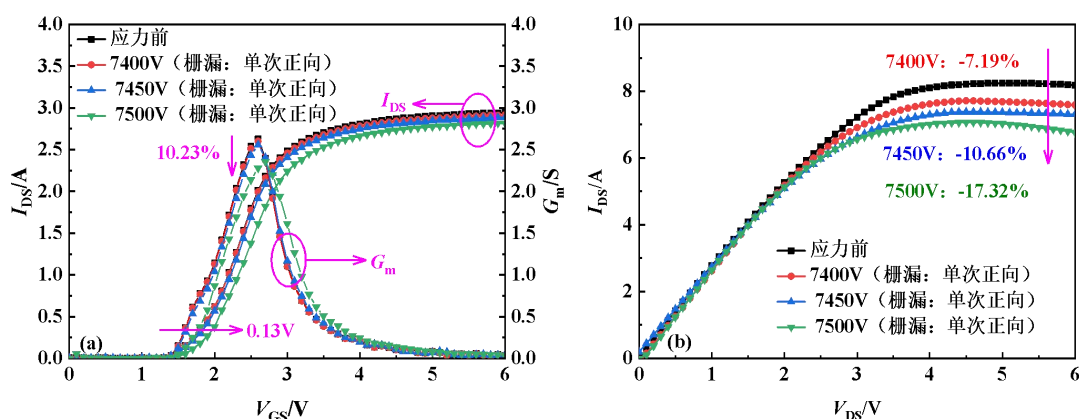


图 5 单次正向 7500V、7450V 和 7400V 栅漏 ESD 应力前后 p-GaN 栅 AlGaIn/GaN HEMTs 器件电学特性曲线 (a)转移曲线和跨导曲线；(b)输出曲线

Fig. 5. Electrical characteristic curves of p-GaN gate AlGaIn/GaN HEMTs before and after one single positive 7500V, 7450V, and 7400V gate-drain ESD stress: (a) Transfer and transconductance curves; (b) output curves.

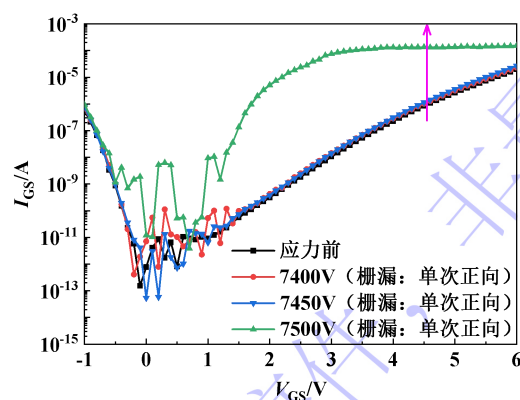


图 6 单次正向 7500V、7450V 和 7400V 栅漏 ESD 应力前后 p-GaN 栅 AlGaIn/GaN HEMTs 器件的栅极漏电曲线

Fig. 6. Gate leakage current curves of p-GaN gate AlGaIn/GaN HEMTs before and after one single positive 7500V, 7450V, and 7400V gate-drain ESD stress.

3.1.2 正向栅漏ESD应力下器件内部陷阱演化

(1) 低频噪声技术

通常，器件电学特性的退化与其内部陷阱的演化密切相关。为了研究 HBM 模式下 ESD 应力对 p-GaN 栅 AlGaIn/GaN HEMT 器件内部陷阱的影响，本文采用低频噪声技术对电学性能发生退化的器件开展了陷阱表征，如图 7 所示。考虑到单次正向 7400V、7450V 以及 7500V 栅漏 ESD 应力后器件低频噪声测试结果表现出相同的变化趋势，为了简化分析，此处仅展示阈值点（7400V）和噪声量级增加最为显著的单次正向 7500V 栅漏 ESD 应力后的实验结果。图 7(a)为单次正向 7400V 和 7500V 栅漏 ESD 应力前后 p-GaN 栅 AlGaIn/GaN HEMTs 器件归一化沟道电流噪声功率谱密度 S_{ID}/I_{DS}^2 随频率 f 的变化曲线。可以发现， S_{ID}/I_{DS}^2 随 f 的变化遵循 $1/f$ 的关系，表明 p-GaN 栅 AlGaIn/GaN HEMT 器件的噪声属于经典的 $1/f$ 噪声^[17]。同时，还可以发现，随应力电压增大，噪声量级逐渐增加。单次正向 7500V 栅漏 ESD 应力后， S_{ID}/I_{DS}^2 增加了约 1.5 个数量级，该现象定性表明 ESD 应力后器件沟道附近陷阱密度增加。

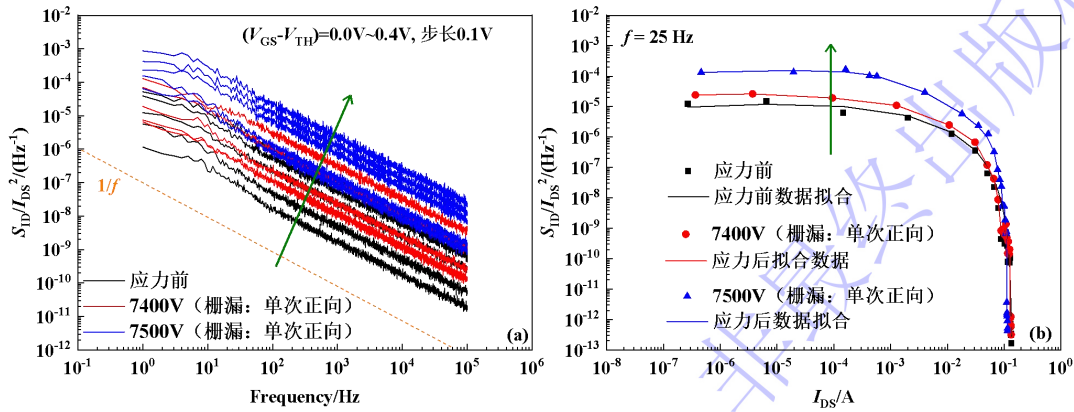


图 7 单次正向 7400V 和 7500V 栅漏 ESD 应力前后 p-GaN 栅 AlGaIn/GaN HEMTs 器件低频噪声特性曲线 (a)归一化电流噪声功率谱密度 S_{ID}/I_{DS}^2 与频率 f 的关系; (b) S_{ID}/I_{DS}^2 与漏极电流 I_{DS} 的关系

Fig.7. The low-frequency noise characteristic curves of p-GaN gate AlGaIn/GaN HEMTs before and after one single positive 7400V and 7500V gate–drain ESD stress: (a) Relationship between normalized drain current noise power spectral density S_{ID}/I_{DS}^2 and frequency f ; (b) S_{ID}/I_{DS}^2 as a function of drain current I_{DS} .

进一步利用下式对实测的 S_{ID}/I_{DS}^2 和 $(g_m/I_{DS})^2$ 进行拟合^[17-19]:

$$\frac{S_{ID}}{I_{DS}^2} = S_{VFB} \left(\frac{g_m}{I_{DS}} \right)^2 \quad (1)$$

其中 S_{VFB} 为平带电压谱密度, g_m 为跨导, I_{DS} 为漏极电流。拟合结果如图 7(b)所示。可以发现, S_{ID}/I_{DS}^2 与 $(g_m/I_{DS})^2$ 之间拟合良好, 且 S_{ID}/I_{DS}^2 随 I_{DS} 的变化具有二次相关性, 表明载流子数目波动模型可用来模拟本文所测 p-GaN 栅 AlGaIn/GaN HEMTs 器件的 $1/f$ 噪声^[17-19]。拟合过程中可得 S_{VFB} , 将其代入下式可得陷阱密度 N_T ^[17-19]:

$$N_T = \frac{W_g L_g f C^2}{q^2 K T \lambda} S_{VFB} \quad (2)$$

其中, W_g 和 L_g 分别为器件栅宽和栅长, λ 为隧穿参数, C 为势垒层电容, f 为频率。对于 AlGaIn 势垒层, $\lambda = 0.5 \text{ nm}$ 。

表 1 为提取的 S_{VFB} 。可以发现, 随栅漏 ESD 电压逐渐增大, S_{VFB} 逐渐增加, 表明器件沟道附近陷阱密度逐渐增加。假设未承受 ESD 应力的器件初始陷阱密度为 N_{T0} , 单次正向 7500V 栅漏 ESD 应力后, S_{VFB} 从 $1.72 \times 10^{-9} \text{ V}^2 \cdot \text{Hz}^{-1}$ 增加至 $9.91 \times 10^{-9} \text{ V}^2 \cdot \text{Hz}^{-1}$, 沟道附近陷阱密度增加至 $5.76 N_{T0}$, 即增加 5.76 倍。

表 1 单次正向栅漏 ESD 应力前后平带电压谱密度 S_{VFB} 和沟道附近陷阱密度 N_T
Table 1. The flatband voltage spectral density S_{VFB} and trap density N_T near the channel before and after one single positive gate-drain ESD stress.

ESD 应力电压/V	平带电压谱密度/($\text{V}^2 \cdot \text{Hz}^{-1}$)	陷阱密度/($\text{cm}^{-3} \cdot \text{eV}^{-1}$)
应力前	1.72×10^{-9}	N_{T0}
7400	3.46×10^{-9}	$2.01 N_{T0}$
7450	6.15×10^{-9}	$3.58 N_{T0}$
7500	9.91×10^{-9}	$5.76 N_{T0}$

(2) 变频电导技术

相比常规耗尽型 GaN 基 HEMTs 器件, 由于复杂栅极结构和 Mg 掺杂 p-GaN

层的存在，p-GaN 栅 AlGaIn/GaN HEMTs 器件栅极区域极易受损，从而影响器件电学性能，如阈值电压漂移和栅极漏电增大。为了更全面地研究栅漏 ESD 应力对器件内部陷阱的影响，本文进一步采用变频电导技术对应力前后器件栅极区域，即对 p-GaN/AlGaIn 界面的界面陷阱进行了表征。

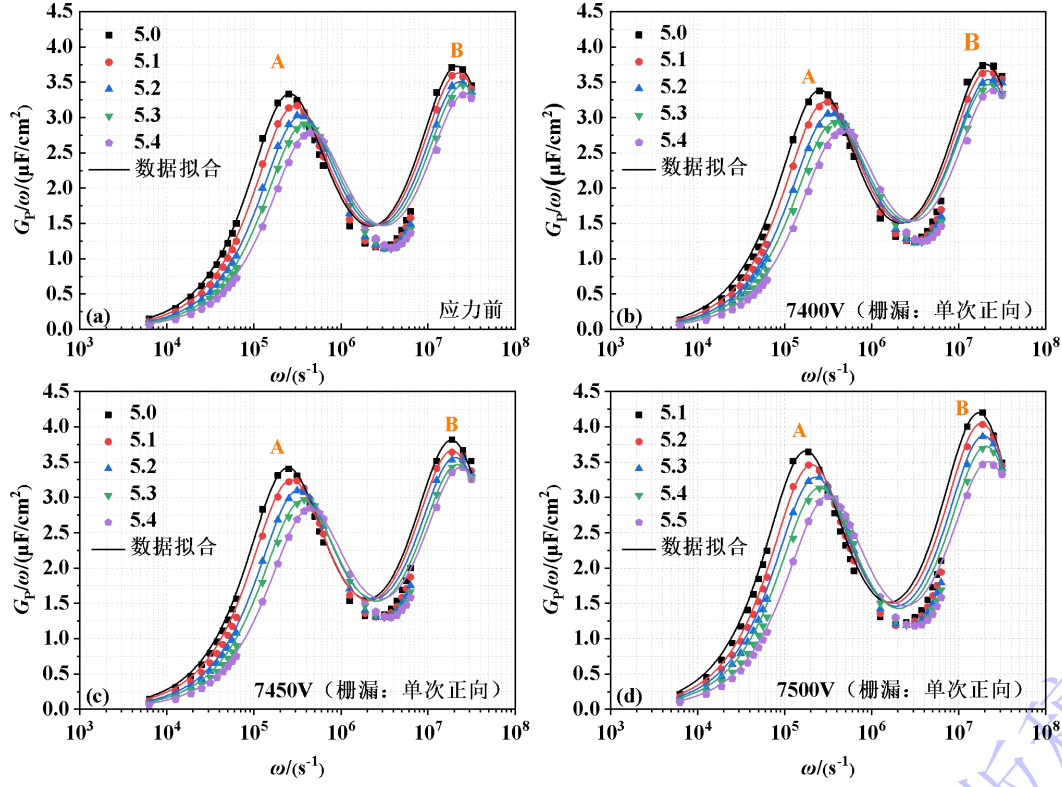


图 8 单次正向栅漏 ESD 应力前后 p-GaN/AlGaIn 界面并联电导 G_p/ω 随角频率 ω 的变化曲线 (a) 应力前; (b) 7400V; (c) 7450V; (d) 7500V

Fig. 8. Parallel conductance G_p/ω as a function of radial frequency ω before and after one single positive gate-drain ESD stress: (a) fresh; (b) 7400V; (c) 7450V; (d) 7500V.

单次正向栅漏 ESD 应力前后 p-GaN/AlGaIn 界面并联电导 G_p/ω 随角频率 ω 的变化曲线如图 8 所示。散点为实测数据，实线为拟合数据，测试频率为 1 kHz-5 MHz。根据变频电导技术原理，为了探测 p-GaN/AlGaIn 界面陷阱，本文测试 G_p/ω 时施加的栅极电压在电容曲线的积累区域选择。同时，为了探测 p-GaN/AlGaIn 界面同一区域的陷阱，也考虑了电容曲线的漂移量 0.1V。本文选取测试电压为 $(5.0 + \Delta V_{FB})$ V ~ $(5.4 + \Delta V_{FB})$ V，步长为 0.1V。等效并联电导 G_p/ω 可通过下式计算^[20-22]：

$$\frac{G_p}{\omega} = \frac{\omega G_m C_{\text{total}}^2}{G_m^2 + \omega^2 (C_{\text{total}} - C_m)^2} \quad (3)$$

其中， G_m 和 C_m 分别为测得的电导和电容， C_{total} 为栅极区域总电容。当 $G_p/\omega \sim \omega$ 曲线为双峰时，可用下式拟合^[20-22]:

$$\frac{G_p}{\omega} = \frac{q\omega\tau_{T1}D_{T1}}{1+(\omega\tau_{T1})^2} + \frac{q\omega\tau_{T2}D_{T2}}{1+(\omega\tau_{T2})^2} \quad (4)$$

其中 $q = 1.6 \times 10^{-19}$ C。从图 8 中可以发现，p-GaN/AlGaIn 界面存在 2 类原生陷阱。为了便于区分，此处将它们分别命名为 A 和 B。需要注意的是， G_p/ω 峰值越高，界面陷阱密度越大。 G_p/ω 峰向右漂移，表明界面陷阱时间常数变小，被陷阱俘获的电子更易发射出去。

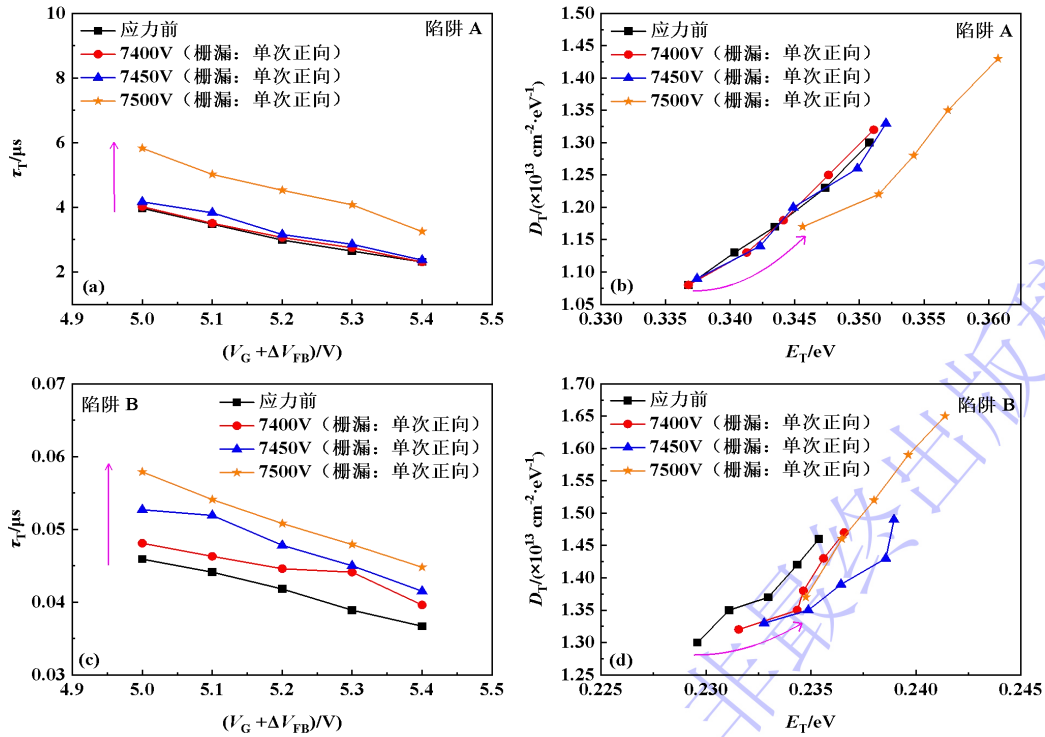


图 9 单次正向栅漏 ESD 应力前后 p-GaN/AlGaIn 界面陷阱参数 (a) 陷阱 A 的时间常数 τ_T 随栅压的变化关系; (b) 陷阱 A 的密度 D_T 随能级 E_T 的变化关系; (c) 陷阱 B 的时间常数随栅压的变化关系; (d) 陷阱 B 的密度随能级的变化关系

Fig. 9. Trap parameters of p-GaN/AlGaIn interface before and after one single positive gate-drain ESD stress: (a) The time constant τ_T of trap A varies with the gate voltage; (b) the density D_T of trap A as a function of the activation energy E_T ; (c) the time constant of trap B varies with the gate voltage; (d) The density of trap B as a function of the activation energy.

从图 8 中进一步可以看到，仅在施加单次正向 7500V 栅漏 ESD 应力后，陷阱 A 和 B 的 G_p/ω 峰值才发生了较为明显的增加，定性表明此条件下这两类陷阱

的密度显著增加。进一步发现，仅在施加单次正向 7500V 栅漏 ESD 应力后，陷阱 A 的 G_P/ω 峰才会发生明显左漂，定性表明该应力下 A 类陷阱的时间常数显著增大。不同于 A 类陷阱，B 类陷阱的 G_P/ω 峰随单次正向栅漏 ESD 应力电压增大逐步左漂，定性表明 B 类陷阱的时间常数随应力电压增加逐渐增大。

为了定量分析栅漏 ESD 应力对器件 p-GaN/AlGaIn 界面陷阱参数的影响，图 9(a)和(c)分别给出了单次正向栅漏 ESD 应力前后 A 类和 B 类陷阱的时间常数 τ_T 。可以看到，不同于 A 类陷阱时间常数仅在单次正向 7500V 栅漏 ESD 应力后显著增加，B 类陷阱的时间常数随 ESD 应力电压的增加逐步增加。单次正向 7500V 栅漏 ESD 应力后，A 类陷阱的时间常数从 $2.31 \mu s \sim 3.97 \mu s$ 增加至 $3.25 \mu s \sim 5.83 \mu s$ ，B 类陷阱的时间常数从 $3.67 \times 10^{-2} \mu s \sim 4.59 \times 10^{-2} \mu s$ 增加至 $4.48 \times 10^{-2} \mu s \sim 5.79 \times 10^{-2} \mu s$ 。陷阱时常数增大表明栅漏 ESD 应力可使被 A 类和 B 类陷阱俘获的电子更难发射出去，对应陷阱能级加深。将所得陷阱时间常数代入下式即可计算陷阱能级 E_T ^[20-22]：

$$\tau_T = (\sigma_T N_C v_T)^{-1} \exp(E_T / KT) \quad (5)$$

其中， K 为玻尔兹曼常数， $T = 300 \text{ K}$ ， σ_T 为陷阱俘获截面， N_C 为导带态密度， v_T 为载流子平均热速度。

图 9(b)和(c)分别给出了单次正向栅漏 ESD 应力前后 A 类和 B 类陷阱的能级 E_T 和密度 D_T 。可以看到，与提取的陷阱时间常数变化规律类似，A 类陷阱的能级仅在单次正向 7500V 栅漏 ESD 应力后显著增加，B 类陷阱的能级随 ESD 应力电压的增加逐步增加。还可以发现，无论是 A 类陷阱还是 B 类陷阱，只有在承受 7500V 栅漏 ESD 应力后，陷阱密度才会明显增加。单次正向 7500V 栅漏 ESD 应力后，A 类陷阱的密度从 $1.08 \times 10^{13} \text{ cm}^{-2} \cdot \text{eV}^{-1} \sim 1.30 \times 10^{13} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ 增加至 $1.17 \times 10^{13} \text{ cm}^{-2} \cdot \text{eV}^{-1} \sim 1.43 \times 10^{13} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ ，能级从 $0.337 \text{ eV} \sim 0.351 \text{ eV}$ 增加至 0.346

eV~0.361 eV；B 类陷阱的密度从 $1.30 \times 10^{13} \text{cm}^{-2} \cdot \text{eV}^{-1}$ ~ $1.46 \times 10^{13} \text{cm}^{-2} \cdot \text{eV}^{-1}$ 增加至 $1.37 \times 10^{13} \text{cm}^{-2} \cdot \text{eV}^{-1}$ ~ $1.65 \times 10^{13} \text{cm}^{-2} \cdot \text{eV}^{-1}$ ，能级从 0.230 eV~0.235 eV 增加至 0.235 eV~0.241 eV。

3.2 正向漏源ESD应力对p-GaN栅AlGaIn/GaN HEMT器件的影响

3.2.1 正向漏源 ESD 应力对器件电学特性的影响

正向 8000V 漏源 ESD 应力前后 p-GaN 栅 AlGaIn/GaN HEMTs 器件的转移、输出以及栅极漏电曲线分别如图 10(a)、(b)及(c)所示。可以看到，即使单次正向漏源 ESD 应力电压达到设备最大输出电压水平 8000V，器件性能也无明显变化。当 8000V ESD 电压重复施加在器件漏源两端时，器件性能逐渐发生退化。50 次 8000V 漏源 ESD 应力后 (ESD 应力施加时间间隔为 1 秒)，器件阈值电压和栅极漏电无明显变化，饱和漏极电流降低 7.96%。

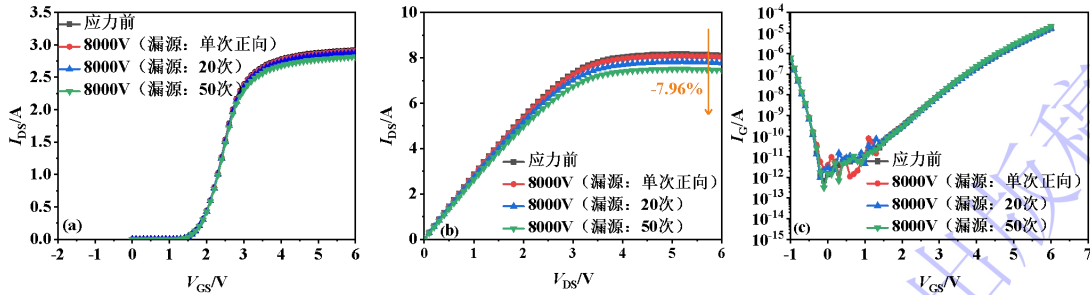


图 10 正向 8000V 漏源 ESD 应力前后 p-GaN 栅 AlGaIn/GaN HEMTs 器件的电学特性曲线 (a) 转移曲线；(b)输出曲线；(c)栅极漏电曲线

Fig. 10. Electrical characteristic curves of p-GaN gate AlGaIn/GaN HEMTs before and after positive 8000V drain–source ESD stress: (a) Transfer curves; (b) output curves; (c) gate leakage current curves.

3.2.2 正向漏源 ESD 应力下器件内部陷阱演化

(1) 低频噪声技术

为了研究漏源 ESD 应力后器件内部陷阱的演化，采用低频噪声对器件沟道区域附近陷阱进行了表征。图 11(a)为 50 次正向 8000V 漏源 ESD 应力前后 p-GaN 栅 AlGaIn/GaN HEMTs 器件归一化沟道电流噪声功率谱密度 S_{ID}/I_{DS}^2 随频率 f 的变化曲线。可以发现，50 次 8000V 漏源 ESD 应力后， S_{ID}/I_{DS}^2 增加了半个多数量级，

该现象定性表明器件沟道附近陷阱密度增加。

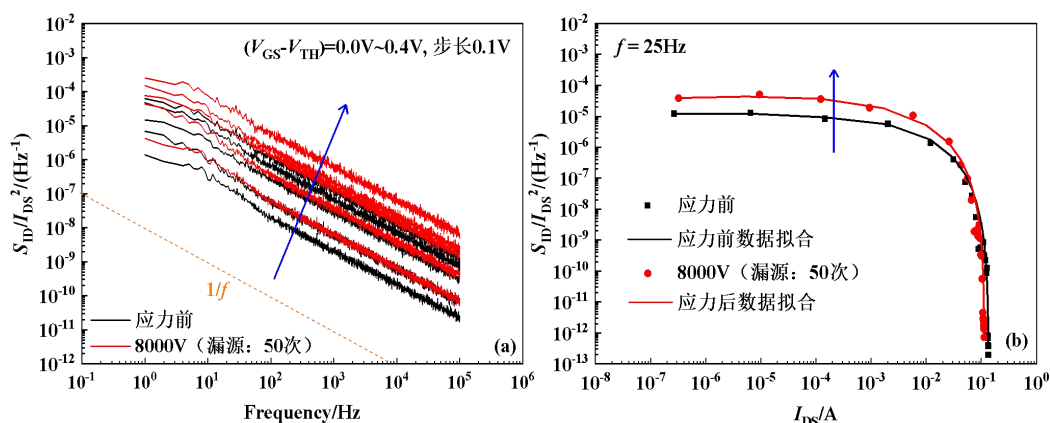


图 11 50 次正向 8000V 漏源 ESD 应力前后 p-GaN 栅 AlGaIn/GaN HEMTs 器件的低频噪声特性曲线 (a)归一化电流噪声功率谱密度 S_{ID}/I_{DS}^2 与频率 f 的关系; (b) S_{ID}/I_{DS}^2 与 I_{DS} 的关系
Fig.11. The low-frequency noise characteristic curves of p-GaN gate AlGaIn/GaN HEMTs before and after 50 times positive 8000V drain-source ESD stress: (a) Relationship between normalized drain current noise power spectral density S_{ID}/I_{DS}^2 and frequency f ; (b) S_{ID}/I_{DS}^2 as a function of I_{DS} .

表 2 正向 8000V 漏源 ESD 应力前后平带电压谱密度 S_{VFB} 和沟道附近陷阱密度 N_T
Table 2. The flatband voltage spectral density S_{VFB} and trap density N_T near the channel before and after positive 8000V drain-source ESD stress.

8000V 漏源 ESD 应力次数/次		
	平带电压谱密度/($V^2 \cdot Hz^{-1}$)	陷阱密度/($cm^{-3} \cdot eV^{-1}$)
应力前	1.69×10^{-9}	N_{T0}
1	1.71×10^{-9}	$1.01 N_{T0}$
20	2.05×10^{-9}	$1.21 N_{T0}$
50	3.84×10^{-9}	$2.27 N_{T0}$

为了得到 S_{VFB} , 根据公式(1)对 50 次正向 8000V 漏源 ESD 应力前后归一化沟道电流噪声功率谱密度 S_{ID}/I_{DS}^2 和 $(g_m/I_{DS})^2$ 进行拟合, 结果如图 11(b)所示, 提取的 S_{VFB} 如下表 2 所示, 将其代入公式(2), 可得陷阱密度 N_T 。可以发现, 随漏源 ESD 应力次数增加, 沟道附近陷阱密度逐渐增加。50 次 8000V 漏源 ESD 应力后, 器件沟道附近陷阱密度增加了 2.27 倍。

(2) 变频电导技术

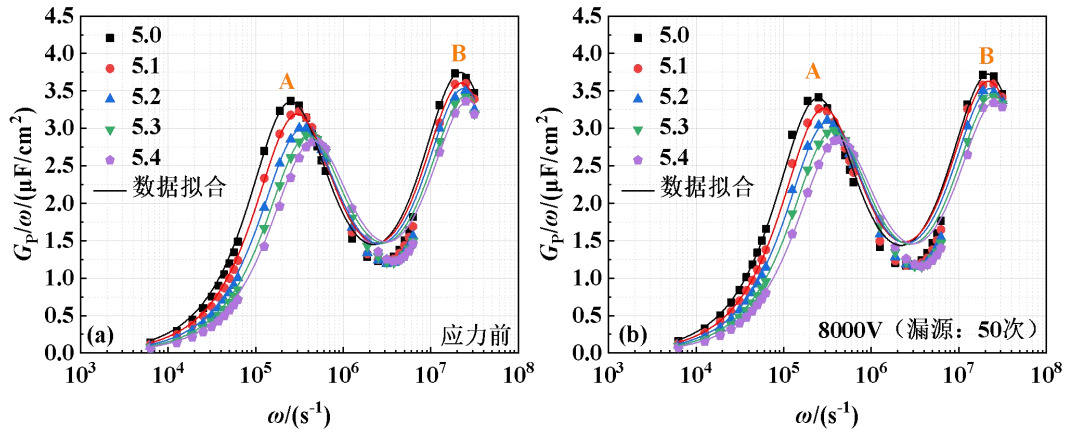


图 12 50 次正向 8000V 漏源 ESD 应力前后 p-GaN/AlGaIn 界面并联电导 G_p/ω 随角频率 ω 的变化曲线 (a) 应力前; (b) 50 次正向 8000V

Fig. 12. Parallel conductance G_p/ω as a function of radial frequency ω before and after 50 times positive 8000V drain-source ESD stress: (a) fresh; (b) 50 times positive 8000V.

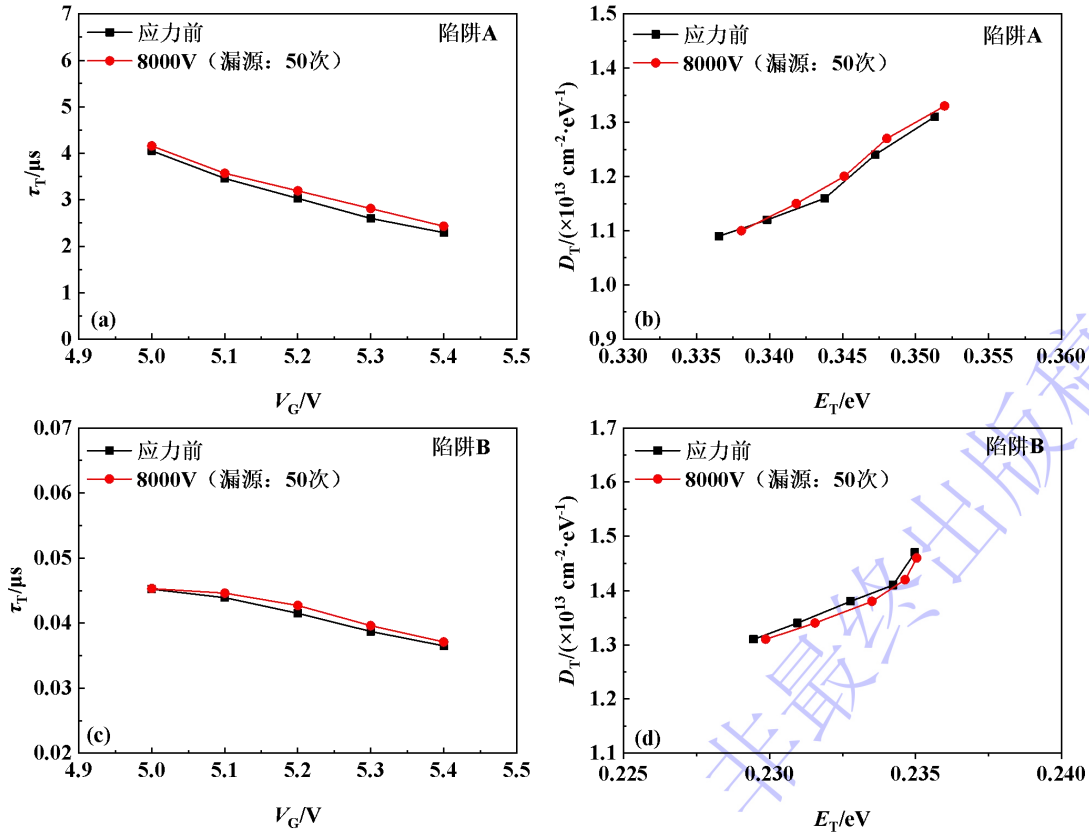


图 13 50 次正向 8000V 漏源 ESD 应力前后 p-GaN/AlGaIn 界面陷阱参数 (a) 陷阱 A 的时间常数 τ_T 随栅压的变化关系; (b) 陷阱 A 的密度 D_T 随能级 E_T 的变化关系; (c) 陷阱 B 的时间常数 τ_T 随栅压的变化关系; (d) 陷阱 B 的密度 D_T 随能级 E_T 的变化关系

Fig. 13. Trap parameters of p-GaN/AlGaIn interface before and after 50 times positive 8000V drain-source ESD stress: (a) The time constant τ_T of trap A varies with the gate voltage; (b) the density D_T of trap A as a function of the activation energy E_T ; (c) the τ_T of trap B varies with the gate voltage; (d) The D_T of trap B as a function of the E_T .

50 次正向 8000V 漏源 ESD 应力前后 p-GaN/AlGaIn 界面并联电导 G_p/ω 随角

频率 ω 的变化曲线如图 12 所示。可以发现，不同于单次正向 7500V 栅漏 ESD 应力，即使对器件漏源施加 50 次正向 8000V ESD 应力，A 类陷阱和 B 类陷阱 G_p/ω 峰的大小和位置也未发生明显变化，定性表明应力后 p-GaN/AlGaIn 界面陷阱 A 和 B 的密度和时间常数无明显改变。

50 次正向 8000V 漏源 ESD 应力前后 p-GaN/AlGaIn 界面的陷阱参数如图 13 所示。可以发现，应力后，p-GaN/AlGaIn 界面 A 类陷阱和 B 类陷阱的时间常数、陷阱密度以及陷阱能级均无明显改变。

4. 讨论

4.1 正向栅漏ESD应力下p-GaN栅AlGaIn/GaN HEMTs器件的退化机制

本文研究发现，由于器件个体之间工艺质量的差异性，p-GaN 栅 AlGaIn/GaN HEMTs 器件对单次正向 7500V 栅漏 ESD 应力的响应可分为两种，一是部分器件电学特性完全丧失；二是部分器件电学特性仅表现出退化，如图 4、5 和 6 所示。器件在单次正向 7450V 栅漏 ESD 应力下也表现出上述两种响应类型。为了进一步明确栅漏 ESD 应力下器件失效阈值，本文在 p-GaN 栅 AlGaIn/GaN HEMTs 器件上再次施加了单次正向 7400V 栅漏 ESD 应力。结果表明，器件对单次正向 7400V 栅漏 ESD 应力的响应结果保持一致，即器件电学性能发生退化，如图 5 和 6 所示。单次正向 7400V 栅漏 ESD 应力后，器件阈值电压和栅极漏电无明显变化，饱和漏极电流降低 7.19%。综上所述，7400V 可在一定程度上看作 p-GaN 栅 AlGaIn/GaN HEMTs 器件在单次正向栅漏 ESD 应力下的失效阈值。前期研究表明，正向栅极 ESD 应力施加瞬间，由于栅极背靠背二极管结电容分压作用，PIN 二极管存在高瞬态电压，从而产生异常高的瞬态热发射电流，使得 HBM 模式下充电可通过此高电流释放，导致最终存储在器件电容中的电荷量较少，器件表现出高的抗正向栅漏 ESD 能力^[23,24]。

无论在 p-GaN 栅 AlGaIn/GaN HEMT 器件栅极施加正向还是反向 ESD 应力，由于背靠背串联二极管的存在，总有一个二极管处于反偏状态，导致正反向栅极 ESD 事件在器件中引入的能量难以释放。因此，相较于其他区域，栅极 ESD 应力下，器件栅极结构更为脆弱。当器件栅极承受正向 ESD 应力时，金属/p-GaN 肖特基二极管反偏关断，p-GaN/AlGaIn/GaN (PIN) 二极管正偏导通，放电路径如图 14 所示，栅极电流从背靠背串联二极管经栅漏之间沟道附近流向漏极。

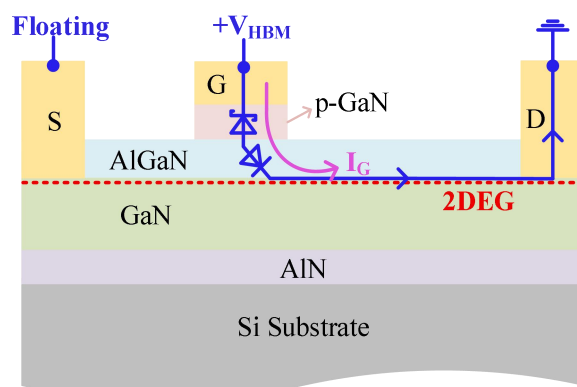


图 14 正向栅漏 ESD 应力期间放电路径

Fig. 14. Discharge path during forward gate-drain ESD stress.

前期研究表明，p-GaN 栅 AlGaIn/GaN HEMT 器件在正向栅偏置应力下，存在空穴向沟道方向注入、沟道电子向 p-GaN 方向注入的两种现象，二者之间存在竞争机制^[25-27]。较低栅压应力下，由于肖特基势垒较高，栅极到 p-GaN 层空穴注入强度较弱，以沟道电子向 p-GaN 方向注入为主。较高栅压下应力下，空穴向沟道方向注入、沟道电子向 p-GaN 方向注入两者均较为明显。

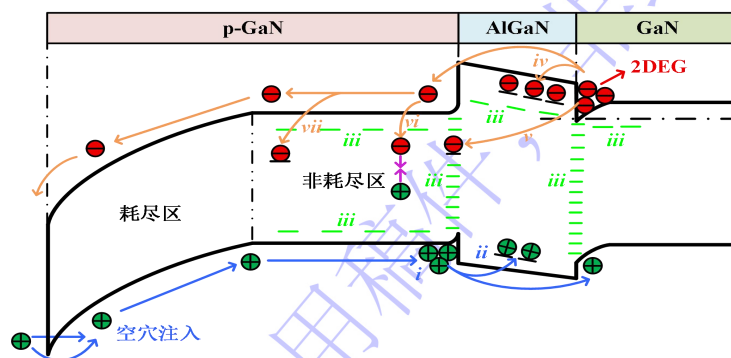


图 15 正向栅漏 ESD 应力期间 p-GaN 栅 AlGaIn/GaN HEMT 器件能带示意图

Fig.15 Schematic band diagram of the p-GaN gate AlGaIn/GaN HEMT under the forward gate-drain ESD stress.

正向栅极 ESD 应力下，器件栅极结构同时承受高电场和大电流^[23]，其能带结构如图 15 所示，主要作用机制如下：

①空穴被 p-GaN 耗尽区高电场加速后，获得能量，成为高能空穴，向沟道方向注入过程中，部分在 p-GaN/AlGa_N 界面积累（过程 *i*），部分被 AlGa_N 势垒层陷阱俘获（过程 *ii*），还有部分与 p-GaN 层非耗尽区、p-GaN/AlGa_N 界面、AlGa_N 势垒层或沟道附近发生晶格碰撞产生缺陷（过程 *iii*）^[25-27]；

②沟道电子向 p-GaN 方向注入过程中，部分可能被 AlGa_N 势垒层（过程 *iv*）或 p-GaN/AlGa_N 界面陷阱俘获（过程 *v*），部分可能与 p-GaN 层空穴复合（过程 *vi*）或者被 p-GaN 层陷阱俘获（过程 *vii*）^[27]。

本文研究结果表明，单次正向栅漏 ESD 应力下，器件饱和漏极电流首先发生退化，且随 ESD 应力电压增加，退化程度越显著。当栅漏 ESD 应力电压增加至 7500V，器件阈值电压和栅极漏电才发生退化。单次正向 7500V 栅漏 ESD 应力后，器件阈值电压正漂 0.13V，饱和漏电流降低 17.32%，栅极漏电增大约一个数量级（ $V_{GS} = 6V$ 下）。相比饱和漏电流的降低过程，阈值电压和栅极漏电的退化具备突发性。进一步低频噪声和变频电导测试结果表明，栅漏 ESD 应力首先损伤器件沟道区域附近，当 ESD 应力电压增加到 7500V，器件沟道附近陷阱密度显著增加的同时，栅极区域（p-GaN/AlGa_N 界面）也出现明显损伤，该现象与器件电学特性的退化规律吻合，退化机制可解释如下：

①饱和漏极电流降低：结合本文陷阱表征结果和器件电学参数退化规律可知，正向栅漏 ESD 应力下，高能空穴通过晶格碰撞在沟道附近引入的陷阱主导了器件饱和漏极电流的退化。事实上，前期部分研究一方面将应力后氮化镓器件漏极电流的降低归因于陷阱俘获引起的载流子密度降低或者陷阱俘获产生的带电中心引起的散射导致的迁移率下降，另一方面认为载流子密度降低会同步引起

阈值电压正漂，迁移率降低也会引起跨导降低^[28-32]。然而，本文研究发现，单次正向 7400V 和 7450V 栅漏 ESD 应力后，器件阈值电压和跨导都无明显变化，如图 5 所示。该现象间接表明上述应力条件下器件载流子密度和迁移率均未发生明显改变，器件饱和漏极电流的降低可能与决定其值大小的其他与沟道附近陷阱相关的因素有关。前期研究表明，p-GaN 栅 AlGaIn/GaN HEMT 漏极饱和电流不仅与载流子密度和迁移率有关，还与 p-GaN 层受主浓度、金属肖特基势垒高度、极化电荷、p-GaN/AlGaIn 界面表面势等参数息息相关^[33]。单次正向 7500V 栅漏 ESD 应力后，器件跨导峰值降低 10.23%、阈值电压正漂 0.13V，间接表明该条件下器件载流子密度和迁移率发生了退化，在上述与沟道附近陷阱相关的未知因素基础上，助力了器件饱和漏极电流的降低。

单次正向 7500V 栅漏 ESD 应力后，器件载流子密度和迁移率降低的原因主要有两个方面，一是 7500V ESD 应力后沟道引入的陷阱数量足够多，以至于对器件载流子密度和迁移率产生了负面影响，引起阈值电压正漂、饱和漏极电流和跨导峰值降低；二是 7500V ESD 应力在 p-GaN/AlGaIn 界面引入的陷阱俘获沟道电子，引起载流子密度降低，进而引发阈值电压正漂和饱和漏极电流降低。结合阈值电压仅在 7500V ESD 应力后发生正漂的现象可知，p-GaN/AlGaIn 界面陷阱的增加主导了器件阈值电压的正漂。

②阈值电压正漂：前期研究表明，较高栅偏置应力下，p-GaN/AlGaIn 界面空穴积累或 AlGaIn 势垒层空穴俘获可导致器件阈值电压负漂^[25,27]。较高栅偏置应力下，空穴被 p-GaN 耗尽区高电场加速后，与 p-GaN 层非耗尽区、p-GaN/AlGaIn 界面或 AlGaIn 势垒层发生晶格碰撞后，产生缺陷，这些缺陷俘获自沟道注入的电子后，可引起阈值电压正漂^[25,26]。沟道电子与 p-GaN 层空穴复合，也可引起阈值电压正漂^[27]。上述研究表明，正向栅极应力下，阈值电压的正向和负向漂移机

制之间存在竞争关系。基于上述分析,结合本文电学参数退化规律和陷阱表征结果可知,单次正向 7500V 栅漏 ESD 应力后, p-GaN/AlGa_N 界面陷阱的增加主导了器件阈值电压的正漂。此外,基于饱和漏极电流退化原因分析可知,7500V 单次正向栅漏 ESD 应力后,沟道附近显著增加的陷阱对阈值电压的正漂起到了促进作用。

③栅极漏电增大:结合本文陷阱表征结果和栅极漏电退化规律可知,栅极漏电的增大与高能空穴通过晶格碰撞在 p-GaN/AlGa_N 界面引入的陷阱有关。本文研究发现,单次正向栅漏 ESD 应力下,器件栅极漏电的增加具备突发性,这可能与 ESD 应力在 p-GaN/AlGa_N 界面引入的陷阱引发的渗流机制形成的局部导电通道有关^[34-37]。变频电导测试结果表明,单次正向 7400V 和 7450V 栅漏 ESD 应力后,器件 p-GaN/AlGa_N 界面陷阱并未发生显著增加,此时器件栅极漏电也未发生明显改变。但当单次正向栅漏 ESD 应力电压增加至 7500V, p-GaN/AlGa_N 界面陷阱显著增加,此时器件栅极漏电也显著增大。上述现象表明单次正向 7400V 和 7450V 栅漏 ESD 应力下产生的极少缺陷尚不足以形成贯穿的漏电通道,导致宏观上观测到的栅极漏电无明显变化。但当 ESD 应力电压达到某一阈值,如本文中的 7500V,陷阱在 p-GaN/AlGa_N 界面大量产生,这些缺陷瞬间连通形成“渗流路径”,宏观上表现为栅极漏电在单次正向 7500V 栅漏 ESD 应力后的突然增加。

4.2 正向漏源 ESD 应力下 p-GaN 栅 AlGa_N/Ga_N HEMT 器件的退化机制

本文研究发现,单次正向漏源 ESD 应力下,即使已达设备最大输出电压 8000V, p-GaN 栅 AlGa_N/Ga_N HEMT 器件电学和陷阱特性也无明显变化,该结果与 Po-Yen Huang 等人研究结果一致^[10,38]。前期研究表明,正向漏源 ESD 应力脉冲上升沿阶段,存在较高电压变化率,导致漏源之间产生电容耦合电流,该电流

会将一定量的跃迁电荷注入栅极并在栅极累积，进而感应出相应电势，当该感应电压超过器件阈值电压，器件被触发导通，为 ESD 瞬态电流提供了有效的泄放路径^[38]。如图 16 所示，该泄放路径的存在使器件具有优异的抗正向漏源 ESD 能力。

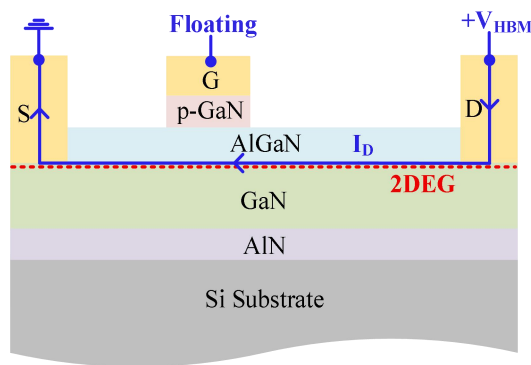


图 16 正向漏源 ESD 应力期间放电路径

Fig.16. Discharge path during forward drain-source ESD Stress.

本文结果表明，随正向 8000V 漏源 ESD 应力次数增加，器件性能逐渐发生退化。50 次 8000V 漏源 ESD 应力后，器件阈值电压和栅极漏电未发生明显变化，饱和漏极电流降低 7.96%，如图 10 所示。变频电导测试结果表明，50 次 8000V 漏源 ESD 应力后，p-GaN/AlGaIn 界面陷阱密度未发生明显变化。低频噪声测试结果表明，随正向栅漏 ESD 应力次数增多，器件沟道区域附近陷阱密度逐渐增加。该现象表明，50 次 8000V 漏源 ESD 应力后，沟道附近陷阱密度的增加主导了器件饱和漏极电流的降低。

4.3 静电放电加固设计

结合本文研究结果可知，p-GaN 栅 AlGaIn/GaN HEMT 器件的 ESD 敏感区域主要包括栅极区域和沟道区域附近。针对上述区域，本文建议可尝试采用以下方法对此类器件进行静电放电加固设计：

(1) 工艺优化：采用氧气等离子体或者超临界流体氮气钝化技术处理氮化镓器件，改善其栅极区域或沟道附近区域材料质量，从而提升器件抗 ESD 应力

的能力^[39-41]。

(2) 外延 AlGa_N 插入层^[42]: 在传统 p-GaN 栅 AlGa_N/Ga_N HEMT 器件 p-GaN/AlGa_N 和 AlGa_N/Ga_N 界面处插入 AlGa_N 薄层。该结构下空穴在 p-GaN/AlGa_N 和 AlGa_N/Ga_N 界面处累积, 该现象会降低势垒并提高栅下电子传导能力和均匀性, 从而缓解 ESD 应力引起的电流拥挤问题;

(3) 制备欧姆接触和肖特基接触共存的混合栅极^[38]: 与传统 p-GaN 栅 AlGa_N/Ga_N HEMT 器件的单一肖特基接触不同, 混合栅极由欧姆接触和肖特基接触组成, 该结构优点在于栅极静电放电引入的能量可通过栅极欧姆接触区域放电路径轻松释放。

5 结论

本文研究了 HBM 模型下正向栅漏和漏源 ESD 事件对 p-GaN 栅 AlGa_N/Ga_N HEMT 器件电学特性和陷阱演化的影响。研究发现, 单次正向栅漏 ESD 应力下, 器件失效阈值为 7400V, 敏感参数为饱和漏极电流。随电压增大, 器件饱和漏极电流首先发生退化。当电压增至 7500V, 除饱和漏极电流外, 器件阈值电压、跨导峰值、栅极漏电也发生退化。单次正向 7500V 栅漏 ESD 应力后, 饱和漏极电流降低 17.32%, 阈值电压正漂 0.13V, 跨导峰值降低 10.23%, 栅极漏电增大约 1 个数量级 ($V_{GS}=6\text{ V}$ 下)。低频噪声和变频电导测试结果表明, 正向栅漏 ESD 应力首先损伤器件沟道附近。电压越大, 器件沟道附近陷阱密度越高, 该现象与饱和漏极电流的退化规律吻合。当电压增至 7500V, 正向栅漏 ESD 事件才在器件 p-GaN/AlGa_N 界面引入陷阱, 该现象与阈值电压和栅极漏电的退化规律吻合。分析认为, 正向栅漏 ESD 应力在器件沟道区域附近引入的陷阱主导了饱和漏极电流的退化, 在 p-GaN/AlGa_N 界面引入的陷阱主导了器件阈值电压的正漂和栅极漏电的增大。进一步正向漏源 ESD 应力实验结果表明, 即使设备输出最大电压

8000V，器件电学和陷阱特性也无明显变化。随应力次数增加，仅饱和漏极电流逐渐退化。50 次 8000V 正向漏源 ESD 应力后，饱和漏极电流降低 7.96%。低频噪声和变频电导测试结果表明，随应力次数增加，静电放电在器件沟道区域附近逐步引入陷阱，但 p-GaN/AlGaIn 界面陷阱密度无明显变化，该现象与器件电学特性参数退化规律吻合。分析认为，饱和漏极电流的降低与沟道陷阱密度的增加有关。相关研究结果在 p-GaN 栅 AlGaIn/GaN HEMT 器件的可靠性设计方面具有重大意义。

参考文献

- [1] [Okumura H 2006 *Jpn. J. Appl. Phys.* **45** 7565](#)
- [2] [Meneghini M, Santi C D, Abid I, Buffolo M, Cioni M, Khadar R A, Nela L, Zagni N, Chini A, Medjdoub F, Meneghesso G, Verzellesi G, Zanoni E, Matioli E 2021 *J. Appl. Phys.* **130** 181101](#)
- [3] [Liu S H, Wu Z C 2004 *Electrostatic Discharge and Hazard Mitigation* \(First edition\) \(Beijing: Beijing University of Posts and Telecommunications Press\) pp62—66 \(in Chinese\) \[刘尚合, 武占成 2004 静电放电及危害防护\(第 1 版\) \(北京: 北京邮电大学出版社\) 第 62—66 页\]](#)
- [4] [JEDEC Solid State Technology Association 2024 *Electrostatic Discharge Sensitivity Testing Human Body Model \(HBM\) Device Level \(JS-001-2024\)* \(Italy: EOS/ESD Association, Inc.\) p2](#)
- [5] [Abhinay S, Wu W M, Shih C A, Chen S H, Sibaja-Hernandez A, Parvais B, Peralagu U, Alian A, Wu T L, Ker M D, Groeseneken G, Collaert N 2022 *IEEE International Electron Devices Meeting \(IEDM\)* San Francisco, CA, USA, December 3—7, 2022 p719](#)

- [6] [Wu W M, Chen S H, Putcha V, Peralagu U, Sibaja-Hernandez A, Yadav S, Parvais B, Alian A, Collaert N, Ker M D, Groeseneken G 2021 43rd Annual EOS/ESD Symposium Tucson, AZ, September 26—October 01, 2021 p1](#)
- [7] [Ye R, Bian J J, Liu S, Wei J X, Li S, Zhang L, Sun W F, 2024, IEEE Trans. Electron Devices 71 4535](#)
- [8] [Chen S H, Griffoni A, Srivastava P, Linten D, Thijs S, Scholz M, Denis M, Gallerano A, Lafontese D, Concannon A, Vashchenko V A, Hopper P, Bychikhin S, Pogany D, Hove M V, Decoutere S, Groeseneken G 2012 IEEE Trans. Device Mater. Rel. 12 589](#)
- [9] [Wang M, He Z Y, Ren Y, Hao L C, Wu Z H, Li B 2021 in Proc. 22nd Int. Conf. Electron. Packag. Technol. Xiamen, China, September 14–17, 2021 p1](#)
- [10] [Xin Y J, Chen W J, Sun R Z, Shi Y J, Liu C, Xia Y, Wang F Z, Xu X R, Shi Q, Wang Y, Deng X C, Zhou Q, Li Z J, Zhang B 2020 in Proc. 32nd Int. Symp. Power Semiconductor Devices ICs Vienna, Austria, September 13–18, 2020 p317](#)
- [11] [Xu X B, Li B, Chen Y Q, Wu Z H, He Z Y, Liu L, He S Z, En Y F, Huang Y, 2021 IEEE J. Electron Devices Soc. 9 89](#)
- [12] [Shi Y J, He Z Y, Huang Y, Cai Z Q, Chen Y Q, Cheng L Y, Chen W J, Sun R Z, Liu C, Lu G G, Zhang B 2023 IEEE Trans. Electron Devices 70 2229](#)
- [13] [Ma Y F, Li S, Ye R, Wang D G, Lu W H, Li M F, Wang L X, Zhang C, Sun J, Wei J X, Zhang L, Liu S Y, Yang L L, Sun W F 2024 IEEE Electron Device Lett. 45 1922](#)
- [14] [Ma Y F, Li S, Li M F, Lu W H, Wang L X, Ma J, Ye R, Wei J X, Zhang L,](#)

- Zhang C, Liu S Y, Sun W F 2025 *IEEE Trans. Power Electron.* **40** 2721
- [15] Sun J H, Zheng Z Y, Zhang L, Chen K J 2024 *IEEE Trans. Ind. Electron.* **71** 3113
- [16] Wu W M, Chen S H, Sibaja-Hernandez A, Yadav S, Peralagu U, Yu H, Alian A, Putcha V, Parvais B, Groeseneken G, Ker M D, Collaert N 2021 *IEEE International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 11—16, 2021 p849
- [17] Chen Y Q, Zhang Y C, Liu Y, Liao X Y, En Y F, Fang W X, Huang Y 2018 *IEEE Trans. Electron Devices* **65** 1321
- [18] Chen Q, Chen Y Q, Liu C, Geng K W, He Y J, Gao R, Huang Y, Yang X D 2021 *IEEE Trans. Electron Devices* **68** 66
- [19] Lv L, Xing M H, Xue B R, Cao Y R, Hu P P, Zheng X F, Ma X H, Hao Y 2024 *Acta Phys. Sin.* **73** 036103 (in Chinese) [吕玲, 邢木涵, 薛博瑞, 曹艳荣, 胡培培, 郑雪峰, 马晓华, 郝跃 2024 物理学报 **73** 036103]
- [20] Liao X Y, Zhang K, Zeng C, Zheng X F, En Y F, Lai P, Hao Y 2014 *Chin. Phys. B* **23** 057301
- [21] Kim K S 2017 *Jpn. J. Appl. Phys.* **56** 091002
- [22] Wang P, Jiang Y Z, Gu Y T, Huang M L, Huang W, Chen S Y, Xiao Z Q, Zou X B, Qiu Y W, Zhou X J, Zhou J J, Zhang D W 2022 *Appl. Phys. Lett.* **121** 143501
- [23] Sun J H, Zheng Z Y, Shu J, Chen K J 2024 *IEEE Electron Device Lett.* **45** 1265
- [24] Sun J H, Shu J, Zheng Z Y, Chen K J 2024 *Proc. 36st Int. Symp. Power Semicond. Devices ICs* Bremen Germany, June 2—6, 2024 p271
- [25] Wu H, Fu X J, Guo J W, Wang Y, Liu T, Hu S D 2022 *IEEE Trans. Electron*

- [26] Tallarico A N, Stoffels S, Posthuma N, Magnone P, Marcon D, Decoutere S, Sangiorgi E, Fiegna C 2018 *IEEE Trans. Electron Devices* **65** 38
- [27] He J B, Tang G F, Chen K J 2018 *IEEE Electron Device Lett.* **39** 1576
- [28] Chen Y Q, Feng J T, Wang J L, Xu X B, He Z Y, Li G Y, Lei D Y, Chen Y, Huang Y 2020 *IEEE Trans. Electron Devices* **67** 566
- [29] Modolo N, Tang S W, Jiang H J, Santi C D, Meneghini M, Wu T L 2021 *IEEE Trans. Electron Devices* **68** 1489
- [30] Yu T H, Tsao Y F, Chen Y L, Hsu C T, Hsu H T 2025 *Jpn. J. Appl. Phys.* **64** 071003
- [31] Zhang M 2019 *Ph.D. Dissertation* (Xi'an: Xidian University) (in Chinese) [张濛 2019 博士学位论文 (西安: 西安电子科技大学)]
- [32] Bi Z W, Hao Y, Feng Q, Gao Z Y, Zhang J C, Mao W, Zhang K, Ma X H, Liu H X, Yang L A, Mei N, Chang Y M 2012 *Chin. Phys. Lett.* **29** 028501
- [33] Bhat Z, Ahsan S A 2024 *IEEE Electron Device Lett.* **71** 6544
- [34] Tapajna M, Hilt O, Bahat-Treidel E, Wurfl J, Kuzm J 2015 *Appl. Phys. Lett.* **107** 193506
- [35] Stoffels S, Bakeroort B, Wu T L, Marcon D, Posthuma N E, Decoutere S 2017 *IEEE International Reliability Physics Symposium (IRPS)* Monterey CA USA, April 2—6, 2017 p4B-4.1
- [36] Mehtaa A B, Shichijob S, Johc J W, Suhc C S, Kima M J 2023 *ECS Trans.* **112** 9
- [37] Zhang D K, Hu Q, Guo Y L, Zhai Y, Liu X S, Wang Z X, Yu G H, Yan D W

- 2026 *Acta Phys. Sin.* **75** 050705 (in Chinese) [张东楷, 胡晴, 郭玉龙, 翟颖, 刘栩珊, 王梓旭, 于国浩, 闫大为 2026 物理学报 **75** 050705]
- [38] Huang P Y, Chen X H, Wang H R, Hsu S S H, Wong R K Y 2024 *Proc. 36st Int. Symp. Power Semicond. Devices ICs* Bremen Germany, June 02—06, 2024 p538
- [39] Amir W, Shin J W, Shin K Y, Chakraborty S, Cho C Y, Kim J M, Lee S T, Hoshi T, Tsutsumi T, Sugiyama H, Matsuzaki H, Kim D H, Kim T W 2023 *IEEE Trans. Electron Devices* **70** 2988
- [40] Chen H C, Liu A C, Lin C H, Chou S Y, Chang T C, Kao T S, Kuo H C 2026 *ACS Omega* **11** 25119
- [41] Zhu Y, Zhang Y, Qu H, Gao H, Du H, Guo H, Zou X 2024 *Microelectron. J.* **148** 106191
- [42] Ma Y F, Li S, Ye R, Wang D G, Lu W H, Li M F, Wang L X, Zhang C, Sun J, Wei J X, Zhang L, Liu S Y, Yang L L, Sun W F 2024 *IEEE Electron Device Lett.* **45** 1922

Effect of electrostatic discharge on the electrical characteristics and trap evolution of p-GaN gate AlGaN/GaN high electron mobility transistors

Zhu Tian^{1)†} Wang Tan¹⁾ Feng Hui¹⁾ Zhang Yuxuan¹⁾ Zheng Xuefeng²⁾

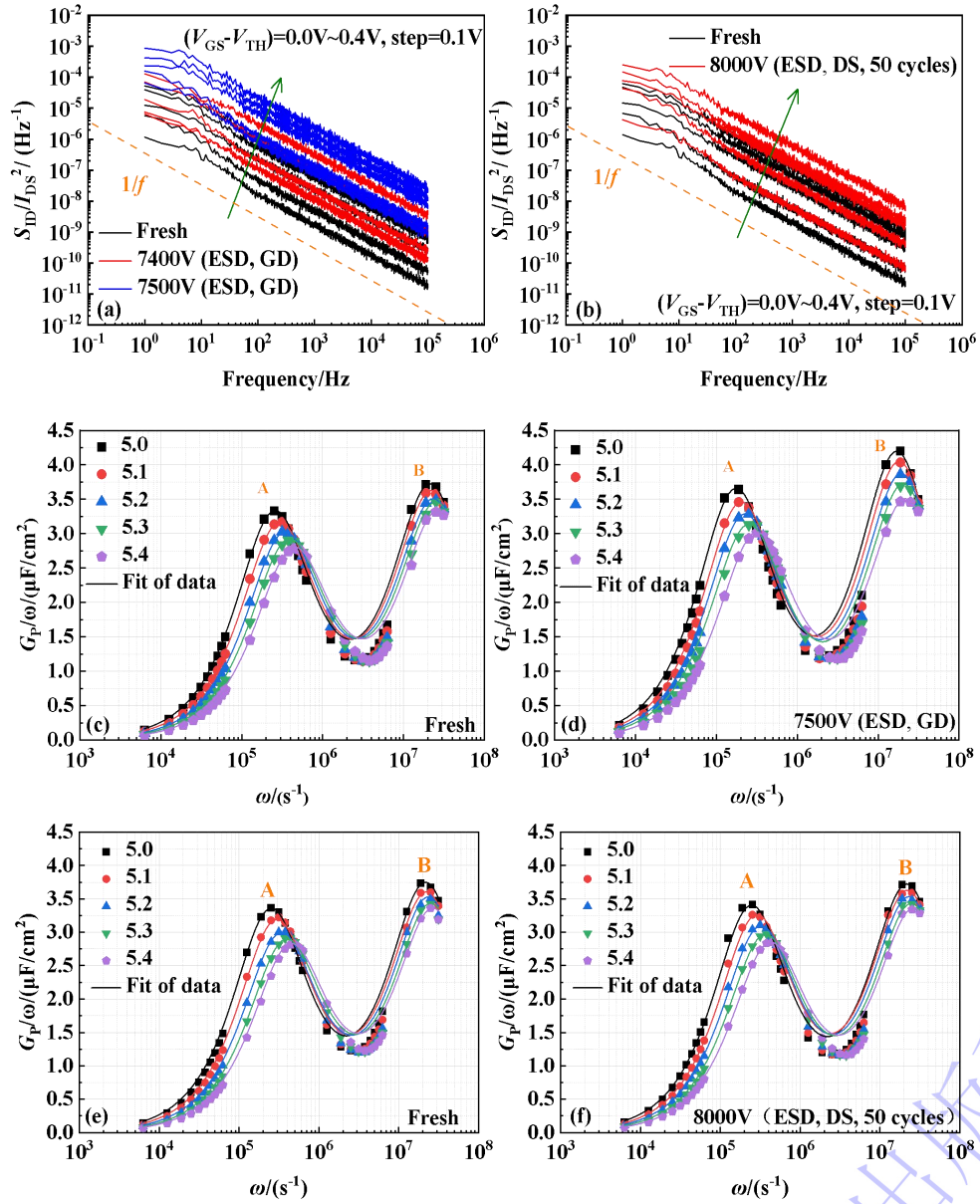
1) (Xi'an Branch Center, China Aerospace Science and Industry Defense Technology Research and Test Center, Beijing 100039, China)

2) (National Engineering Research Center of Wide Bandgap Semiconductor, School of Microelectronics, Xidian University, Xi'an 710071, China)

Abstract

In fact, electrostatic discharge (ESD) events tend to accompany the entire lifetime of semiconductor devices. Compared with conventional depletion-mode devices, the complex gate structure of enhancement-mode p-GaN gate AlGaN/GaN high-electron-mobility transistors (HEMTs) may make them more sensitive to ESD events. In this work, the effects of forward gate-drain and drain-source ESD stress under the human body model (HBM) on the electrical characteristics and trap evolution of p-GaN gate AlGaN/GaN HEMTs are investigated. Meanwhile, combining the low-frequency noise and frequency-dependent conductance techniques, the intrinsic relationship between changes in electrical parameters and the evolution of trap parameters was carefully discussed. It is found that under forward gate-drain and drain-source ESD stresses, the ESD failure thresholds of the p-GaN gate AlGaN/GaN HEMTs are 7400 V and >8000 V (The maximum output voltage of the ESD simulator is 8000V), respectively. Compared with other electrical parameters, the saturation drain current degrades first under both ESD stress conditions. When the forward gate-drain ESD stress voltage increased to 7500V, besides the saturation drain current, the degradation in threshold voltage, peak transconductance, and gate leakage current are also observed. After the 7500 V forward gate-drain ESD stress, the saturation drain

current decreases by 17.32%, the threshold voltage shifts positively by 0.13V, the peak transconductance decreases by 10.23%, and the gate leakage current increases by approximately one order of magnitude (at $V_{GS} = 6V$). The positive drain-source ESD stress experiment results show that even when the stress voltage reaches the maximum output voltage of the ESD simulator (8000V), there are no significant changes in the electrical and trap characteristics of the p-GaN gate AlGaIn/GaN HEMTs. With the increase in the number of stress cycles, only the degradation in saturation drain current is gradually observed. After 50 times 8000V positive drain-source ESD stress, the saturation drain current decreases by 7.96%. The measurement results of the low-frequency noise and frequency-dependent conductance techniques indicate that both types of ESD stresses first damage the region near the channel. The greater the ESD stress voltage, the higher the trap density generated near the device channel, which is consistent with the degradation trend of the saturation drain current. As the voltage increases to 7500 V, forward gate-drain ESD stress will further induce traps at the p-GaN/AlGaIn interface, which is consistent with the degradation of the threshold voltage and gate leakage current. It is believed that the traps generated near the channel by the two types of ESD stresses dominate the degradation of the saturation drain current. The increase in p-GaN/AlGaIn interface traps after 7500 V forward gate-drain ESD stress dominates the positive shift of the threshold voltage and the increase in gate leakage current. Based on the experimental results, this paper also presents three suggestions for improving the ESD tolerance of p-GaN gate AlGaIn/GaN HEMTs. This work can provide support for the ESD robust design and failure analysis of the p-GaN gate AlGaIn/GaN HEMTs.



Keywords: gallium nitride, electrostatic discharge, low-frequency noise, frequency-dependent conductance

† Corresponding author.zhutian_xd@163.com
The first author.zhutian_xd@163.com