

专题: 兰州大学物理学科 80 周年

混合封装磁隔离 $\Sigma\Delta$ 模数转换系统的噪声耦合与精度退化机制*马文哲¹⁾ 车红瑞¹⁾²⁾ 沈航箫¹⁾ 潘高远¹⁾ 洪雨欣¹⁾ 崔晨²⁾ 张旭²⁾
蒋波²⁾ 杜超²⁾ 谢烜浩²⁾ 李大刚^{2)†} 李颖弢^{1)‡}

1) (兰州大学, 物理科学与技术学院, 兰州 730000)

2) (成都华微电子科技股份有限公司, 成都 610041)

(2026 年 5 月 4 日收到; 2026 年 6 月 8 日收到修改稿)

跨越高共模电位差的微弱信号采集要求隔离结构同时具备高耐压能力和低噪声耦合特性. 本文针对有效位约 18 位的 $\Sigma\Delta$ 模数转换器 (ADC) 经磁隔离链路引起的精度退化问题, 构建了基于硅基片上微型变压器的磁耦合隔离系统, 并采用六裸芯混合封装将模数转换器、信号隔离器和隔离电源集成于毫米级腔体中. 通过同批次样品在无隔离基准和完整磁隔离配置下的对照实验, 结合隔离电源纹波测量、漏磁场估算和封装稳态热仿真, 对主要噪声耦合路径进行了分析研究. 结果表明, 完整磁隔离配置下信噪比 (SNR) 退化 9.5 dB, 200—1200 Hz 频段内带内噪声底平均抬升 11.4 dB, 且未出现新的强离散杂散. 进一步分析表明, 14 mV 峰值、600 kHz 重复频率的整流纹波可经层间寄生电容和封装寄生网络形成共模扰动, 并通过非理想差分采样和混叠过程转化为带内宽带噪声, 成为限制系统精度的主要因素. 该研究结果为高精度磁隔离测量系统的封装布局和噪声抑制提供了实验依据.

关键词: 磁耦合隔离, Sigma-Delta 模数转换器, 混合封装, 噪声耦合

DOI: 10.7498/aps.75.20260639

CSTR: 32037.14.aps.75.20260639

1 引言

跨越高共模电位差的微弱信号采集广泛存在于电力电子变换器、电机驱动、高压传感、科学仪器和工业测控系统中^[1,2]. 在这类场景下, 数千伏级电位差和高 $\frac{dV}{dt}$ 共模瞬态使隔离屏障寄生电容产生的位移电流和空间电磁耦合进入信号链^[3]. 对于有效位约 18 位的 $\Sigma\Delta$ ADC, 满量程输入对应微伏级等效分辨电压^[4,5], 隔离结构不再只是安全边界, 而会直接影响系统可达的信噪比、有效位数和长期稳定性.

常用电隔离方案包括光耦、电容耦合和磁耦合. 光耦受发光器件响应速度与长期老化限制, 难以满足高精度场景^[6]; 电容耦合易于 CMOS 集成, 但隔离电容本身即为共模瞬态的耦合通路, 高 $\frac{dV}{dt}$ 下位移电流会经寄生电容进入接收端^[7]. 磁耦合隔离基于 Faraday 电磁感应, 利用片上或封装级微型变压器实现信号与能量跨隔离传输, 在传输速率、可靠性与系统集成方面具备综合优势; 近年来已在数字隔离器、隔离栅极驱动和隔离 DC-DC 变换器中广泛应用^[8,9].

商用隔离 $\Sigma\Delta$ 调制器已能将精密模数转换与隔离通道集成, 例如 AD7403 通过磁隔离通道输出

* 国家重大科研仪器研制项目 (批准号: 62227807)、甘肃省重点研发计划项目 (批准号: 25YFGA005) 资助的课题.

† 通信作者. E-mail: dagang@csmsc.com

‡ 通信作者. E-mail: ytli@lzu.edu.cn

高速数据流, 实现 SNR 约 88 dB 的隔离转换性能^[10]; Tan 等报道的全隔离 $\Sigma\Delta$ ADC 则在芯片级集成了片上变压器、隔离电源和 $\Sigma\Delta$ ADC, 为高压分流电流检测提供了完整隔离架构^[11]. 相关研究方面, 已有工作主要围绕片上或 MEMS 微型变压器的耐压、传输效率、共模瞬态抗扰度和集成密度展开^[12-14].

然而, 对于 18 位以上有效分辨率的隔离 $\Sigma\Delta$ ADC 系统, 隔离通道对测量精度的影响仍缺少系统性研究. 已有文献和产品资料多给出整体指标, 对隔离通道引入的精度退化量、各物理耦合路径的贡献比例以及主导退化机制的定位仍不充分. 特别在混合封装结构中, 高精度 ADC、数字隔离器、隔离电源被压缩在毫米级腔体内, 屏障寄生电容、变压器漏磁场、封装耦合以及隔离电源整流环节产生的高频纹波, 均可能在高精度模拟前端形成附加噪声路径.

针对上述问题, 本文以一颗有效分辨率约 18 位的高精度 $\Sigma\Delta$ ADC 为核心, 设计了基于硅基 MEMS 片上微型变压器的磁耦合隔离测量系统, 并采用多裸芯混合封装集成于陶瓷腔体中. 本文通过同批次芯片在“无隔离基准”和“完整磁隔离配置”下的对照实验, 结合隔离电源纹波测量、漏磁场量级估算和封装热仿真, 定位影响 SNR 的主要噪声耦合路径, 并建立隔离结构参数与精度退化之间的物理联系.

2 系统设计与制备

2.1 系统总体架构

为兼顾高精度模数转换、高耐压隔离与混合封装集成度, 本文采用六裸芯共腔封装结构. 类似多

芯片异构集成和系统级封装技术已在高频与高密度电子系统中广泛发展^[15]. 系统功能架构如图 1 所示, 封装管壳为陶瓷材料, 腔体内部尺寸约为 $10.5\text{ mm} \times 8.5\text{ mm}$. 系统由三类功能单元组成: 以 U6 为核心的 $\Sigma\Delta$ ADC 模拟测量单元, 由 U4/U5 构成的数字信号隔离单元, 以及由 C1/C2/C3 构成的隔离电源单元.

系统包含两条跨隔离路径: 数字信号隔离路径和电源隔离路径. 前者将 ADC 输入输出的数字信号经两个编解码电路、片上信号变压器在隔离侧与系统侧之间传输; 后者由外部 3.3 V 输入经 C1 振荡、C2 片上电源变压器磁耦合和 C3 整流滤波后形成隔离侧 3.3 V 为 ADC 数字域供电, 模拟域 5 V 电源直接由外部低噪声电源供给. 因此, C3 整流输出端被引出作为隔离电源纹波的主要观测节点, 用于后续建立电源纹波与 ADC 输出噪声之间的关联.

2.2 片上微型变压器结构与电参数

两类片上微型变压器均采用硅基 MEMS 工艺制作的 Cu 再分布层 (RDL) 双层结构: 信号变压器为保证耦合强度与波形完整性, 采用 1:1 对称双层, 电源变压器为配合整流滤波形成隔离侧供电, 采用带中间抽头的双层. 变压器物理结构与电学参数列于表 1, 由器件版图经三维电磁场仿真软件 (HFSS) 三维电磁场仿真提取 S 参数, 拟合至集总等效电路得到^[16].

关键参数取值依据如下: $20\text{ }\mu\text{m}$ 聚酰亚胺 (PI) 隔离层在耐压能力与寄生电容之间取折中. PI 击穿场强可达数百 $\text{V}/\mu\text{m}$ 量级^[17], 对应材料级理论击穿电压约 6 kV, 满足系统耐压要求并留有余量. Cu 再分布层厚度为 $6\text{ }\mu\text{m}$, 与 100 MHz 下铜趋肤

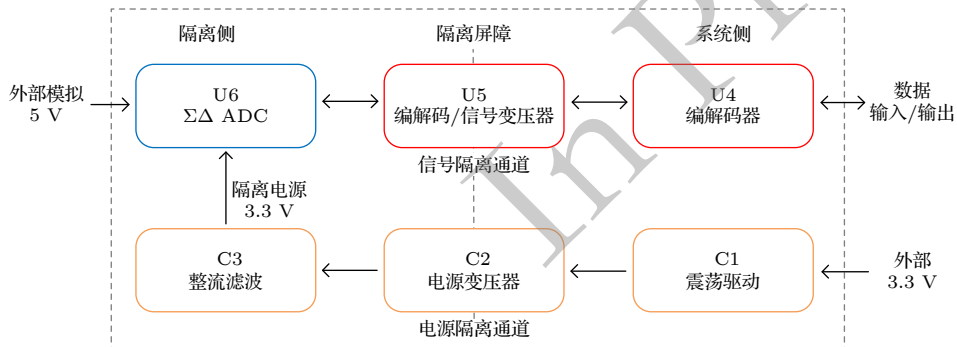


图 1 隔离 $\Sigma\Delta$ ADC 系统结构示意图

Fig. 1. Schematic diagram of the isolated $\Sigma\Delta$ ADC system.

表 1 两类片上微型变压器的物理结构与电学参数
Table 1. Physical structure and electrical parameters of the two on-chip micro-transformers.

参数	信号变压器	电源变压器
工艺	硅基MEMS, Cu RDL	硅基MEMS, Cu RDL
结构	Cu/Cu对称双层	Cu/Cu带中间抽头双层
匝数	5/5, 匝数比1:1	抽头结构, 有效匝数比1:2
Cu 层厚度	6 μm	6 μm
隔离介质	20 μm PI, $\varepsilon_r \approx 3.4$	20 μm PI, $\varepsilon_r \approx 3.4$
耦合系数 k	约0.85	约0.7
层间寄生电容 C_p	约0.95 pF	约0.4 pF
串联电阻 R_s	约 2 Ω @ 100 MHz	约 1 Ω @ f_{osc}

深度约 6.5 μm 相当, 可在降低高频导体损耗的同时兼顾工艺应力和图形精度. 信号变压器对称双层结构得到 $k \approx 0.85$, $C_p \approx 0.95$ pF, 两类变压器中, 信号变压器工作信号为 1 bit 数字脉冲, 频谱远高于带内; 电源变压器工作在高 dV/dt 状态其 C_p 是高频纹波跨隔离耦合的主要通道, 也是后续噪声路径分析的关键输入参数.

2.3 芯片工艺与封装

ADC 主芯片 U6 采用 0.25 μm CMOS 工艺, 数字隔离与电源相关芯片采用 0.18 μm CMOS. 六颗裸芯封装于同一陶瓷管壳腔体, 经键合互连后由绝缘胶灌封. 封装后样品通过 5000 V_{rms} 隔离耐压测试, 共模瞬态抗扰度 (CMTI) 达 75 kV/ μs .

六颗裸芯空间布局如图 2 所示. 毫米量级共腔

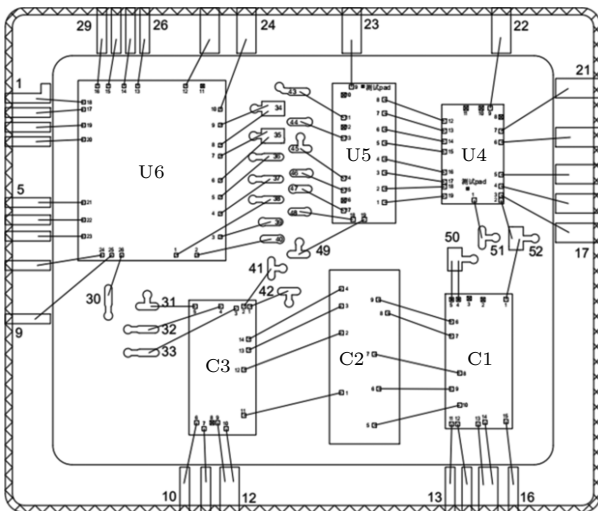


图 2 六裸芯混合封装内部布局示意图

Fig. 2. Internal layout of the six-die hybrid package.

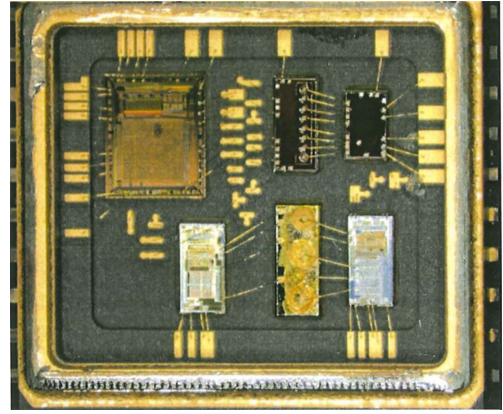


图 3 六裸芯混合封装样品实物图

Fig. 3. Photograph of the six-die hybrid packaged sample.

封装使隔离电源、数字隔离器与 ADC 共处于同一空间内, 屏障寄生电容、变压器漏磁场、封装耦合等多物理路径成为后续精度退化分析的研究对象.

3 多物理耦合分析

3.1 耦合机制分类

本文将影响 ADC 精度的耦合机制分为五类: (1) 片上变压器漏磁场感应耦合; (2) Cu 线圈 Johnson-Nyquist 热噪声; (3) 片上变压器层间寄生电容耦合; (4) 封装腔体热环境; (5) 隔离电源整流纹波. 机制 (1)–(4) 可由器件几何、材料参数和稳态仿真先验估算; 机制 (5) 需结合实测波形与频谱进行分析. 本节给出前四类机制的量级估计.

3.2 片上微型变压器的电磁耦合

3.2.1 漏磁场感应耦合

电源变压器 C2 承担跨隔离能量传输, 相比仅用于数字信号传输的信号变压器, 更可能成为需要关注的漏磁场来源^[8]. 对处于近场区且距离大于线圈特征尺寸的观测点, 漏磁场可用磁偶极近似 $B \propto r^{-3}$ 估算. 封装设计上 C2 与 ADC 模拟前端距离 $r \approx 4$ mm, 取 C2 线圈外缘半径约 $r_0 \approx 0.49$ mm 作为磁耦近似的参考距离, 则 ADC 处磁场强度衰减约 $\left(\frac{r_0}{r}\right)^3 \approx \frac{1}{544}$, 在毫米级封装距离上空间衰减明显. 高频磁场对 ADC 的影响还取决于回路有效面积, 感应电压量级 $V_{\text{ind}} \sim N A_{\text{loop}} \cdot 2\pi f B$ ^[3,18]. 若漏磁场直接感应至 ADC 前端, 输出频谱应出现与磁场频率对应的离散谱线.

3.2.2 Cu 线圈导体热噪声

变压器 Cu 线圈串联电阻 R_s 产生 Johnson-Nyquist 热噪声 [19,20], 功率谱密度为

$$S_v = 4k_B T R_s \quad (1)$$

式中 $k_B = 1.381 \times 10^{-23}$ J/K 为玻尔兹曼常数, 取 $R_s = 2 \Omega$, $T = 300$ K, 得 $S_v = 3.31 \times 10^{-20}$ V²/Hz, 对应 0.1182 nV/ $\sqrt{\text{Hz}}$. 在 1.6 kHz 带宽内积分约为 7.3 nV_{rms}, 低于 ADC 输入端微伏量级噪声 2—3 个数量级, 可作为背景噪声排除.

3.2.3 层间寄生电容的容性耦合

层间寄生电容为高频电压提供跨隔离位移电流通道:

$$C_p = \frac{\varepsilon_0 \varepsilon_r A_{\text{overlap}}}{t} \quad (2)$$

式中 $\varepsilon_0 = 8.854 \times 10^{-12}$ F/m 为真空介电常数, ε_r 为隔离介质的相对介电常数, A_{overlap} 为变压器上下层金属的层间重叠面积, t 为隔离介质厚度. 得信号变压器 $C_p \approx 0.95$ pF, 电源变压器 $C_p \approx 0.4$ pF. 隔离电源通道在变压器两侧形成高频电压摆幅, 取 $dV/dt \sim 10^9$ V/s, 对应位移电流为

$$i_d = C_p \frac{dV}{dt} \sim 0.4 \times 10^{-12} \times 10^9 \approx 0.4 \text{ mA} \quad (3)$$

该电流不是 ADC 输入电流, 而是注入隔离侧寄生网络的高频共模激励上界, 其是否转化为 ADC 输出噪声, 取决于隔离侧返回路径阻抗、键合线共阻抗、电源去耦网络以及采样混叠过程 [4,18,21]. 因此, 层间寄生电容为隔离电源纹波进入隔离侧网络提供了前级通道.

3.3 封装腔体内的热环境

多裸芯共腔封装中功耗分布会引起腔体温度场不均匀. 由于封装热时间常数远大于 ADC 单次采样周期, 热环境主要表现为准静态漂移边界. 采用 Ansys 对封装进行稳态热仿真 (环境温度 25 °C), 结果如图 4 所示.

ADC 主芯片 U6 区域温升较小, 片内温差最大约 0.25 °C, 主要对应低频漂移边界, 所以不能支撑其为 ADC 带宽内 SNR 退化的主导机制.

3.4 本节小结

本节定量分析表明, Cu 线圈热噪声仅为 nV

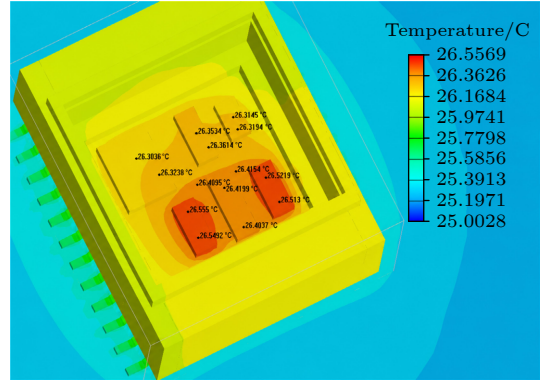


图 4 封装腔体内稳态温度分布

Fig. 4. Steady-state temperature distribution inside the package cavity.

量级, 可排除为主导来源; 漏磁场在毫米级距离上明显衰减, 其影响取决于实际回路面积并需结合频谱特征判断; 封装热场主要影响低频漂移, 不足以单独解释宽带 SNR 退化. 相比之下, 层间寄生电容在高 dV/dt 下可产生约 0.4 mA 的跨隔离位移电流, 为隔离电源纹波进入隔离侧寄生网络提供通道, 是后续实验重点关注的对象.

4 对照实验

4.1 对照实验设计

本文设计两种配置下的对照实验以定量评估磁隔离系统对 ADC 精度的影响. 配置 A (无隔离基准): ADC 芯片独立封装, 模拟 5 V 与数字 3.3 V 均由外部电源直接供给, 数字输出不经隔离直接读取. 配置 B (完整磁隔离配置): ADC、编解码电路、信号变压器与隔离电源模块共封装于陶瓷腔体内; 模拟 5 V 仍外部直接供给, 数字 3.3 V 由封装内隔离电源模块提供. 两种配置的模拟输入信号和模拟域 5 V 供电完全一致, 因此, 配置 B 相对于配置 A 的性能变化可表征完整磁隔离配置引入的系统级附加噪声.

为保证对照严谨性, 两组样品的 ADC 芯片来自同一批次晶圆流片, 以降低工艺离散性对结果的影响. 测试链路、信号源、数据采集系统和后处理流程保持一致, 保证外部测试环境影响一致.

4.2 样品与测试条件

两种配置各测试 5 颗样品, 25 ± 1 °C 室温. ADC 模拟输入施加低失真正弦信号, 频率 31.25 Hz,

幅度 -0.53 dBFS. ADC 输出数据率 4 千次采样每秒 (kSPS), 快速傅里叶变换 (FFT) 长度 8192 个点. 为保证相干采样, 本文取输入频率、采样率与 FFT 点数满足

$$\frac{31.25 \times 8192}{4000} = 64 \quad (4)$$

即 FFT 窗口内输入信号完成 64 个完整周期, 信号能量精确落于单一频点, 避免频谱泄漏对带内噪声功率与 SNR 测量的污染. 信号源的总谐波失真 (THD) 优于 -120 dB, 低于被测 ADC 本征. ADC 调制器时钟 1.024 MHz, 数字滤波器 -3 dB 带宽约 1.6 kHz. 按行业标准 [22] 计算 SNR、信噪失真比 (SINAD)、THD、无杂散动态范围 (SFDR) 与谐波分量 (HD2、HD3), 其中 ENOB 由

$$\text{ENOB} = \frac{\text{SINAD} - 1.76}{6.02} \quad (5)$$

计算得到. 对 5 颗同批次样品的 SNR 数据进行双样本 t 检验, 得到 t 统计量约 26. 对应 $p < 0.001$, 表明配置 A 与配置 B 之间的 SNR 差异在统计意义上高度显著, 不能由批次内工艺分散或封装一致性带来的随机波动解释.

4.3 动态性能指标

两种配置下 ADC 动态性能列于表 2.

表 2 两种配置下 ADC 动态性能对比
Table 2. Comparison of ADC dynamic performance between the two configurations. The values are the mean of five dies from the same wafer lot.

参数	配置A(无隔离)	配置B(磁隔离)	变化量(B-A)
SNR/dB	114.6 ± 0.4	105.1 ± 0.7	-9.5
SINAD / dB	107.1 ± 0.3	104.2 ± 0.6	-2.9
ENOB / bit	17.5 ± 0.05	17.0 ± 0.1	-0.5
THD/dBc	-107.9 ± 1.2	-111.6 ± 1.5	-3.7
SFDR/dBc	108.4 ± 1.5	116.8 ± 1.8	$+8.4$
HD2/dBc	-126.7 ± 2.0	-116.8 ± 1.6	$+9.9$
HD3/dBc	-108.9 ± 1.4	-117.4 ± 1.7	-8.5

由表 2 可见, 配置 B 相对于配置 A 的 SNR 下降 9.5 dB, ENOB 下降 0.5 bit; THD 和 SFDR 未随 SNR 同步恶化, HD2 与 HD3 呈现不同方向的变化. 该非对称变化说明, 磁隔离配置引入的影响并不是简单的整体谐波失真增强. 两种配置的 ADC 输出频谱对比如图 5 所示, 配置 B 的带内噪声底相对于配置 A 在 200—1200 Hz 频段平均抬

升约 11.4 dB, 与 9.5 dB 的全频宽 SNR 退化在量级上相符. 配置 B 未引入新的强离散杂散, 噪声抬升呈连续宽带特征. 上述现象的功率分解和机制解释将在第 5 节展开.

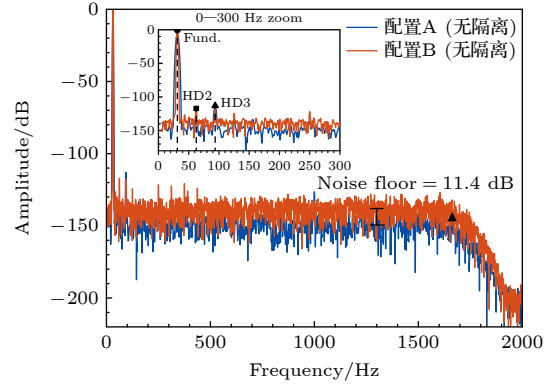


图 5 配置 A 和配置 B 的 ADC 输出频谱对比
Fig. 5. Comparison of ADC output spectra between Configuration A and Configuration B.

4.4 隔离电源纹波辅助测量

为辅助判断隔离电源路径独立影响, 对 C_3 整流输出端纹波进行时域测量. 实测如图 6 所示, 纹波 $V_{pp} \approx 14$ mV, 时域呈“脉冲簇-平静段”周期性结构, 重复周期 1.66 μ s, 频率约 600 kHz. 该频率并非 ADC 调制器主时钟 1.024 MHz 的简单整数分频, 且图 5 中未出现由该频率混叠形成的强离散杂散, 因此不支持“电源纹波被时钟直接同步采样并形成单一谱线”的简化解. 结合配置 B 的连续噪声底抬升特征, 隔离电源纹波更可能经电源/地阻抗、寄生电容和采样混叠路径转化为带内宽带噪声.

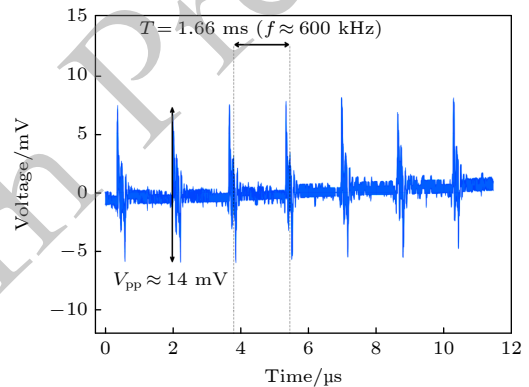


图 6 C_3 整流输出端隔离电源纹波的实测波形
Fig. 6. Measured ripple waveform at the C_3 rectifier output.

5 实验结果与物理分析

5.1 噪声功率分解

由定义 $\text{SNR} = 10 \lg \left(\frac{P_s}{P_n} \right)$, 配置 B 与配置 A 的噪声功率比为

$$\frac{P_{n,B}}{P_{n,A}} = 10^{\frac{\text{SNR}_A - \text{SNR}_B}{10}} = 10^{0.95} \approx 8.9 \quad (6)$$

即磁隔离配置下 ADC 带内噪声功率约增至无隔离基准的 8.9 倍。

SINAD 退化幅度 (2.9 dB) 小于 SNR (9.5 dB), 反映性能瓶颈从失真转向噪声. 若以 THD 表征总谐波失真功率 P_d 相对于信号功率 P_s 的比值, 则有

$$\frac{P_d}{P_n} = 10^{\frac{\text{SNR} + \text{THD}}{10}} \quad (7)$$

配置 A 中该比值约为 4.7, 配置 B 中约为 0.22, 说明配置 A 中 SINAD 受谐波失真限制, 配置 B 中噪声成为主要限制因素. 谐波分量未同步恶化, 说明主导退化形式不是确定性非线性失真增强; HD2 劣化 9.9 dB 与 SNR 退化量级接近, 与后续共模-差模二次转换模型一致. 图 5 中 11.4 dB 频谱底抬升与 9.5 dB SNR 退化量级相符, 且无新增离散杂散, 主导退化形式为连续宽带噪声注入。

综上, 主导机制需同时满足: (i) 引入约 8.9 倍带内噪声功率; (ii) 解释 HD2 与 SNR 退化的量级相近变化; (iii) 不产生新增离散杂散。

5.2 电源通道高频能量的耦合机制

C3 整流输出端纹波 $V_{pp} \approx 14 \text{ mV}$ 、600 kHz 重复频率远高于 ADC 信号带宽 1.6 kHz, 不能以线性方式直接落入信号通带. 若纹波直接同步采样形成窄带干扰, 输出频谱应出现相应离散谱线; 但图 5 主要表现为连续噪声底抬升, 而非新增离散杂散. 因此隔离电源纹波更可能经电源/地阻抗、寄生电容和采样混叠等路径转化为带内宽带噪声 [18,20,23,24].

第 3.2.3 节估算表明, 电源变压器层间寄生电容在高 $\frac{dV}{dt}$ 下可产生约 0.4 mA 量级的跨隔离位移电流, 注入隔离侧寄生网络形成高频共模激励. 进入隔离侧后, 该共模扰动通过电源/地阻抗、键合线共阻抗和封装寄生电容, 在 ADC 前端形成局部电位扰动. 理想差分输入抑制共模, 但实际差分路

径存在器件失配、开关非线性和采样网络不对称, 共模扰动经偶次非线性响应可部分转换为差模误差。

设差分输入 $\pm V_{in}$ 、共模扰动 $V_{cm}(t)$ 、二次非线性系数 α , 二阶项引起的差模输出可写为

$$\begin{aligned} V_{\text{diff},2} &= \alpha(V_{in} + V_{cm})^2 - \alpha(-V_{in} + V_{cm})^2 \\ &= 4\alpha V_{in} V_{cm}(t) \end{aligned} \quad (8)$$

式 (8) 表明共模扰动会与输入信号和采样过程发生乘性转换. 若 $V_{cm}(t)$ 含低频包络或经混叠进入带内的宽带分量, 表现为带内噪声底抬升; 与基波相干分量则贡献到偶次谐波, 表现为 HD2 变化. 该模型与表 2 中 SNR 退化、HD2 劣化以及图 5 中连续噪声底抬升三个实验特征相一致。

图 5 无新增增强离散杂散, 主导表现为宽带噪声抬升, 完整的物理图像为: 隔离电源高频能量经寄生电容和电源/地网络形成共模扰动, 再通过非理想差分采样路径和混叠过程转化为带内噪声, 同时在 HD2 处产生附加变化。

综合第 3 节量级估算和第 4 节频谱结果: Cu 线圈热噪声为 nV 量级, 不足以解释 11.4 dB 噪声底抬升; ADC 区域最大温差约为 0.25 °C, 主要对应低频漂移; 若漏磁场直接感应为主导, 频谱中更可能出现对应离散谱线, 而图 5 主要表现为连续宽带噪声底抬升 [18]. 综合以上, 数据更支持隔离电源高频纹波经寄生网络形成共模扰动, 并通过非理想差分采样和混叠过程转化为带内噪声的物理图像。

6 结 论

针对混合封装磁隔离高精度 $\Sigma\Delta$ ADC 系统的精度退化问题, 本文设计了同批次芯片在“无隔离基准”和“完整磁隔离”两种配置下的对照实验, 并结合片上变压器参数估算、隔离电源纹波测量和封装热仿真, 对退化来源进行了分析. 实验表明, 完整磁隔离配置下 ADC 的 SNR 相对无隔离基准退化 9.5 dB, ENOB 下降 0.5 bit; 输出频谱主要表现为带内噪声底平均抬升 11.4 dB, 而未出现新的强离散杂散峰, 说明性能退化主要来自带内噪声功率增加, 而非整体非线性失真增强。

9.5 dB 的 SNR 退化对应约 8.9 倍的带内噪声功率增加. 结合 C_3 整流输出约 14 mV 峰峰值纹波、约 600 kHz 脉冲簇结构以及层间寄生电容

位移电流估算, 现有数据支持如下机制: 隔离电源高频纹波经片上变压器层间寄生电容、封装寄生网络和电源/地阻抗形成共模扰动, 再通过非理想差分采样路径和混叠过程转化为带内宽带噪声. 二阶共模-差模转换模型 $V_{\text{diff},2} = 4\alpha V_{\text{in}} V_{\text{cm}}$ 与 HD2 劣化和噪声底抬升特征相一致. Cu 线圈热噪声、封装热场和漏磁场直接感应的量级或频谱特征均不支持其作为主导机制. 本文进一步给出了隔离系统内部噪声耦合路径与 ADC 精度退化之间的对应关系. 在高精度隔离 $\Sigma\Delta$ ADC 中, 隔离电源不能仅作为辅助供电模块处理, 其高频纹波、层间寄生电容和封装寄生网络会共同限制系统有效分辨率.

参考文献

- [1] Mauerer M, Tüystiz A, Kolar J W 2018 *IEEE Trans. Power Electron.* **33** 1907
- [2] Wang J W, Li J B, Li F, Zheng L A, Gao Z C, An B N, Ma Z L, Yin W B, Tian L, Zheng Y H 2023 *Acta Phys. Sin.* **72** 049502 (in Chinese) [王嘉伟, 李健博, 李番, 郑立昂, 高子超, 安炳南, 马正磊, 尹王保, 田龙, 郑耀辉 2023 物理学报 **72** 049502]
- [3] Paul C R 2006 *Introduction to Electromagnetic Compatibility* 2nd Ed. (Hoboken: John Wiley & Sons) pp35–70
- [4] Pavan S, Schreier R, Temes G C 2017 *Understanding Delta-Sigma Data Converters* 2nd Ed. (Hoboken: IEEE Press/Wiley) pp1–10
- [5] An K C, Narasimman N, Kim T T H 2024 *Sensors* **24** 5755
- [6] IEC 2020 *IEC 60747-5-5:2020 Semiconductor Devices — Part 5-5: Optoelectronic Devices — Photocouplers* (Geneva: International Electrotechnical Commission) pp16–20
- [7] Zeng J B, Li A, Xi J X, He L N 2023 *IEICE Electron. Express* **20** 20230162
- [8] Chen B, Wynne J, Kliger R 2003 *Analog Dialogue* **37** 1
- [9] Yun R, Sun J, Gaalaas E, Chen B 2016 2016 *IEEE Symposium on VLSI Circuits* Honolulu, USA, June 15–17, 2016 p1
- [10] Analog Devices Inc. 2023 *AD7403: 16-Bit, Isolated Sigma-Delta Modulator Datasheet, Rev. E* (Norwood, MA: Analog Devices) pp3–8
- [11] Tan Z Q, Mueck M, Du X H, Getzin L, Guidry M, Keating S R, Xing X, Zhao F, Chen B 2016 *IEEE J. Solid-State Circuits* **51** 2232
- [12] Chen C N, Pan P C, Gu J B, Li X X 2024 *Micromachines* **15** 228
- [13] Zhang F, Zhao T, Ma C Y, Pan D F 2018 *J. Semicond.* **39** 115003
- [14] Ragonese E, Spina N, Parisi A, Palmisano G 2021 *Electronics* **10** 1186
- [15] Zhang S Y, Shao J H, He P 2023 *Microelectron. Comput.* **40** 9 (in Chinese) [张墅野, 邵建航, 何鹏 2023 微电子学与计算机 **40** 9]
- [16] Niknejad A M, Meyer R G 1998 *IEEE J. Solid-State Circuits* **33** 1470
- [17] Diahm S, Lambkin P, O'Sullivan L, Chen B 2024 *Adv. Mater. Interfaces* **11** 2300822
- [18] Ott H W 2009 *Electromagnetic Compatibility Engineering* (Hoboken: John Wiley & Sons) pp31–60
- [19] Johnson J B 1928 *Phys. Rev.* **32** 97
- [20] Nyquist H 1928 *Phys. Rev.* **32** 110
- [21] de la Rosa J M 2011 *IEEE Trans. Circuits Syst. I* **58** 1
- [22] IEEE 2011 *IEEE Std 1241-2010: IEEE Standard for Terminology and Test Methods for Analog-to-Digital Converters* (New York: IEEE) pp1–139
- [23] Greco N, Parisi A, Lombardo P, Spina N, Ragonese E, Palmisano G 2018 *IEEE Trans. Circuits Syst. I* **65** 4423
- [24] Ragonese E, Parisi A, Spina N, Palmisano G 2021 *Electronics* **10** 2328

SPECIAL TOPIC—The 80th Anniversary of Physics at Lanzhou University

Noise coupling and precision degradation mechanisms in a hybrid-packaged magnetically isolated $\Sigma\Delta$ analog-to-digital conversion system*

MA Wenzhe¹⁾ CHE Hongrui¹⁾²⁾ SHEN Hangxiao¹⁾ PAN Gaoyuan¹⁾
 HONG Yuxin¹⁾ CUI Chen²⁾ ZHANG Xu²⁾ JIANG Bo²⁾ DU Chao²⁾
 XIE Xuanhao²⁾ LI Dagang^{2)†} LI Yingtao^{1)‡}

1) (School of Physical Science and Technology, Lanzhou University, Lanzhou 730000, China)

2) (Chengdu Huawei Electronic Technology Co., Ltd., Chengdu 610041, China)

(Received 4 May 2026; revised manuscript received 8 June 2026)

Abstract

Weak-signal acquisition across a large common-mode voltage difference requires the isolation interface to provide both high-voltage withstand capability and low noise coupling. This paper investigates the degradation in measurement precision introduced by the magnetic-isolation link in a sigma-delta ($\Sigma\Delta$) analog-to-digital converter (ADC) with an effective resolution of approximately 18 bits. A magnetically isolated measurement system based on silicon-based on-chip microtransformers is implemented, with the ADC, signal isolator, and isolated power supply integrated within the millimeter-scale cavity of a six-die hybrid package. Controlled comparisons are carried out on devices from the same fabrication batch under a non-isolated reference configuration and a fully magnetically isolated configuration. Measurements of isolated-power-supply ripple are combined with magnetic leakage-field estimates and steady-state thermal simulations of the package to analyze the principal noise-coupling paths. The fully magnetically isolated configuration reduces the signal-to-noise ratio (SNR) by 9.5 dB and raises the average in-band noise floor by 11.4 dB over 200–1200 Hz, without introducing additional prominent discrete spurs. Further analysis indicates that the rectifier ripple, with a peak-to-peak amplitude of 14 mV at a repetition frequency of 600 kHz, can couple through interlayer parasitic capacitance and the package parasitic network to generate a common-mode disturbance. Nonideal differential sampling and aliasing then convert this disturbance into in-band broadband noise, making it the main factor limiting system precision. These results provide experimental evidence for package-layout optimization and noise suppression in high-precision magnetically isolated measurement systems.

Keywords: magnetic isolation, sigma-delta analog-to-digital converter, hybrid packaging, noise coupling

DOI: [10.7498/aps.75.20260639](https://doi.org/10.7498/aps.75.20260639)

CSTR: [32037.14.aps.75.20260639](https://cstr.cn/32037.14.aps.75.20260639)

* This work is supported in part by the National Natural Science Foundation of China (Grant No. 62227807) and the Key Research and Development Program of Gansu Province-Industrial Project (Grant No. 25YFGA005).

† Corresponding author. E-mail: dagang@csmc.com

‡ Corresponding author. E-mail: ytli@lzu.edu.cn