单层 MoS_2 场效应晶体管栅介质调控设计与性能优化研究 *

戚金凤 [1)]，刘立英 [1)†]，行琳 [2)]，赵炳潮 [2)]，王如志 [2)†]

1）（北京工业大学物理与光电工程学院，北京 100124）

2）（北京工业大学材料科学与工程学院，北京 100124）

摘 要

随着硅基电子器件特征尺寸持续缩小，短沟道效应和热耗散瓶颈问题日益严峻。二硫化钼（molybdenum disulfide, MoS_2）作为典型的二维过渡金属硫族化合物（transition-metal dichalcogenides, TMDCs），因其原子级厚度、直接带隙以及优异电学特性，在下一代低功耗场效应晶体管中展现出巨大潜力。但其原子级沟道使载流子易受界面散射与介电环境影响，仍严重制约器件输运性能。本文通过构建 MoS_2 背栅场效应晶体管模型，系统对比了二氧化硅（SiO_2）、氧化铝（Al_2O_3）、二氧化铪（HfO_2）三种栅介质对器件电学性能的影响，并进一步对 HfO_2 栅介质进行厚度优化。结果表明，HfO_2 高介电常数栅介质通过强介电屏蔽有效抑制库仑杂质散射，在 10 nm 厚度处实现最优性能：跨导达 666 μS，开关比~10^{13}、亚阈值摆幅~70 mV/dec，但受远程界面声子散射影响，其载流子迁移率降至 137 $cm^2/(V\cdot s)$。本研究阐明了 MoS_2 场效应晶体管栅介质选择与厚度设计对 MoS_2 晶体管电学输运特性的竞争机制，为二维半导体晶体管的栅介质工程研究提供了重要的理论参考。

关键词：MoS_2；高 κ 栅介质；场效应晶体管；电学性能

录用稿件，非最终出版稿

*广东省重点领域研发计划项目（批准号：2024B0101080002）资助的课题

†通信作者.E-mail:：liuliying@bjut.edu.cn; wrz@bjut.edu.cn

第一作者.E-mail:：qijinfeng0501@163.com

1. 引 言

随着晶体管特征尺寸逼近原子尺寸，传统硅基场效应晶体管面临短沟道效应(short-channel effects, SCE)、漏电流增加以及功耗密度急剧攀升等严峻问题[1, 2]。二维过渡金属硫族化合物（transition-metal dichalcogenides, TMDCs），如 MoS_2，是典型的二维材料，因拥有可调带隙、表现出优异的电学性能，弥补了石墨烯零带隙的固有缺陷[3-5]，被广泛应用于逻辑电路、光电探测器以及存储器等领域[6]。

然而，MoS_2 基场效应晶体管(field-effect transistor, FET)器件的性能仍受限于界面散射、沟道缺陷态以及栅极静电调控能力弱[7-9]。其中，栅介质/沟道界面质量对载流子输运特性的影响愈发显著，已成为制约器件性能进一步提升的核心因素[10]。针对上述瓶颈，通过集成高介电常数（high dielectric constant, high-κ）栅介质已成为提升 TMDCs 器件性能的有效技术路径。High-κ 材料通过增强栅极电容增强栅极静电调控能力，同时其高介电环境产生强烈介电屏蔽效应，有效抑制库仑杂质散射[11, 12]。然而，high-κ 栅介质亦会引入远程界面声子散射，造成迁移率退化，形成栅控效率与输运性能之间的内在权衡。因此，栅介质的优选与优化需考虑介电屏蔽增益与声子散射损耗之间的竞争关系。目前，Al_2O_3[13-15]、HfO_2[16, 17]及其叠层结构[18, 19]已被广泛用于 MoS_2 FET 的栅介质。Li[20]等人发现经硫处理后 Al_2O_3 栅介质器件的亚阈值摆幅（*SS*）低至 179.4 mV/dec、开关比达 2.11×10^6、迁移率达 64.74 $cm^2/(V\cdot s)$，表明 Al_2O_3 可在介电屏蔽与声子散射间实现一定的平衡。Zeng[21]等人报道了单晶 Al_2O_3 作为顶栅介质，MoS_2 FET 实现了 *SS* 61 mV/dec（逼近室温理论极限 60 mV/dec）、开关比 10^{10} 及仅 10 mV 的滞后，证明栅介质在界面质量上的巨大优势。

尽管上述栅介质的相关工作在 MoS_2 FET 中的应用已取得显著进展，并验证了栅介质调控的可行性。但现有研究多集中于单一介质验证，对介电屏蔽效应与远程声子散射之间的内在竞争缺乏系统的量化对比研究，也缺少对栅介质厚度优化的深入探讨。基于此，本研究构建了单层 MoS_2 背栅场效应晶体管模型，对比了三种栅介质对器件跨导、亚阈值摆幅及开关比等关键电学性能的影响规律。结果表明，采用 HfO_2 high-κ 栅介质后，器件跨导提升至 666 μS，较 SiO_2 和 Al_2O_3 分别提高了约 230%和 80%；亚阈值摆幅降至 70 mV/dec，开关比提升至 10^{13}，栅控能力显著增强。然而，HfO_2 器件的载流子迁移率达 137 $cm^2/(V\cdot s)$较 SiO_2 降

录用稿件，非最终出版稿

低约 42%，验证了远程声子散射在 high-κ 环境下的主导作用。进一步对 HfO_2 基器件进行厚度优化并深度探讨了 high-κ 栅介质与厚度调控对于 MoS_2 晶体管性能的物理机制，为后续 TMDCs 晶体管栅介质调控及高性能、低功耗 FET 器件设计提供参考。

2. 模拟方法

2.1 器件结构

MoS_2 FET 器件的二维结构如图 1 所示。二维结构可降低网格数量、提升仿真精度，并从根本上避免三维结构中器件边缘的散射效应。器件采用底栅平面型 FET 架构，源漏电极横向分布于沟道两侧，栅极位于沟道下方并通过介质层与沟道隔离[22]，该结构源自现代 CMOS 工艺，适用于纳米尺度输运调制与静电控制研究。沟道宽度在迁移率与短沟道抑制间构成取舍，且窄沟道面临边缘散射与断裂风险；栅介质厚度则需兼顾栅控增强与热失配、衬底散射的抑制[23]。综合权衡，确定器件的参数如下：衬底为 P 型掺杂硅，衬底上层为不同介电材料的绝缘层；沟道为 N 型 MoS_2，厚度 0.65 nm[24]，尺寸为 W=100 nm、L=40 nm（宽长比 2.5：1）。其中 100 nm 沟道宽度可抑制边缘散射及宽度量子化效应，使研究聚焦于输运方向；40 nm 沟道长度处于实验可验证区间，确保器件工作在准弹道机制下并规避显著量子限制。器件参数与文献报道的实验制备 MoS_2 FET 一致[25]。模拟中氧化层电荷密度为 3×10^{10} cm^{-2}，因 MoS_2 具有自掺杂效应[26]，其导电形式与传统半导体硅不同，因此需在硅中引入适量掺杂以使其导电特性与 MoS_2 相匹配。

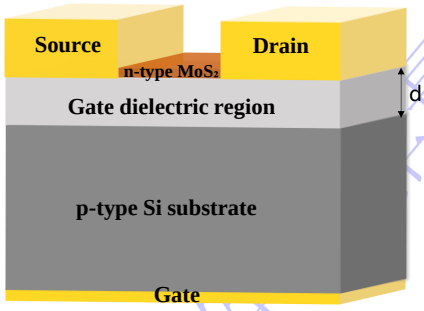


图 1 MoS_2 场效应晶体管的结构示意图（未按比例绘制）

Fig 1 Structural diagram of the MoS_2 FET (not to scale).

MoS_2 FET 以原子级厚度的二维 MoS_2 为导电沟道，源漏金属电极分别连接沟道两端，底部栅极通过 high-κ 栅介质实现电隔离。正向栅压驱动电子从源端注

入沟道形成导电通路，在源漏偏压下载流子定向输运，器件开启；负向栅压则耗尽沟道载流子，关断导电沟道，漏电流被大幅抑制。单层 MoS_2 的原子级厚度，栅极电场几乎穿透整个沟道，器件工作于全耗尽模式，有效抑制短沟道效应与量子隧穿漏电，并支持超低电压运行，功耗可低至硅基器件的十分之一[27]。

2.2 模拟参数

半导体器件数值模拟需联立求解载流子输运模型，目前主要运用漂移-扩散模型，其物理基础涵盖三大方程：泊松方程、载流子连续性方程和电流方程[28]。经典的泊松方程和连续性方程是自耦合的。采用牛顿迭代法求解泊松方程和电流连续性方程。同时，采用微分法将结构模型的几何区域划分为更小的区域，并在每个微分区域内进行数值运算，得到计算结果。场效应晶体管光电探测器建模预测中通常需要的重要参数包括带隙能量、介电常数、电子/空穴迁移率、有效电子质量和有效空穴质量、电子亲和势、掺杂浓度。本文选取了具有代表性的 SL-MoS_2 材料。材料的具体参数如表 1 所示[27,29-33]。

表 1 MoS_2 场效应管晶体管主要材料参数

Table 1 Material Parameters for MoS_2 FET

参数	MoS_2
介电常数	4.2
带隙/eV	1.8
电子亲和势/ eV	4.2
空穴迁移率 $cm^2/(V\cdot s)$	129
电子迁移率 $cm^2/(V\cdot s)$	183
有效电子质量	$0.5m_0$
有效空穴质量	$0.5m_0$
掺杂浓度 (cm^{-3})	4×10^{16}~1.4×10^{19}
界面电荷密度 (cm^{-2})	3×10^{10}

在物理模型选取上，单层 MoS_2 沟道在目标掺杂与强栅压积累下处于简并状态，故采用 Fermi–Dirac 统计以精确描述载流子分布；其余材料处于非简并状态，采用 Boltzmann 统计以保证计算效率与收敛性。基于单层 MoS_2 的直接带隙特性，选用器件仿真器内置的标准隧穿（STD）模型，计入薄 high-κ 栅介质下占主导的

录用稿件，非最终出版稿

直接隧穿路径。考虑到 MoS_2 为宽带隙半导体且在高缺陷密度下以缺陷（陷阱）辅助复合为主，引入 Shockley–Read–Hall（SRH）复合模型以刻画带隙内缺陷态的产生与复合过程，该模型对准确模拟亚阈值区及关态漏电行为至关重要。输运方面，采用 CVT 迁移率模型并假设各向同性简化计算低场迁移率，同时引入场相关迁移率（FLDMOB）模型计入 40 nm 短沟道高场区速度饱和引起的迁移率退化；界面处利用 MOS 界面模型计入陷阱态与功函数效应，以实现阈值电压和亚阈值摆幅的精确分析。在以上物理模型构建的基础上，采用 Silvaco Atlas 半导体仿真器进行计算模拟。

其中，在单层二硫化钼晶体管的陷阱参数设置中，影响陷阱效应的三个重要参数分别为：陷阱能级 E_t、俘获截面（*SIGN/SIGP*）以及陷阱浓度 N_t。模拟的陷阱密度为 $5\times10^{17}\,cm^{-3}$，能级 E_t 为 $0.27\,eV$[27, 34]。由于在定义 MoS_2 材料时，其材料参数是基于硅（Si）材料修改而来，因此采用了硅材料的电子与空穴俘获截面作为空穴陷阱的参数，并要求前者（电子俘获截面）大于后者（空穴俘获截面），二者的数值分别为 $1\times10^{-17}\,cm^2$ 和 $1\times10^{-16}\,cm^2$。该陷阱参数的引入不仅用于复现亚阈值区与关态漏电行为，同时也是模型标定中的关键补偿项：保证转移特性曲线与实验吻合，同时维持器件亚阈值摆幅、开关比与开态电流等电学性能不劣化。

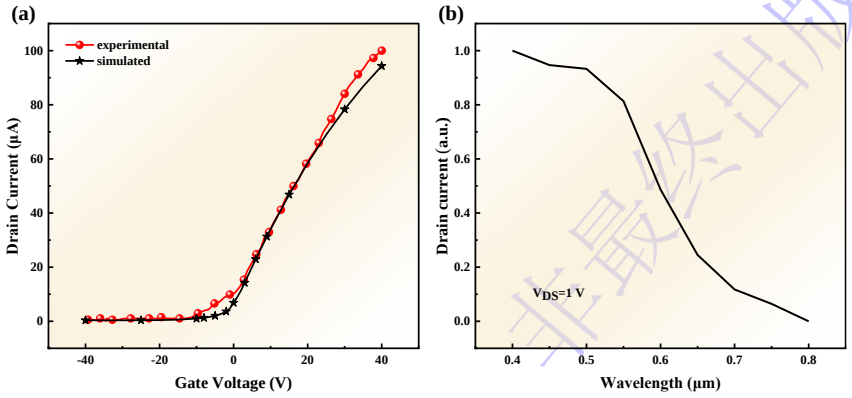


图 2 (a)加入陷阱浓度下传输特性的模拟和实验[35]比较；(b)该模型的归一化光谱响应，其中 MoS_2 FET 偏置电压 V_{DS} 设置为 1 V

Fig 2 (a)A comparison of the simulated and experimental[35] transfer characteristics after defect incorporation is presented；(b)The normalized spectral response of the model with the MoS_2 FET bias voltage V_{DS} set to 1 V.

如图 2 所示，在−40 V ~ 40 V 栅极电压下，转移特性曲线的实验值与模拟结

果吻合较好，虽然有微小的偏差，但实验结果和模拟结果高度重叠，偏差在可接受的范围内。此外，仿真与实验曲线趋势一致，进一步证实了所选物理模型的合理。

3. 结果与讨论

3.1 不同栅介质的 MoS_2 FET 的电流传输特性

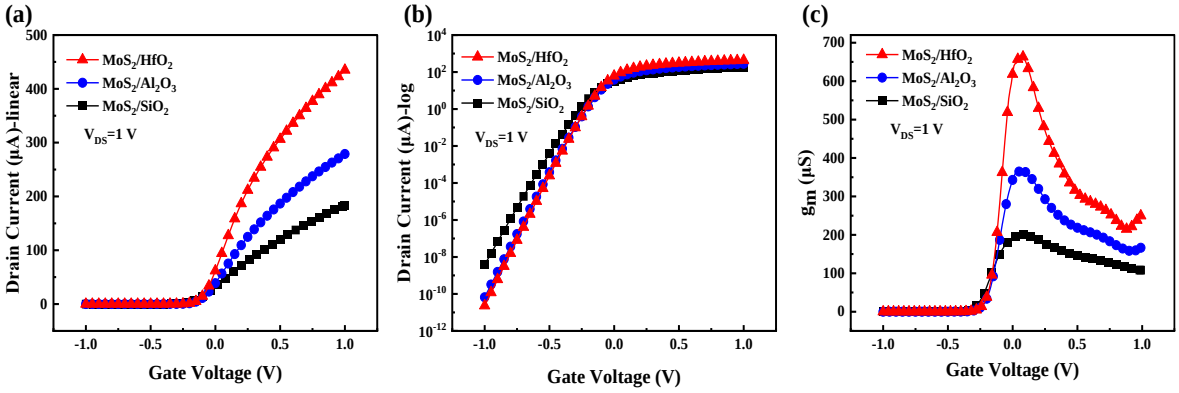


图 3 不同栅介质背栅 MoS_2 晶体管，在 V_{DS} = 1 V 时的转移特性曲线和跨导与栅极电压的关系：(a) 转移特性曲线-线性形式；(b) 转移特性曲线-对数形式；(c) 跨导随栅极电压的关系

Fig 3 Transfer characteristics and transconductance as a function of gate voltage for back-gated MoS_2 transistors with different gate dielectrics (V_{DS} = 1 V): (a) Transfer characteristic curves in linear scale; (b) Transfer characteristic curves in logarithmic scale; (c) transconductance (g_m) versus gate voltage.

高 κ 栅介质的选择对器件电学性能具有决定性影响。硅基 CMOS 中高 κ 栅介质的成功经验，将其引入 MoS_2 FET 体系，以协同抑制栅极漏电流并屏蔽沟道-栅界面库仑散射。如图 3 所示，对比了 SiO_2（$\varepsilon_r \approx 3.9$）、$Al_2O_3$（$\varepsilon_r \approx 9.3$）和 HfO_2（$\varepsilon_r \approx 22$）三种底栅结构单层 MoS_2 FET 的转移特性与跨导特性。Al_2O_3 和 HfO_2 器件具有更大的开态电流和跨导峰值，归因于二者的介电常数高于 SiO_2，在相同物理厚度下等效氧化物厚度更薄，增强了栅极对沟道的调控能力，阈值电压降低。在 V_G= 1 V 时 SiO_2、Al_2O_3 和 HfO_2 器件的开态电流分别为 184、279 和 435 μA，开关比依次为 10^{10}、10^{12} 和 10^{13}，跨导峰值为 202、371 和 666 μS，整体性能与文献报道的场效应晶体管相当[36, 37]。根据漂移-扩散模型，HfO_2 器件的单位面积栅氧化层电容（C_{ox}）约为 SiO_2 的 5.6 倍，强介电屏蔽效应与增强的载流子积累

协同作用，实现了高达 10^{13} 的开关比。此外，栅介质/MoS_2 界面的固定正电荷引入远程 n 型掺杂，通过栅压调控下的动态俘获-释放过程调制沟道载流子浓度与阈值电压，进一步决定了不同介质体系的最终性能差异。

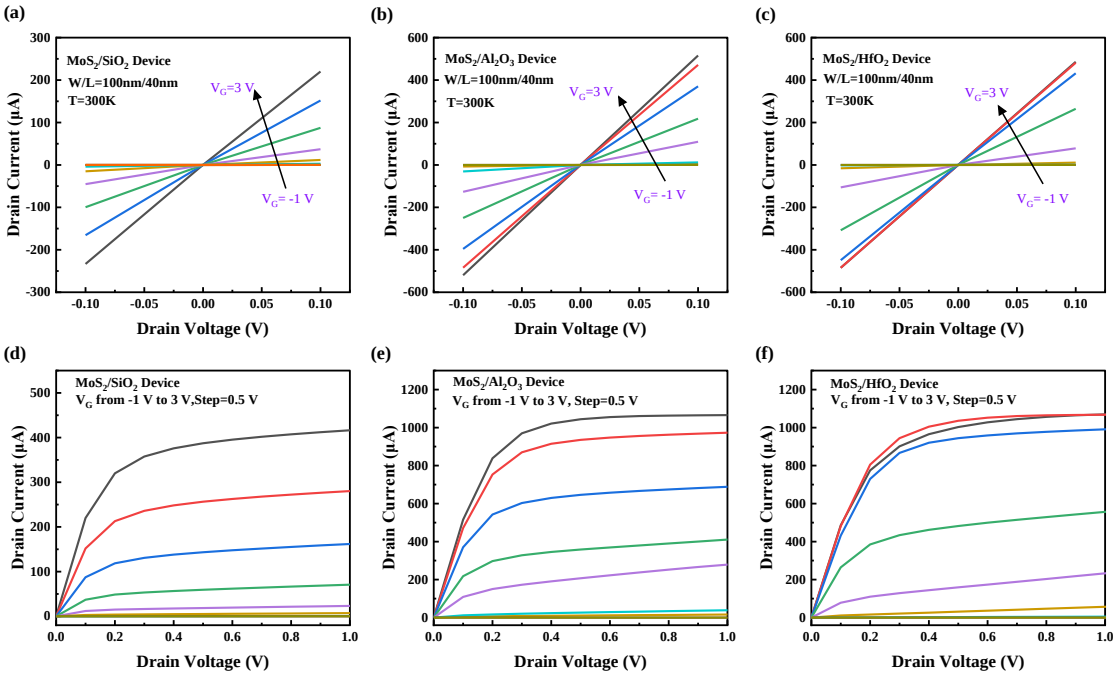


图 4 不同栅介质（SiO_2、Al_2O_3、HfO_2）单层 MoS_2 背栅场效应晶体管的工作特性 (a–c) 三个器件在低漏压范围（V_{DS}=−0.1~0.1 V）的输出特性曲线；(d–f) 相应的高漏压区输出特性曲线

Fig 4 Operating characteristics of monolayer MoS_2 back-gate field-effect transistors (BG FETs) with different dielectric layers (SiO_2, Al_2O_3, HfO_2). (a–c) Output characteristics of three devices in the low-drain-voltage regime (drain voltage V_{DS} swept from –0.1 V to 0.1 V); (d–f) output characteristics in the high-drain-voltage regime.

如图 4 中对比了三种背栅单层 MoS_2 FET，图 4 (a-c)与图 4 (d-f)分别为低漏压（V_{DS} = -0.1 ~ 0.1 V）与高漏压（V_G = -1 ~ 3 V，步长 0.5 V）下的输出特性。在低漏压区（线性区），相同栅压下 HfO_2 器件的漏极电流变化幅度最大且饱和趋势最显著，电流水平明显高于 SiO_2 与 Al_2O_3 器件，表明 HfO_2 具备最强的电流调制能力。该优势源于两方面：其一，高 κ 带来高栅极电容，增强静电栅控；其二，依据介电屏蔽理论，高 κ 介质有效抑制沟道载流子与界面电荷间的库仑散射。与此同时，强垂直栅电场提升二维载流子面密度，载流子垂直方向量子受限增强，进一步提升栅控效率，并依靠二维载流子库仑屏蔽削弱界面粗糙度引起的势起伏

散射。所有器件在低漏压下均呈现良好线性特性，符合经典欧姆接触特征[34, 38]。高漏压区，当 V_G=3 V、V_{DS}=1 V 时，SiO_2、Al_2O_3 和 HfO_2 器件的饱和电流分别为 416、1066 和 1069 μA，采用高 κ 介质可显著提升驱动电流。HfO_2 与 Al_2O_3 性能趋近，表明介电常数升至一定阈值后饱和电流增益趋于饱和——远程声子散射随 κ 值升高而加剧，与介电屏蔽增益形成竞争平衡。

表 2 不同栅介质下的单层 MoS_2 作为通道的器件性能

Table 2 Performance of monolayer MoS_2 field-effect transistors with different gate dielectrics

栅介质	V_{th} (V)	*SS* (mV/decade)	g_m (μS)	*Mobility* $cm^2/(V\cdot s)$	*On/off ratio*
SiO_2	-0.657	80	202	234	10^{10}
Al_2O_3	-0.602	73	371	180	10^{12}
HfO_2	-0.591	70	666	137	10^{13}

计算结果如表 2 所示，其中阈值电压（threshold voltage, V_{th}）通过 I_{DS}–V_G 曲线最大斜率点处的线性外推法提取。亚阈值摆幅（subthreshold swing, *SS*）是衡量晶体管开关状态转换速度的性能指标，其表达式：

$$SS = \left[\frac{d(log_{10}I_D)}{dV_{GS}}\right]^{-1} = ln10\left(\frac{k_0T}{q}\right)\left(\frac{C_{ox}+C_D}{C_{ox}}\right) \quad (1)$$

跨导（transconductance, g_m）反映栅极对沟道的调制效率：

$$g_m = \frac{\partial I_D}{\partial V_G} \quad (2)$$

场效应迁移率（field-effect mobility, μ_{FE}）基于下式估算[35]：

$$\mu_{FE} = \frac{\partial I_D}{\partial V_G}\frac{L}{WC_{OX}V_D} = \frac{g_mL}{WC_{OX}V_D} \quad (3)$$

其中 *L* 为沟道长度，*W* 为沟道宽度，ε_0 为 8.854×10^{-12} F/m，ε_r为相对介电常数，*d* 是栅介质的厚度。迁移率随栅介质变化而改变，进而影响器件性能[39]。

随着栅介质介电常数的增大，器件电学性能呈现系统性变化：V_{th} 由−0.657 V 正向偏移至−0.591 V，*SS* 由 80 mV/dec 改善至 70 mV/dec，g_m 由 202 μS 提升至 666 μS，开关比提升至 10^{13} 量级。上述改善归因于高 κ 介质增大栅极电容并增强介电屏蔽效应，显著提升栅控效率与导通-关断转换特性。然而，μ_{FE}却从 SiO_2 的 234 $cm^2/(V\cdot s)$降至 HfO_2 的 137 $cm^2/(V\cdot s)$，退化源于高 κ 介质中金属-氧键极化激发的远程声子散射增强——该非弹性散射的负面效应超过介电屏蔽对库仑散

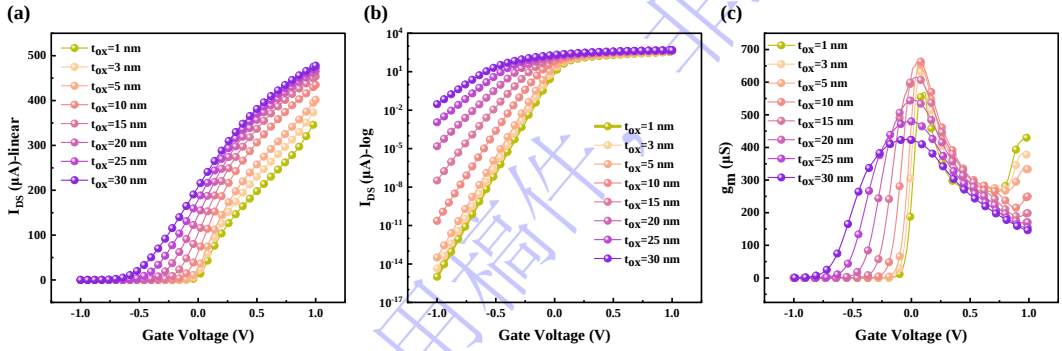
射的抑制收益。散射强度由界面声子模式能量（$\hbar\omega_0$）决定，遵循阿伦尼乌斯关系[40]如下式（4）

$$\mu_{RIP} \propto \exp\left(\frac{\hbar\omega_0}{k_B T}\right) \tag{4}$$

式（4）中，$\hbar\omega_0$为界面声子模式能量。该参数取决于栅介质/沟道界面的本征特性，通常需借助第一性原理计算或实验测量获得。SiO_2、Al_2O_3 和 HfO_2 的界面声子模式能量分别约为 55.6、48.2 和 12.4 meV[40]。声子能量越低，散射越强，迁移率退化越严重。三种介质的声子散射强度顺序为：$HfO_2 > Al_2O_3 > SiO_2$，与迁移率退化趋势一致。与此同时，陷阱电荷借助高 κ 介质的强介电屏蔽效应实现远程掺杂，有效增加沟道载流子浓度并显著抑制了电离杂质散射。与文献报道的声子辅助电荷俘获效应相符[41]。

上述结果表明，高 κ 介质通过介电屏蔽和栅控增强全面提升 V_{th}、SS、g_m 和开关比，但伴随的声子散射效应却使迁移率退化。针对低功耗逻辑应用场景，亚阈值摆幅与开关比决定漏电功耗与栅控效率，其重要性高于峰值迁移率：高开关比是低漏电功耗与信号完整性的保障，也是亚 10 nm 尺度器件最关键的品质因数之一，国际设备和系统路线图（IRDS）已据此进一步收紧未来逻辑器件的关态电流标准[42]。综合权衡各项指标，HfO_2 器件在栅控效率和开关特性方面优势最为突出：其亚阈值摆幅（70 mV/dec）与开关比（10^{13}）均为三者最优，开关比相对 SiO_2 提升三个数量级，开态电流由 201 μA 提升至 483 μA（V_G=1 V），栅控增强与载流子密度提升充分补偿了迁移率损失；尽管迁移率有所牺牲，整体性能仍为三者最优，验证了高 κ 介质在 MoS_2 FET 低功耗应用中的综合潜力。

3.2 基于高 κ 介质的 MoS_2 FET 性能的优化



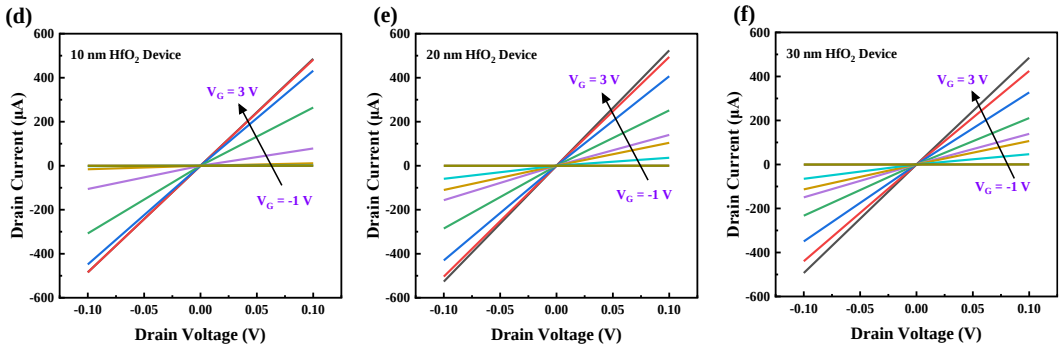


图 5 HfO_2 基器件厚度优化 (a) 转移特性曲线-线性形式；(b) 转移特性曲线-对数形式；(c) 跨导随栅压变化；(d-f) 不同 HfO_2 厚度（10nm/20nm/30nm）的传输特性曲线

Fig 5 HfO_2 Thickness Optimization (a) Transfer characteristics in linear scale; (b) Transfer characteristics in logarithmic scale; (c) Transconductance as a function of gate voltage;(d-f) Output characteristics of devices with different HfO_2 thicknesses (10 nm/20 nm/30 nm).

图 5 展示了背栅单层 MoS_2 FET 的关键电学参数随 HfO_2 厚度的变化。在二维系统中，载流子分布在表面，传输会受沟道和介质界面上的带电杂质散射，且极化屏蔽作用依赖于栅介质厚度[43]。随着厚度从 30 nm 减薄至 1 nm，V_{th} 从负值向 0 V 方向偏移，*SS* 随厚度减薄而单调改善，得益于 C_{ox} 的增大和静电控制能力的增强；g_m 呈现先增后降的非单调变化趋势，表明存在最优厚度。然而，当厚度过薄时，介电屏蔽长度未能有效覆盖原子级沟道，栅控增益将被界面散射损耗所抵消[43]。迁移率随 HfO_2 厚度增加而提升，主要归因于两方面：其一，较厚 HfO_2 介电常数更高，增强了介电环境对沟道库仑杂质的屏蔽能力，减弱了带电缺陷引起的散射；其二，栅电容随厚度增加而减小，降低了沟道载流子面密度，从而削弱了库仑散射。然而，迁移率并不会随介质厚度持续增加；随着厚度增大，介电屏蔽效应逐渐饱和，对库仑散射的抑制作用随之减弱[44]。不同 HfO_2 厚度下的器件性能汇总于表 3。

如图 5（d-f）传输特性曲线显示，开态电流随着厚度的增加而增大，并呈现强大驱动能力与良好线性特征。综合工艺可行性、漏电流抑制及量子隧穿效应等因素，5 nm 器件在 *SS* 和开关比上略占优势，10 nm 器件则在迁移率上显著更优；同时，10 nm 器件在制造难度、可靠性和稳定性之间实现了更好的平衡。因此选取 10 nm 为最优厚度，对应 V_{th}=-0.59 V，*SS*=70 mV/decade，g_m=666 μS，μ_{FE}=137 $cm^2/(V\cdot s)$，开关比达到 10^{13}。该最优厚度的物理本质是栅控与输运两个效应的最

优折中——既保留了足够高的栅极电容以维持栅控效率，又使介电屏蔽效应增强到足以显著提升迁移率，同时避免过度增厚导致的电容损失和偶极子引入的额外散射。

表 3 不同 HfO_2 厚度下的单层 MoS_2 作为通道的器件性能

Table 3 Device performance of monolayer MoS_2 FETs with different HfO_2 gate dielectric thicknesses

厚度（nm）	V_{th} (V)	*SS* (mV/decade)	g_m (μS)	*Mobility* $cm^2/(V\cdot s)$	*On/off ratio*
1	-0.495	61	570	12	10^{17}
3	-0.510	62	643	40	10^{16}
5	-0.531	63	668	69	10^{15}
10	-0.591	70	666	137	10^{13}
15	-0.669	82	615	190	10^{10}
20	-0.764	103	545	224	10^{7}
25	-0.872	131	480	247	10^{5}
30	-0.989	153	425	262	10^{4}

3.3 栅介质调控对 MoS_2 FET 性能的物理机制研究

HfO_2 厚度的增加会增强介电屏蔽效应，但也可能引入更多界面缺陷与散射中心，这些缺陷在载流子输运过程中会散射 MoS_2 沟道中的电荷载流子，从而削弱器件性能。此外，较厚的 HfO_2 层往往在 HfO_2/MoS_2 界面处俘获更多载流子，改变器件静电势分布，进而扭曲沟道电场并降低栅控效率，进而体现为开关比降低、亚阈值摆幅增加等性能退化表现。增加 HfO_2 栅介质厚度会引入界面效应，如 HfO_2/MoS_2 界面处的电荷转移与偶极子形成。这些界面效应改变能带排列与电荷转移特性如能带示意图 6（a）所示，厚度变化中界面电荷转移引入的机制，其能带效果类似提高沟道掺杂，导致器件性能发生变化。较厚的 HfO_2 栅介质可导致界面处偶极子形成增强，产生附加电场影响沟道载流子行为，进而影响迁移率与整体 FET 性能。此外，靠近沟道的偶极子可导致阈值电压漂移，表明偶极子对载流子浓度或迁移率的调制作用[45]。偶极子与沟道电场的相互作用对于优化 HfO_2 栅介质厚度及器件性能至关重要。其中，高 κ 介质氧空位固定电荷经电

录用稿件，非最终出版稿

荷转移掺杂向沟道注入电子，费米能级（Fermi energy，E_F）相对电荷中性点（charge neutrality level, *CNL*）向导带移动、势垒降低[46, 47];随着厚度增加电荷转移与偶极子增强，E_F 上移、接触势垒降低，偶极层电势不连续等效改变栅功函数、调制 V_{th}[48]。对与单层 MoS_2 超薄沟道，掺杂电荷近似全部计入沟道电荷，阈值电压负移量近似为：

$$\Delta V_{th} \approx -\frac{qN_d t_{ch}}{C_{ox}}, C_{ox} = \frac{\varepsilon_{ox}\varepsilon_0}{d_{ox}} \tag{5}$$

N_d 为等效掺杂密度。厚度增大使 C_{ox} 减小、界面电荷电压效应放大（静电通道），叠加费米能级上移使开启提前（能带通道），解释 V_{th} 由−0.495 V（1 nm）单调负移至−0.989 V（30 nm）；E_F 上移提升载流子密度并降低接触势垒提升 g_m，而线性区 $g_m \propto C_{ox}$ 随厚度增大而下降，二者竞争使 g_m 先增后降，与表 3 一致。

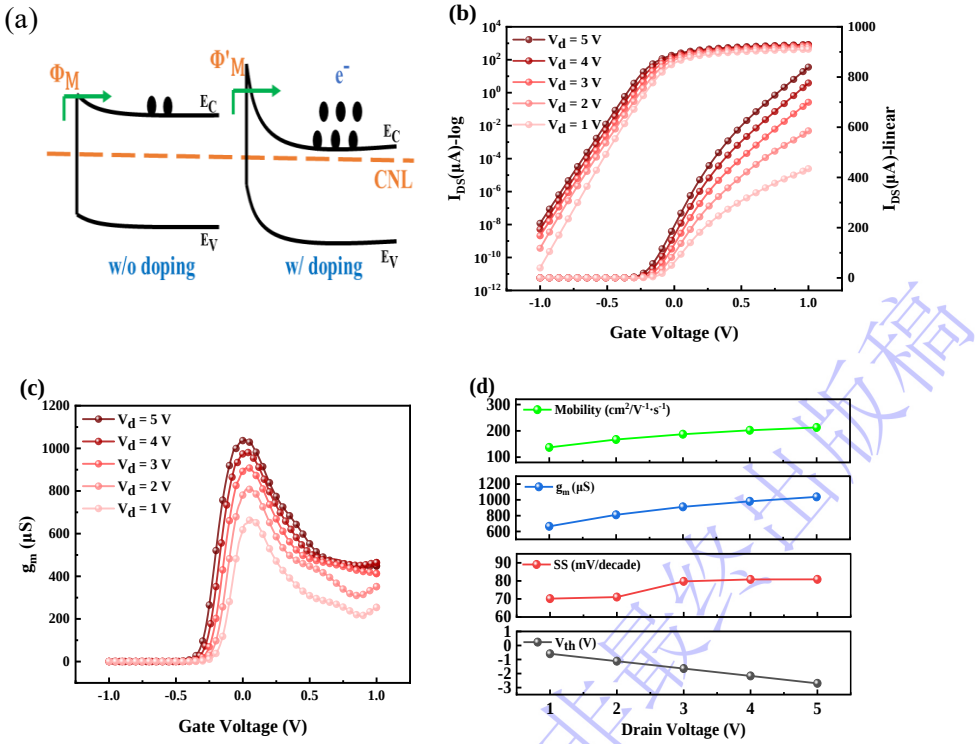


图 6（a）MoS_2-HfO_2 界面的示意性能带图，展示了界面电荷转移引起的电子掺杂机制。不同 V_{DS} 下 10 nm 厚 HfO_2 层对 MoS_2 FET 电学性能的影响。（b）转移特性曲线包含线性和对数形式；（c）跨导随栅压变化取其峰值；（d）对应的阈值电压（V_{th}）、最小亚阈值摆幅（*SS*），最大跨导（g_m）和迁移率（μ）在不同 V_{DS}（1、2、3、4 和 5 V）下的数值。这些数据从图 b 所示的转移曲线和图 c 曲线中提取

Fig 6 (a) Schematic band diagram of the MoS_2-HfO_2 interface, showing electron doping induced by interfacial charge transfer. Electrical performance of a 10-nm-thick HfO_2 layer on

MoS_2 FETs at different V_{DS}. (b) Transfer characteristics in both linear and logarithmic scales; (c)Transconductance (g_m) as a function of gate voltage with its peak value extracted; (d) The corresponding threshold voltage (V_{th}), minimum subthreshold swing (SS), maximum transconductance (g_m), and field-effect mobility (μ) at various V_{DS} (1, 2, 3, 4, and 5 V). These data are extracted from the transfer curves depicted in (b) and the transconductance curves in (c).

基于 10 nm HfO_2 栅介质的优异性能，进一步分析不同漏源偏压下（V_{DS} = 1, 2, 3, 4, 5 V）器件的电学响应。如图 6（b–d）所示，在 V_{DS}=1~5 V 范围内，同步实现了约 70~81 mV/dec 的近理想亚阈值摆幅、>10^{10} 的超高开关比、在 V_{DS} = 5 V 时达 262 $cm^2/(V·s)$的高迁移率以及显著提升的最大跨导，同时阈值电压稳定在 -0.5~-2.5 V，短沟道效应得到良好抑制。g_m 随 V_{DS} 增加而增大，与短沟道器件中的场增强传输机制一致[49]。HfO_2 中 E_t≈0.27 eV 的浅陷阱能级在漏压范围内通过声子辅助隧穿或热发射机制实现动态载流子释放，有效增加输运载流子密度并钝化了界面散射中心；结合高 κ 介质的强介电屏蔽效应，库仑散射被进一步抑制，栅极对沟道的静电调控能力保持优异。除介电特性调控外，栅介质形貌可在单层 MoS_2 沟道引入局域应变，通过应变工程调制能带与载流子有效质量以调控器件输运特性[50]；本文侧重栅介质材质与厚度的静电介电调控，研究栅控与界面散射行为，两种调控方式互为补充。后续可面向器件性能协同优化，建立同时包含静电效应与应变效应的多物理场仿真框架，为二维 MoS_2 晶体管的栅介质界面工程提供更完整的设计思路。

4．结论

本研究基于数值仿真手段，系统研究了栅介质选择及其厚度对单层 MoS_2 背栅 FET 输运特性的调控规律，主要结论如下：

（1）器件性能与栅介质介电常数呈正相关，但受介电屏蔽与远程声子散射竞争制约。HfO_2（κ≈22）器件较 SiO_2、Al_2O_3，开态电流由 184 μA、279 μA 提升至 435 μA（V_G=1 V），开关比达 10^{13}，亚阈值摆幅 70 mV/dec，跨导 666 μS；然而迁移率由 234 $cm^2/(V·s)$降至 137 $cm^2/(V·s)$，源于高 κ 介质金属–氧键极化激发的远程声子散射增强。以低功耗逻辑应用衡量，亚阈值摆幅与开关比对静态功耗的贡献指数级高于峰值迁移率，HfO_2 器件栅控与开关优势足以补偿其迁移率损失，综合性能仍为三者最优。

录用稿件，非最终出版稿

（2）HfO_2 厚度的优化本质上是栅控效率与界面散射的制衡。跨导呈先增后降的非单调变化，10 nm 实现了高栅电容与强介电屏蔽的协同平衡——在维持近理想亚阈值摆幅与超高开关比的同时，规避了过度增厚引发的界面偶极子与声子散射损耗。

（3）宽偏压稳定性源于浅陷阱动态钝化与介电屏蔽的协同。HfO_2 浅陷阱经声子辅助隧穿/热发射释放载流子，钝化界面散射中心；协同高 κ 屏蔽持续抑制库仑散射，保证栅极静电调控能力在 V_{DS}=1~5 V 不衰减。

本研究阐明了高 κ 介质栅控中物理竞争机制，为 MoS_2 FET 的栅介质材料选择与厚度设计提供了量化依据，建立了可迁移的二维半导体高性能场效应晶体管设计准则，对降低实验试错成本、优化工艺参数具有重要理论指导意义。

参考文献

[1]Rahi S B, Song Y S 2025 *FeFET Devices, Trends, Technology and Applications* (Hoboken, NJ: Wiley) pp1-26

[2]Li H, Wu Y, Gao D, Xu K, Ren K, Qi D 2025 *Adv. Electron. Mater.* **11** e00306

[3]Thayil R, Parne S R, Ramana C V 2025 *Small* **21** 2412467

[4]Thoutam L R, Mathew R, Ajayan J, Tayal S, Nair S V 2023 *Nanotechnology* **34** 232001

[5]Kim T, Fan S, Lee S, Joo M-K, Lee Y H 2020 *Sci. Rep.* **10** 13101

[6]Wang C, Song Y, Huang H 2022 *Nanomaterials* **12** 3233

[7]Huo N, Yang Y, Wu Y N, Zhang X G, Pantelides S T, Konstantatos G 2018 *Nanoscale* **10** 15071

[8]Karanth N R, Panakkeel A, Aithal G S, Raviprakash Y, Mishra V 2026 *Chem. Phys.* **609** 113259

[9]Haldar S, Vovusha H, Yadav M K, Eriksson O, Sanyal B 2015 *Phys. Rev. B* **92** 235408

[10]Luan S Z, Liu H X, Jia R X, Cai N Q 2008 *Acta Phys. Sin.* **57** 3807 (in Chinese) [栾苏珍，刘红侠，贾仁需，蔡乃琼 2008 物理学报 **57** 3807]

[11]Yu Z, Ong Z-Y, Li S, Xu J-B, Zhang G, Zhang Y-W, Shi Y, Wang X 2017 *Adv. Funct. Mater.* **27** 1604093

[12]Kang T, Park J, Lee S Y, Jung H, Jeon J, Kim Y-H, Lee S 2025 *Nat. Commun.* **16** 11648

[13]Bergeron H, Sangwan V K, McMorrow J J, Campbell G P, Balla I, Liu X L, Bedzyk M J, Marks T J, Hersam M C 2017 *Appl. Phys. Lett.* **110** 053101

[14]Li T, Wan B, Du G, Zhang B, Zeng Z 2015 *AIP Adv.* **5** 057102

[15]Lai Z P 2013 *Acta Phys. Sin.* **62** 056801 (in Chinese) [赖占平 2013 物理学报 **62** 056801]

[16]Xu J, Wen M, Zhao X, Liu L, Song X, Lai P-T, Tang W-M 2018 *Nanotechnology*

录用稿件，非最终出版稿

29 345201
[17]Pan Y, Jia K, Huang K, Wu Z, Bai G, Yu J, Zhang Z, Zhang Q, Yin H 2019 *Nanotechnology* **30** 095202
[18]Bolshakov P, Khosravi A, Zhao P, Hurley P K, Hinkle C L, Wallace R M, Young C D 2018 *Appl. Phys. Lett.* **112** 253502
[19]Zou X, Xu J, Huang H, Zhu Z, Wang H, Li B, Liao L, Fang G 2018 *Nanotechnology* **29** 245201
[20]Li Z, Xu J-P, Liu L, Zhao X-Y 2021 *Chin. Phys. B* **30** 018102
[21]Zeng D, Zhang Z, Xue Z, Zhang M, Chu P K, Mei Y, Tian Z, Di Z 2024 *Nature* **632** 788
[22]Ravel V M, Evans S R, Holmes S K, Doherty J L, Rahman M S, Roy T, Franklin A D 2026 *ACS Nano* **20** 7127
[23]Sinha S K, Chaudhury S 2013 *IEEE Trans. Nanotechnol.* **12** 958
[24]Zhang S, Zhang Y, Lin T, He P *2019 IEEE 19th International Conference on Nanotechnology* Macau, China, July 22-26, 2019 p90
[25]Gao Q, Zhang Z, Xu X, Song J, Li X, Wu Y 2018 *Nat. Commun.* **9** 4778
[26]Jariwala D 2022 *Light Sci. Appl.* **11** 206
[27]Wang H, Zhang W, Wang X, Huang H, Qiu J, Luo J, Deng S, Song H 2025 *IEEE J. Sel. Top. Quant. Electron.* **31** 1
[28]Martyniuk P, Madejczyk P, Gawron W, Rutkowski J 2018 *J. Electron. Mater.* **47** 5752
[29]Cheiwchanchamnangij T, Lambrecht W R L 2012 *Phys. Rev. B* **85** 205302
[30]Schlaf R, Lang O, Pettenkofer C, Jaegermann W 1999 *J. Appl. Phys.* **85** 2732
[31]Miao J, Liu X, Jo K, He K, Saxena R, Song B, Zhang H, He J, Han M-G, Hu W, Jariwala D 2020 *Nano Lett.* **20** 2907
[32]Kim S, Konar A, Hwang W-S, Lee J H, Lee J, Yang J, Jung C, Kim H, Yoo J-B, Choi J-Y, Jin Y W, Lee S Y, Jena D, Choi W, Kim K 2012 *Nat. Commun.* **3** 1011
[33]Chen J Y, Liu L, Li C X, Xu J P 2019 *Chin. Phys. Lett.* **36** 037301
[34]Furchi M M, Polyushkin D K, Pospischil A, Mueller T 2014 *Nano Lett.* **14** 6165
[35]Radisavljevic B, Radenovic A, Brivio J, Giacometti V, Kis A 2011 *Nat. Nanotechnol.* **6** 147
[36]Lembke D, Bertolazzi S, Kis A 2015 *Acc. Chem. Res.* **48** 100
[37]Lembke D, Kis A 2012 *ACS Nano* **6** 10070
[38]Wani S S, Kuo Y R, Kimbulapitiya K M M D K, Cyu R H, Chen C T, Liu M J, Nguyen H U P, Rehman B, Liu X R, Chuang F C, Lin Y F, Shen C H, Chiu P W, Chueh Y L 2025 *ACS Appl. Mater. Interfaces* **17** 23209
[39]Li H, Yin Z, He Q, Li H, Huang X, Lu G, Fam D W H, Tok A I Y, Zhang Q, Zhang H 2012 *Small* **8** 63
[40]Ma N, Jena D 2014 *Phys. Rev. X* **4** 011043
[41]Nam S, Ahn H, Park B, Gu M, Park H S, Choi S, Chang Y J, Han M 2025 *ACS Appl. Mater. Interfaces* **17** 48592
[42]Chen J J, Peng S P, Deng S L, Zhou W, Fan Z Q, Zhang X J 2025 *Acta Phys. Sin.* **74** 198502 (in Chinese) [陈建举, 彭淑平, 邓淑玲, 周文, 范志强, 张小姣 2025 物理学报 **74** 198502]

[43]Li W S, Zhou J, Wang H C, Wang S X, Yu Z H, Li S L, Shi Y, Wang X R 2017 *Acta Phys. Sin.* **66** 218503 (in Chinese) [李卫胜，周健，王瀚宸，汪树贤，于志浩，黎松林，施毅，王欣然 2017 物理学报 **66** 218503]
[44]Casse M, Thevenod L, Guillaumot B, Tosti L, Martin F, Mitard J, Weber O, Andrieu F, Ernst T, Reimbold G, Billon T, Mouis M, Boulanger F 2006 *IEEE Trans. Electron Devices* **53** 759
[45]Xu Y, Minari T, Tsukagoshi K, Chroboczek J A, Ghibaudo G 2010 *J. Appl. Phys.* **107** 114507
[46]Mahlouji R, Zhang Y, Verheijen M A, Karwal S, Hofmann J P, Kessels W M M, Bol A A 2024 *ACS Appl. Nano Mater.* **7** 18786
[47]Kc S, Longo R C, Wallace R M, Cho K 2017 *ACS Omega* **2** 2827
[48]Cao R, Guo H, Luo J-W, Guo Y, Robertson J 2025 *ACS Appl. Electron. Mater.* **7** 721
[49]Mallikarjun R, Nithya N, Itapu S 2025 *Phys. Chem. Chem. Phys.* **27** 17900
[50] Min Y F, Fang H T, Sun D D, Wang K, Ge Y, Wei L Z, Shi Y Y 2026 *Acta Phys. Sin.* **75** 170801 (in Chinese) [闵钰峰，房浩天，孙东东，王可，葛宇，位丽姿，石媛媛 2026 物理学报 **75** 170801]

录用稿件，非最终出版稿

Gate Dielectric Engineering and Performance Optimization of Monolayer MoS_2 Field-Effect Transistors *

QI Jinfeng[1)] LIU Liying[1) †] XING Lin[2)] Zhao Bingchao[2)] Wang Ruzhi[2) †]

1) (School of Physics and Optoelectronic Engineering, Beijing University of Technology, Beijing 100124, China)

2) (School of Materials Science and Engineering, Beijing University of Technology, Beijing 100124, China)

Abstract

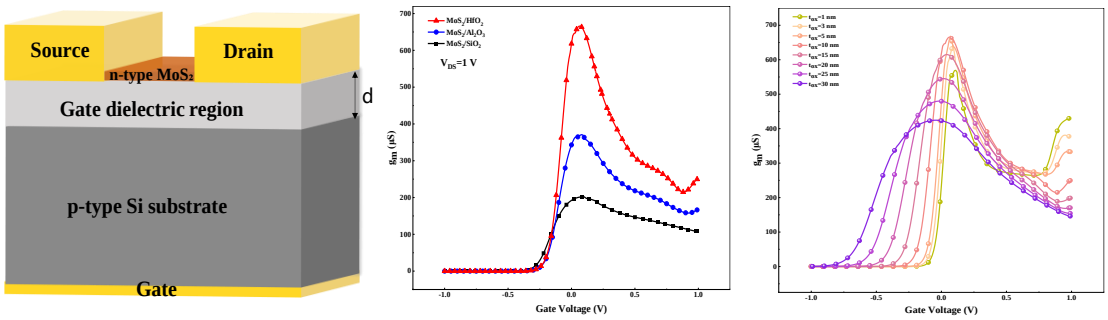
With continuous scaling of silicon electronics, short-channel effects and power dissipation have become severe, motivating atomically thin channels for low-power transistors. Monolayer MoS_2, a typical two-dimensional transition-metal dichalcogenide, is promising due to its atomic thickness, direct bandgap, and good electrical properties, but its transport is strongly affected by interface scattering and the dielectric environment. We construct back-gated monolayer MoS_2 FET models using Silvaco Atlas in a drift-diffusion framework with trap/interface effects, calibrated against experimental transfer characteristics, and compare SiO_2, Al_2O_3, and HfO_2 gate dielectrics, followed by HfO_2 thickness optimization. The high-κ HfO_2 dielectric enhances gate capacitance and dielectric screening, suppressing Coulomb impurity scattering and improving gate control. Compared with SiO_2 and Al_2O_3, the HfO_2 device achieves an on-state current of 435 μA at V_G = 1 V, a transconductance of 666 μS, a subthreshold swing of ~70 mV/dec, and an on/off ratio of ~10^{13}; however, its mobility decreases to 137 from 234 $cm^2/(V\cdot s)$ for SiO_2 due to enhanced remote interface phonon scattering. Thickness optimization from 1 to 30 nm shows non-monotonic transconductance, and 10 nm HfO_2 offers the best trade-off between gate control and interface scattering. Under V_{DS} = 1–5 V, the optimized device maintains a subthreshold swing of ~70–81 mV/dec, an on/off ratio above 10^{10}, and a mobility up to 262 $cm^2/(V\cdot s)$ at 5 V, with short-channel effects suppressed. This work clarifies the competition between dielectric screening and remote phonon scattering and provides a quantitative guideline for gate dielectric design of high-performance, low-power 2D transistors.

录用稿件，非最终出版稿

*Project supported by the Key-Area Research and Development Program of Guangdong Province, China (Grant No.2024B0101080002).

† Corresponding author. E-mail: liuliying@bjut.edu.cn; wrz@bjut.edu.cn

The first author. E-mail: qijinfeng0501@163.com



Keywords: MoS_2; High-κ gate dielectric; Field-effect transistor; Electrical performance

录用稿件，非最终出版稿