

利用肖特基势垒特性研究 4 mm 波段 硅雪崩二极管的杂质分布*

林 鸿 溢

(中国科学院半导体研究所)

提 要

本文研究了 4 mm 波段硅雪崩二极管剖面的杂质浓度分布。测量并讨论了研制器件的外延层杂质分布特性,和器件杂质分布及其对器件性能的影响。

文中阐述了肖特基势垒的基本方程,给出计算曲线;讨论了测量条件及产生误差的主要方面。

作为实验技术的改进,我们装置了水银探针,讨论了确定 Hg-Si 势垒面积的理论依据和测量方法,并获得了 Hg-Si 势垒高度 ϕ_{ms} 和内建势 V_{bi} 的实验值,以及稳定势垒面积的条件。

一、前 言

半导体器件的不断发展,对各种分析手段也不断提出新的要求。当器件向毫米波段发展后,所涉及的有源区宽度 $W \leq 1 \mu\text{m}$,而且在这一薄层内,可能包括外延、离子注入和扩散等过程,形成复杂的杂质分布,因而对杂质分布的测量就显得困难了。常用的测量薄片整块样品平均杂质浓度的方法不适用了。而器件剖面的杂质浓度分布是理论分析和工程设计的重要依据。特别是雪崩二极管和 Gunn 二极管等微波器件,杂质分布对器件性能的影响更为显著。

利用肖特基势垒特性作为某些物理量的测量研究,已得到广泛的重视和应用^[1-3]。此方法中,肖特基势垒性质被有效地利用的是它在反向偏压下的电容,即 $C-V$ 特性。

此方法的优点是直接对研制器件的薄层外延材料进行详细的分布测量,特别是对有源层厚度小于 $1 \mu\text{m}$ 的毫米波器件,更显示了它的优越性。而且在击穿电压允许的最大耗尽层深度内,对被测样品是非破坏性的。缺点是需要进行烦琐的数据处理,以及每次测量都要在高真空下蒸发势垒金属,以形成肖特基结。为了克服存在的缺点,我们装置了水银探针^[10],并利用电子计算机,简化数据处理手续。

二、 $C-V$ 法的基本方程

1. 势垒高度

金属与半导体接触,形成肖特基结,是一个在两种材料之间建立起来的静电势垒——

* 1977 年 4 月 26 日收到。

肖特基势垒。由于半导体中载流子浓度比金属小几个数量级,所以势垒区是从半导体与金属接触的表面开始,在半导体内建立的。假定半导体表面态可以忽略,同时不考虑镜像力降低,则势垒高度 ϕ_{ms} 有简单的表达式

$$\phi_{ms} = \phi_m - \chi, \quad (1)$$

式中 ϕ_m 是金属功函数, χ 是半导体电子亲合势。从能带图 1 可以得到

$$\phi_{ms} = V_{bi} + \Delta E_n, \quad (2)$$

式中 V_{bi} 是半导体与金属接触形成空间电荷区而使能带弯曲的量度,它是在空间电荷区内建立的电势——内建势, ΔE_n 是导带底与费米能级间的间隔。在施主全部离化的情况下,有

$$\Delta E_n = \frac{kT}{q} \ln \frac{N_c}{N_d}, \quad (3)$$

其中 k 是玻耳兹曼常数, T 是绝对温度, q 是电子电荷, N_c 是导带有效态密度, N_d 是施主浓度。

通过 C - V 特性测量,获得了 Hg-Si 接触的内建势和势垒高度。图 2 是测量曲线, V_{bi} 和 ϕ_{ms} 的数值列于表 1。表 1 中 Hg-Si 内建势和势垒高度是我们在实验中得到的,其余的 ϕ_{ms} 值引自文献[4]和[5],其中相应的 V_{bi} 值是我们计算得到的。

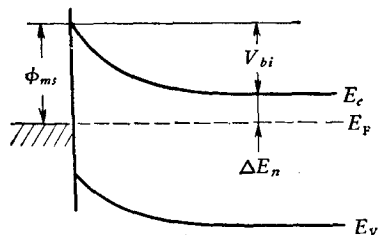


图 1 金属-n 型半导体接触能带图

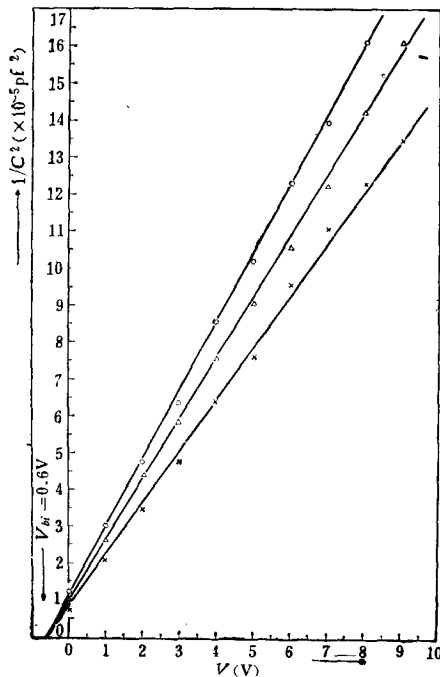


图 2 Hg-Si (n 型) 内建势的实验结果

○ — $N_d = 5 \times 10^{17} \text{ cm}^{-3}$;
 △ — $N_d = 3 \times 10^{17} \text{ cm}^{-3}$;
 × — $N_d = 0.9 \times 10^{17} \text{ cm}^{-3}$

表 1 常用金属-n 型硅势垒高度 ϕ_{ms} 和内建势 V_{bi}

	Hg	Au	Ag	Al	Cu	Pt	Ni	W
$\phi_{ms}(\text{V})$	0.75	0.80	0.69	0.67	0.71	0.85	0.66	0.69
$V_{bi}(\text{V})$	0.60	0.65	0.54	0.52	0.56	0.70	0.51	0.54

2. 基本方程

n 型半导体中,耗尽层内的空间电荷取决于离化施主,当外加反向偏压提高时,能带弯曲加大,耗尽层深度向半导体内部伸展,一直到击穿电场许可的最大耗尽层深度。下面在单边突变条件下导出基本方程。

耗尽层中的空间电荷可以写成

$$Q = \int_0^w AqN_d(x)dx, \quad (4)$$

式中 w 是耗尽层深度, q 是电子电荷, A 是电极面积, $N_d(x)$ 是离化施主浓度. 耗尽层内的电场分布由下式决定:

$$E(x) = E_m - \int_0^x \frac{qN_d(x)dx}{\epsilon_s\epsilon_0}, \quad (5)$$

式中 ϵ_s 和 ϵ_0 分别是半导体的相对介电常数和真空介电常数.

显然, 当 $x = w$ 时, $E(w) = 0$, 所以有

$$E_m = \int_0^w \frac{qN_d(x)dx}{\epsilon_s\epsilon_0}. \quad (6)$$

实际上 E_m 就是耗尽层中的最大电场, 于是耗尽层中的电场分布表示为

$$E(x) = \int_0^w \frac{qN_d(x)dx}{\epsilon_s\epsilon_0} - \int_0^x \frac{qN_d(x)dx}{\epsilon_s\epsilon_0} = \int_x^w \frac{qN_d(x)dx}{\epsilon_s\epsilon_0}, \quad (7)$$

耗尽层内的电势分布为

$$V + V_{bi} = \int_0^w E(x')dx' = \int_0^w dx' \int_{x'}^w \frac{qN_d(x)dx}{\epsilon_s\epsilon_0}, \quad (8)$$

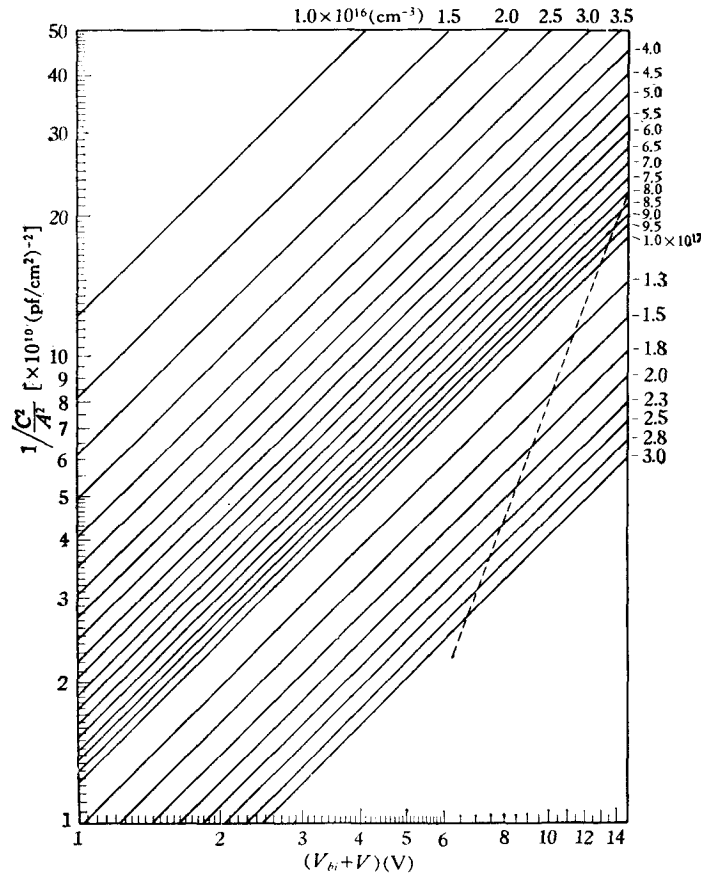


图3 金属-n型半导体接触, $\left(\frac{1}{C^2}\right) - (V_{bi} + V)$ 曲线, 即不同 N_d 的曲线, 虚线表示雪崩击穿限制

式中 V_{bi} 是内建势, V 是外加偏压.

由(4)和(8)式,得

$$\frac{dQ}{dW} = AqN_d(W), \quad (9)$$

$$\frac{dV}{dW} = \frac{qWN_d(W)}{\epsilon_s \epsilon_0}, \quad (10)$$

所以有

$$C = \frac{dQ}{dV} = \frac{dQ/dW}{dV/dW} = \frac{A\epsilon_s \epsilon_0}{W}, \quad (11)$$

即耗尽层电容等效于一个平板电容,由(11)式有

$$\frac{dW}{dC} = -\frac{A\epsilon_s \epsilon_0}{C^2}. \quad (12)$$

利用(10)和(12)式,得

$$N_d(W) = \frac{-C^3}{q\epsilon_s \epsilon_0 A^2} \cdot \left(\frac{dC}{dV}\right)^{-1}. \quad (13)$$

使用这个式子获得杂质分布是方便的^[6],在已知反偏压和相应的耗尽层电容下,给出 dC/dV , 就可以得到载流子浓度分布.

由(13)式,得

$$N_d(W) = \frac{2}{q\epsilon_s \epsilon_0 A^2} \cdot \frac{dV}{d\left(\frac{1}{C^2}\right)}. \quad (14)$$

(14)式表明,测量耗尽层电容对外加反偏压的函数关系,然后由 $1/C^2-V$ 曲线的斜率,来

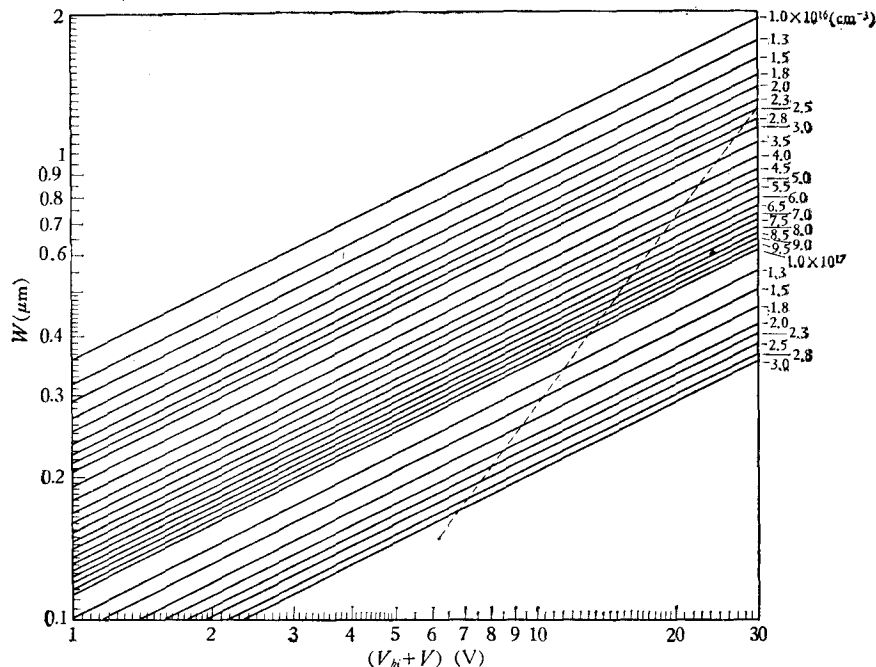


图4 金属-n型半导体接触, $W-(V_{bi} + V)$ 曲线,即不同 N_d 的曲线,虚线表示雪崩击穿限制

确定载流子浓度。若样品的杂质分布是均匀的,则分布曲线在偏压轴上的截距可以确定内建势。图 3 和图 4 是对均匀硅材料计算的理论曲线。这组曲线不仅对 n -Si 和 p -Si,而且对其他半导体也可以利用,只是要考虑到介电常数的差异。

如果材料的杂质分布 N_d 为常数,则对(13)式进行一次积分,就能得到耗尽层电容 C 与外加反偏压 V 的关系

$$C = \left[\frac{q\epsilon_s\epsilon_0 A^2 N_d}{2(V + V_{bi})} \right]^{\frac{1}{2}}, \quad (15)$$

同时内建势 V_{bi} 与势垒高度 ϕ_{ms} 有如下关系:

$$V_{bi} = \phi_{ms} - \frac{kT}{q} \ln \frac{N_c}{N_d}. \quad (16)$$

从(13)式可以看到,耗尽层电容随电压的变化率是耗尽层内离子施主浓度的函数,当增大加在势垒上的反偏压时,耗尽层即向半导体深处扩展,所以测量耗尽层电容和它随电压的变化,就可以得到载流子浓度的分布。

三、载流子浓度分布的测量方法

已经指出,在已知反偏压和相应的耗尽层电容下,给出 dC/dV , 或测量反向偏压下肖特基势垒的等效电容对偏压的函数关系,然后解(13)或(14)式,即可得到载流子浓度分布。现就与测量方法有关的四个方面的问题进行讨论: 测量条件,水银探针装置, Hg-Si 势垒面积(即电极面积)的测定,和误差分析。

1. 测量条件

这里根据肖特基势垒的物理模型,分析本方法的测量条件,并根据工作实践提出一定的要求。

表面态对电容的贡献可忽略 对半导体理想表面(晶格原子规则排列终断的表面)的态密度,理论计算和实验值相近,约为 $1 \times 10^{15} \text{ cm}^{-2}$ 数量级。而在一般实验中,半导体表面往往远远偏离理想状态,如被沾污以及形成氧化层等情况是常见的。在室温下,暴露于空气中的硅表面通常形成 15—30 Å 厚的氧化层薄膜。研究表明,这种实际的半导体表面,存在快态和慢态。对慢态的密度和分布状况,目前了解得还很少,但它对结果不产生影响;对快态,实验给出硅的快态密度为 10^{11} — 10^{12} cm^{-2} 。要了解表面的详情,需要进行专门的分析和实验工作^[1]。然而,好在有表观的量可供观测,如由于表面沾污造成漏电流增大时,则非理想参量 η 也增大。在进行分布测量前,我们正是通过测量肖特基势垒 I - V 方程中无因次参量 η 的大小,来检定表面状态的。

当热发射为主要运输机理时,肖特基势垒 I - V 方程为

$$I = I_s \left[\exp \frac{qV}{\eta kT} - 1 \right], \quad (17)$$

式中 I_s 为饱和电流, V 是外加偏压, η 为表明偏离理想状态的参量。对理想表面 $\eta = 1$, 实际表面 $\eta > 1$, 在我们的测量中,要求 $\eta < 2$, 认为这样的表面,沾污并不很严重。 η 的

测量是简便的,通过测量势垒的正向特性,并对电流 I 取对数,绘制曲线,然后从曲线上找出 $I_1 = 100\mu\text{A}$ 时的偏压 V_1 ,和 $I_2 = 10\mu\text{A}$ 时的偏压 V_2 ,由下式计算:

$$\eta = \frac{q \log e}{kT} (V_1 - V_2). \quad (18)$$

耗尽条件 以 n 型半导体为例,对仅有浅施主和受主的材料,净电离杂质浓度 N 表示如下:

$$N = N_d(1 - P_d) - N_a, \quad (19)$$

式中 N_d, N_a 分别为浅施主和浅受主, P_d 是施主的占据数,从 0 到 $(1 - N_a/N_d)$ 取值. 由于是浅杂质,所以假定室温下全部电离,此时 N 有最大值 $(N_d - N_a)$. 但需要指出,只有耗尽条件满足时,载流子浓度才与杂质浓度相一致. 在一级近似下是能够满足的,因为在一定反偏压下,空间电荷区是个高势垒区 ($\phi_{ms} \gg kT/q$),同时外部注入和本征激发都是可忽略的,所以自由载流子极为稀少,因而这个区域是个耗尽区. 此时,测量得到的结果即为净杂质浓度.

势垒质量优良 对质量优良的势垒,在雪崩击穿允许的范围,有可能测出外延层-衬底交界面处的杂质分布. 对硅的理论计算^[5,7]表明(表 2): $n\text{-Si}$ ($p\text{-Si}$ 相近)测量所能达到的深度可以满足毫米波雪崩二极管的设计要求(必要时配合以阳极氧化技术). 但是往往由于表面沾污,势垒质量不够好,反向漏电流大,在不大的反偏压下,便发生击穿现象,而限制了测量深度. 所以关键在于严格进行表面处理,减少离子沾污,做出质量好的势垒,以便提高击穿电压,扩大耗尽层深度,增大测量范围. 我们的实验中,对掺杂浓度 $N_d \simeq 1 \times 10^{17} \text{ cm}^{-3}$ 的样品,利用水银探针,击穿电压可达 12V,可见势垒质量是好的.

表 2 不同掺杂浓度 $n\text{-Si}$ 的击穿电压和最大耗尽层深度

	$N_d(\text{cm}^{-3})$	$V_b(\text{V})$	$W(\mu\text{m})$
单边突变结	10^{15}	300	20
	10^{16}	60	3
	10^{17}	13	0.4
对 称 结	10^{15}	550	30
	10^{16}	100	6
	10^{17}	20	0.7

高频小信号测量 我们的测量信号频率采用 5MHz,因为只有在高频下,测量结果才是浅施主由于热电离产生的载流子,而处于深陷阱中的电子、表面态上的电子,对高频测量信号来不及响应,因而对结果没有贡献. 同时高频信号幅度应当是小的,以提高测量精度. 一般要求高频信号幅度 $\tilde{V} < kT/q$,我们所用的幅度小于 10mV.

合适的载流子浓度 在重掺杂(杂质浓度 $\geq 10^{18} \text{ cm}^{-3}$)的情况下^[8,9],如果形成肖特基结,其势垒很薄,则在外场下,载流子将按量子力学几率,从量子隧道穿过势垒,产生隧道电流. 因此利用肖特基势垒测量载流子浓度就不适用了. 硅和砷化镓能够测量的最高掺杂浓度约为 $5 \times 10^{17} \text{ cm}^{-3}$,再提高杂质浓度,隧道机构将起主导作用.

非注入的背面电接触 要求背面形成欧姆接触, 也就是使接触区具有接近无穷大的复合速度。这样, 在欧姆接触界面上的载流子浓度便保持在平衡值, 任何偏离平衡值的趋向, 都会因快速复合而立即恢复。通常是把半导体表面磨粗糙, 然后焊上(蒸发上)接触金属(常用合金, 如 Ga-Au, Au-Ge-Ni 等); 另一个方法是用重掺杂的同型半导体层作接触区。对外延材料, 重掺杂的衬底便是很好的接触区。

2. 水银探针装置

图 5 是水银探针的示意图。样品由真空泵吸附, 用有机玻璃做成的探针头, 装在 X-Y-Z 微调器上, 是三度可调的, 可以方便地改变水银探针与样品的接触点。U 形管的一端与探针头相联, 另一端装在升降微调器上, 其内部充满水银。通过调节升降微调器, 改变加在 Hg-Si 势垒面积上的压力, 使得能够充分克服水银表面张力引起的弯月面。我们的实验表明, 当水银柱高为 75 mm 时, 势垒面积达到稳定, 而且是可重复的。

3. Hg-Si 势垒面积的测量

势垒面积的精确测量是很重要的。对蒸发金属(如 Au, Al 等)的势垒面积, 可以直接在读数显微镜下测量; 而水银势垒面积却不可能直接进行测量。我们利用 MOS 结构, 解决了测量方法及其理论依据。在半导体样品表面生长一层 SiO_2 , 然后使水银探针与 SiO_2 接触, 形成 MOS 结构(见图 6)。当外加偏压时, 其中一部分降在氧化层两端, 记为 V_i , 另一部分降在半导体空间电荷区, 即表面势 ϕ_s 。所以有

$$V = V_i + \phi_s. \quad (20)$$

当外加偏压改变时, 金属表面的电荷和硅的空间电荷都发生变化。电荷随电压改变, 实质上反映了 MOS 结构的电容特性:

$$C = \frac{dQ}{dV}. \quad (21)$$

利用 (20) 式可将 (21) 式写成

$$\frac{1}{C} = \frac{dV}{dQ} = \frac{dV_i}{dQ} + \frac{d\phi_s}{dQ} = \frac{1}{C_i} + \frac{1}{C_{sc}}, \quad (22)$$

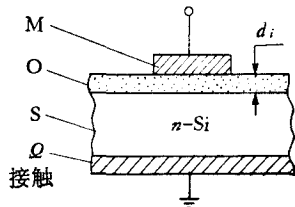


图 6 MOS 结构

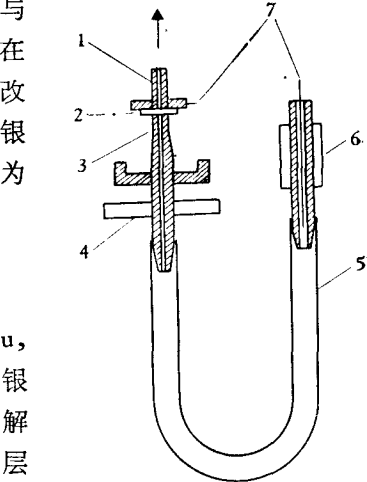


图 5 水银探针

- 1——接真空泵; 2——样品;
3——探针头; 4——X-Y-Z
微调器; 5——塑料 U 形管;
6——升降微调器; 7——接
测量系统

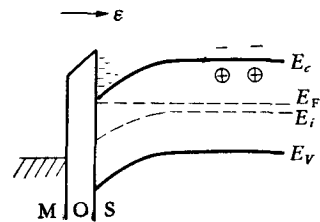


图 7 MOS 结构电子积累层能带图

式中 C_i 是氧化层电容, C_{sc} 是硅空间电荷区电容. 所以 MOS 结构电容实际上是 C_i 与 C_{sc} 的串联. C_i 等效于一个固定的平板电容器电容,

$$C_i = \frac{\epsilon_i \epsilon_0}{d_i} A, \quad (23)$$

式中 A 为水银势垒面积, $\epsilon_i = 3.9$, 是 SiO_2 相对介电常数, d_i 是 SiO_2 厚度. C_{sc} 随外加偏压变化, 对 $n\text{-Si}$, 当加正偏压时, 在硅表面有一个从金属指向硅的表面电场, 所以表面静电势能比体内高. 因为半导体的能带图与电子的静电势能有关, 如取体内电势为零, 则表面势 $\phi_s > 0$, 所以空间电荷区中电子的附加静电势能 $-\phi_s q < 0$, 结果使能带向下弯曲 (见图 7), 形成电子积累层. 当加大的正偏压时, 空间电荷区的电子随 $|\phi_s q|$ 的增大, 而迅速增加, 以至于使 C_{sc} 远大于 C_i , 这时 MOS 结构的电容 C 不随偏压变化, 即由氧化层的电容决定:

$$C = C_i. \quad (24)$$

这样, 我们便从实验中直接获得了 SiO_2 层的电容, 然后利用 (23) 式计算势垒面积, 其中 SiO_2 厚度 d_i 利用椭圆度仪^[14,15]测量.

4. 误差分析

下面讨论几个主要的误差来源, 从而找出减小误差的途径, 提高数据的可靠性.

边缘效应 边缘效应引起的电容可以近似地表示为^[13]

$$\Delta C \simeq \frac{\epsilon_i \epsilon_0 \pi P}{2}, \quad (25)$$

式中 P 为金属接触周长, 由此引起的误差为

$$\frac{\Delta C}{C} \simeq \frac{\pi W}{r}, \quad (26)$$

式中 W 是耗尽层深度, r 为势垒半径 (即电极半径). 显然, 只要选择适当大小的势垒半径, 就可以控制边缘效应引起的误差. 当耗尽层深度大时, 要引入较大的误差, 所以需要限制势垒的最小半径. 若 $W = 1 \mu\text{m}$, 要求电容的误差不大于 1%, 则要求 $r \ll 300 \mu\text{m}$. 我们的实验中, 耗尽层最大深度为 $0.4 \mu\text{m}$, 所以最大相对误差约为 0.4%, 引起杂质浓度的误差接近 1%. 而且考虑到样品的阻抗应远小于测量仪器的输入阻抗, 也希望适当增大势垒半径.

杂散电容 利用电桥或谐振回路进行测量的系统, 可以在调平衡或谐振的过程中, 把杂散电容补偿掉. 某些自动描绘仪^[2]也能够测量中自动补偿杂散电容. 然而某些系统^[1]却不能补偿过大的杂散电容^[12], 但是, 假如知道总的杂散电容, 则可以通过修正得到真实的分布,

$$W_r = W_m \left(1 - \frac{W_m C_s}{\epsilon_i \epsilon_0 A} \right)^{-1}, \quad (27)$$

$$N_r = N_m \left(1 - \frac{W_r C_s}{\epsilon_i \epsilon_0} \right)^3. \quad (28)$$

这里 N , W 分别为杂质浓度和耗尽层深度, 下角标 r , m 分别表示真实和测量的量, C_s 是总的杂散电容.

势垒面积、电容和偏置电压的测量 这三个量的测量误差,对杂质浓度分布有直接的影响。偏压由数字电压表读数,其误差可以忽略;电容的测量可以精确到 0.2pf,其相对误差小于 1%;势垒面积的测量有两种情况:对蒸发金属的势垒面积,用读数显微镜测量,为了克服掩膜引起的半阴影,可以用光刻的方法,严格控制势垒面积。半径的误差约为 1%,对浓度总误差的贡献为 4%;对水银势垒面积,其误差取决于 C_i , d_i 和边缘效应引起的误差。其中 $|\Delta C_i/C_i| = 1\%$, $|\Delta d_i/d_i| = 1\%$, $|\Delta C/C| = 0.4\%$, 则 $|\Delta A/A| = 2.4\%$ 。所以对杂质浓度总误差的贡献为 5%。

耗尽层深度的误差 耗尽层深度的误差由电容的误差和势垒面积的误差决定:

$$|\Delta W/W| = |\Delta C/C| + |\Delta A/A| = 3\%.$$

总计上面各项误差,杂质浓度分布的相对误差约为 10%。其中势垒面积引入的误差是主要的,所以对势垒面积必须认真处理。

四、 p^+nn^+ 型 4 mm 波段硅雪崩二极管杂质分布

1. 测量程序

在杂质浓度分布测量之前,利用红外光谱仪,观测红外干涉谱,测定外延层厚度,并在 $C-V$ 测量中进行校正。两种方法的结果是一致的。外延层厚度的测量是很重要的。用红外干涉法比磨角染色技术更准确和迅速。

然后利用肖特基势垒特性,确定外延层的掺杂分布。由于材料的雪崩击穿限制了测量深度,对杂质浓度为 $1 \times 10^{17} \text{ cm}^{-3}$ 的样品,最大耗尽层深度为 $0.4 \mu\text{m}$,所以要获得厚度大于 $0.4 \mu\text{m}$ 的样品的纵向杂质分布,我们采用阳极氧化剥层技术,配合 $C-V$ 特性测量,来确定杂质分布。

对重掺杂的 p^+ 区和 n^+ 区,利用红外等离子共振的方法,测量其反射光谱,来确定载流子浓度。

2. 结果与讨论

图 8 是外延层杂质分布的典型曲线,从曲线可以看出,杂质浓度的纵向分布是比较均匀的,但表面处,杂质浓度有所下降,在接近衬底约 $0.07 \mu\text{m}$ 的区域内,杂质浓度出现凹陷。凹陷区的出现与衬底的含杂情况有关,并由反应管内的动力学过程决定的^[16];表面处浓度的下降,是因为断开外延炉的电源后,反应管内的热弛豫,而发生杂质(P)由固相向汽相扩散造成的。分布曲线还表明,衬底的外扩散效应是不明显的。这与所选择的衬底掺杂质有关,我们用的衬底是掺砷浓度为 $3 \times 10^{19} \text{ cm}^{-3}$ 的硅单晶。在外延温度(1150°C)下,砷在硅中的最大溶解度比 P 大,而在此温度下,砷的扩散系数比 P 小,所以,可以期望外扩散效应减到最低程度。

对 p^+ 区和 n^+ 区分别进行红外光谱分析后,得到图 9 所示的 p^+nn^+ 结构的雪崩二极管剖面杂质分布曲线。图 10 是 p^+ 区在四个剖面上进行红外等离子共振观测获得的反射谱,经计算,在图上标出了各剖面的载流子浓度。器件杂质分布与设计计算值相近;并在器件微波特性的测量中(见表 3)表明:这样的杂质分布对工作在 4 mm 波段的器件是设

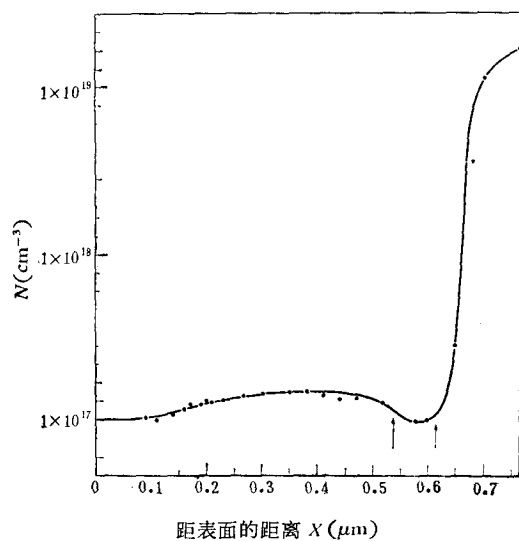


图8 硅外延层杂质分布
曲线两箭头间的部分为浓度凹陷区

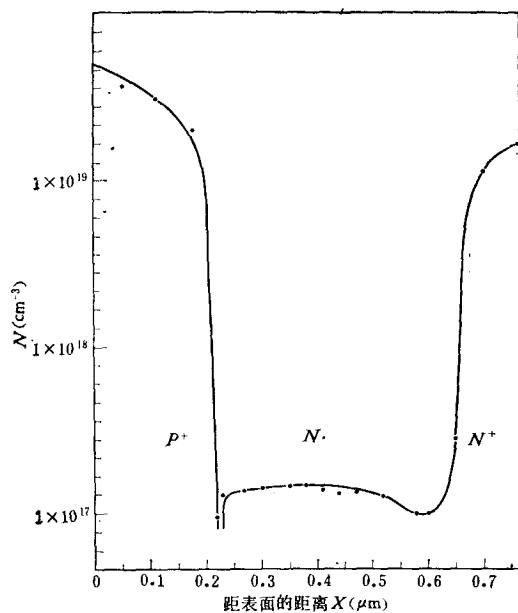


图9 p^+nn^+ 型 4 mm 硅雪崩二极管杂质分布

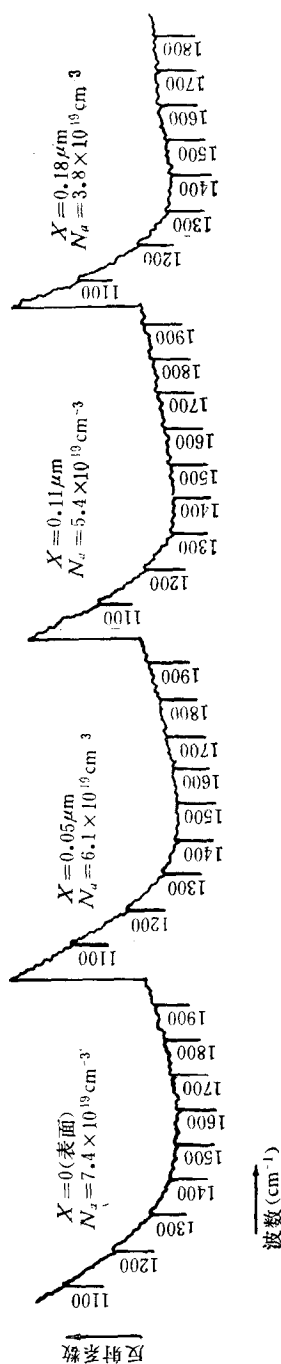


图10 利用红外等离子共振测量 p^+ 区载流子浓度分布

计得合适的.图11给出了耗尽层电容和宽度随有效电压($V_{bi} + V$)变化的曲线,由此,可以得到器件穿通情况和电容特性.从图中可以看到,在击穿电压下,耗尽层宽度为 $0.35\mu\text{m}$. 而由器件的杂质分布给出低掺杂区宽度是 $0.4\mu\text{m}$. 然而由于在工作点结温上升,器件仍将处于穿通状态. 因为在较高的结温(如 500K)下,通过耗尽层的热载流子经过每一平均

表 3 p^+nn^+ 型 4 mm 波段硅雪崩二极管典型参数

编 号	$V(V)$	$I(mA)$	$f_0(GHz)$	$P(mW)$	$\eta(\%)$	说 明
1	17.5	340	66.5	124	2.1	两个二极管并联
2	18.0	260	—	120	2.6	
3	17.0	400	75.0	110	1.6	
4	18.0	260	77.9	60	1.3	
5	16.0	500	67.9	96	1.2	
6	16.5	190	—	89	2.8	

注: V ——工作电压; I ——工作电流; f_0 ——中心频率; P ——连续输出功率; η ——效率

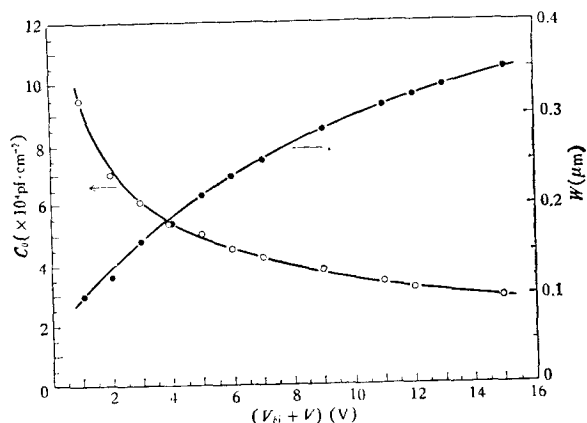


图 11 耗尽层单位面积电容和深度随有效电压变化

自由程之后,就损失一部分能量,转变为光学声子能量;而平均自由程随温度的升高而减小。所以,若电场恒定,则在一定距离内,由于 $p-n$ 结的温升,载流子在晶格中碰撞的次数增多,因而损失的能量增加。为了使载流子获得足够的能量以产生电子-空穴等离子体,维持雪崩过程,就必须增大外加偏压,使电场分布有一个适当的增量。这个过程称为温度效应。同时,空间电荷效应也使工作电压增高。对 p^+nn^+ 型雪崩二极管,载流子在左端的高场区中碰撞电离,产生雪崩,然后电子向右边漂移,空穴向左边漂移。越过耗尽区运动的载流子空间电荷将对电场的分布产生影响。这里特别指出一点,即一旦出现碰撞电离雪崩,所产生的载流子空间电荷很快建立起空间电荷电场,此电场与耗尽层中的电场方向相反,结果压低了击穿电场。电场的降低,可能导致雪崩过程提前终止。为了维持雪崩过程,就必须提高外加偏压。对于温度效应和空间电荷效应的计算结果表明,器件的工作电压应比室温击穿电压约高 3V。实验结果是:器件的击穿电压一般为 12—13V,而工作电压一般为 15—17V。实验结果与计算结果相近。所以器件在工作点应是穿通的。对工作在穿通情况下的器件来说, $n-n^+$ 交界面处杂质浓度的下降是无害的,而对工作在近穿通情况下的器件,则有利于器件向穿通状态过渡;对于工作在非穿通情况下的器件是有害的,因为杂质浓度的凹陷区带来大的串联电阻,因而器件的效率降低了。

五、结 束 语

利用肖特基势垒特性,并配合以红外等离子共振方法和阳极氧化剥层技术,我们得到了 4 mm 波段硅雪崩二极管剖面杂质浓度的详细分布. 通过 $C-V$ 测量,还可确定空间电荷区宽度、击穿电压、直流电场分布、器件电容特性以及器件在工作点的穿通状态等. 对器件杂质分布的初步分析,提供了器件内部结构的资料. 就测量方法来说,已经建立的系统,特别是采用水银探针装置,对调整器件参数和分析器件某些性能是必要和有效的.

王守武同志对本文提出了宝贵意见,成众志、周洁、武振民、吴灵犀、崔锡彦、郑东、刘衍芳等同志给予热情的支持和帮助,特此致谢.

参 考 文 献

- [1] D. C. Gupta *et al.*, *J. Appl. Phys.*, **43**(1972), 515.
- [2] P. J. Baxandall *et al.*, *J. Phys. E.*, **4**(1971), 213.
- [3] G. L. Miller *et al.*, *Bell. Laboratories Record*, **53**(1975), 129.
- [4] H. A. Watson, *Microwave Semiconductor Devices and Their Circuit Applications* (1969), p. 346.
- [5] S. M. Sze, *Physics of Semiconductor Devices* (1969), p. 116.
- [6] I. Amron, *Electrochem. Technol.*, **2**(1964), 327.
- [7] W. E. Schroeder *et al.*, *Proc. IEEE.*, **59**(1971), 1245.
- [8] T. P. Brody, *J. Appl. Phys.*, **33**(1962), 100.
- [9] 林鸿溢等, *物理学报*, **22** (1966), 525.
- [10] R. Hammer, *Rev. Sci. Instrum.*, **40**(1970), 292.
- [11] D. R. Lamb, *Thin Solid Films*, **5**(1970), 246.
- [12] F. D. Hughes, *Acta Electronica*, **15**(1972), 43.
- [13] A. M. Goodman, *J. Appl. Phys.*, **34**(1963), 329.
- [14] R. J. Archer, *J. Opt. Soc. Amer.*, **52**(1962), 970.
- [15] 半导体教研室表面钝化科研小组, *西安交通大学学报*, **2-3** (1974), 17.
- [16] F. J. Hilsden *et al.*, *Proc. 1973 European Microwave Conf.*, Vol. 1, A. 8. 2.

AN INVESTIGATION OF THE IMPURITY PROFILE OF THE 4mm BAND SILICON AVALANCHE DIODE BY MEANS OF THE SCHOTTKY BARRIER CHARACTERISTICS

LIN HONG-YI

(*Institute of Semiconductors, Academia Sinica*)

ABSTRACT

In this paper, the impurity profile of the 4 mm band silicon avalanche diode is studied by means of the characteristics of the Schottky barrier. The characteristics of the impurity profile of the epitaxial layers, the impurity profile of the device and its effects on device performance are measured and discussed.