

一种新的具有 n^+pp^+ 结构的 超高速阶跃二极管的研究

张 执 中 周 旋

(中国科学院半导体研究所)

1980年4月28日收到

提 要

本文考察了影响阶跃恢复二极管阶跃截止时间的诸因素。在此基础上,提出一种新的超高速阶跃二极管结构——窄基区 n^+pp^+ 突变结结构。分析表明,这种结构的阶跃二极管因采用扩散系数大的载流子作为注入基区的少数载流子,其本征阶跃时间大为缩短。根据这一思想设计制作了实用的二极管,实际测得的最快阶跃截止时间小于 50ps (按 10—90% 计算)。

一、问题的提出

阶跃恢复二极管 (step recovery diode, 以下简称阶跃二极管并记作 SRD) 已逐渐为人们所熟悉,它是一种高速半导体器件,已广泛应用于脉冲产生、脉冲整形、倍频和取样等。

阶跃截止时间是阶跃二极管最重要的设计参数,也是这种器件在各种电路应用中,为人们最关心的性能指标。自阶跃二极管问世以来,人们一直致力于如何获得最快的阶跃截止时间。

1962年, Moll^[1] 等人分析了有对称减速场的二极管的反向恢复特性,首次提出阶跃二极管的理论。但是这种二极管要求从薄的硅片两侧分别扩散磷和硼,并使两种杂质相交。因此,这种二极管的制作工艺复杂,均匀性差,成品率低。尤其是硅片不能减至几个微米数量级,限制了进一步缩短阶跃截止时间。外延材料发展以后, Dutton^[2] 等人分析了 p^+n (外延) n^+ 二极管的正向电流-电压特性和开关特性。Varshney^[3] 等人分析了窄基区 p^+nn^+ , p^+n (指数) n^+ , pin 等结构的瞬态特性,指出这些结构的性能基本相似。它们概括了迄今为止采用外延材料制成的各种阶跃二极管结构。这里必须指出,虽然理论分析^[4] 表明, pin 结构对缩短阶跃截止时间最为理想,但是在保证 n^+ 区有足够高的浓度(以保证二极管串联电阻足够小)的同时,外延出薄的高阻层是很困难的,而且在外延工艺中必须用的 $SiCl_4$ 材料的纯度也往往达不到制备厚度为几个微米、电阻率达几千欧姆·厘米的外延层的要求。所以实际制作阶跃二极管时,大都是用 p^+n (低浓度)¹⁾ n^+ 结构代替 pin 结构。

上述 p^+nn^+ 和 p^+n (指数) n^+ 两种结构的一个共同点是,在 n^+ 区衬底材料上外延薄

1) 指每立方厘米含杂质原子数 $10^{14}—10^{15}$ 。

的 n 层形成二极管的基区, 因而注入基区的少数载流子是扩散系数较小的空穴。由于上述原因, 我们还很少看到采用 p^+nn^+ 结构取得小于 50ps 阶跃截止时间的报道。于是提出了这样一个问题: 能否找到另一种既在工艺上切实可行, 同时又利于阶跃截止时间大大缩短的二极管结构类型? 为此, 本文提出一种新的超高速阶跃二极管结构, 即 n^+pp^+ 窄基区突变结结构, 从而改变了阶跃二极管研制和生产主要采用 p^+nn^+ 结构的惯例。由于 n^+pp^+ 结构阶跃二极管采用扩散系数大的电子作为注入基区的少数载流子, 使本征阶跃时间大为缩短。实际制作的阶跃二极管取得了阶跃时间小于 50ps 的良好结果。与此同时, 新设计的阶跃二极管还兼顾了对贮存时间、击穿电压等性能的要求。

二、 n^+pp^+ 结构超高速阶跃二极管的设计考虑

阶跃二极管的瞬态响应不仅取决于二极管本身, 而且还和具体运用电路密切相关, 所以超高速阶跃二极管的设计必须和运用电路一起加以考虑。

阶跃二极管的脉冲运用有两种典型的电路, 即并联电路 (SRD 与负载并联) 和串联电路 (SRD 与负载串联), 如图 1 所示。

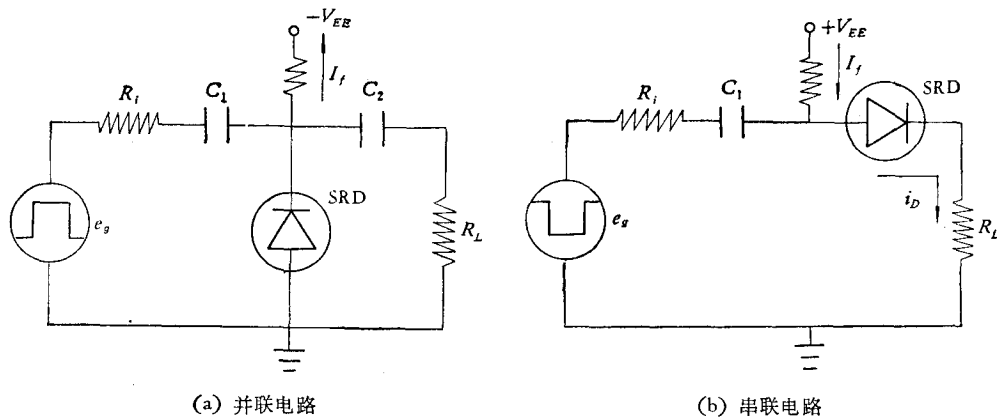


图 1 SRD 的两种典型运用电路

作为例子, 在图 2 中给出与 SRD 在串联电路中运用相关的波形。贮存时间 t_s 和阶跃时间 t_f 是阶跃二极管的重要设计参数, 尤其后者是我们最为关心的。图 2 中的 i_D 电流波

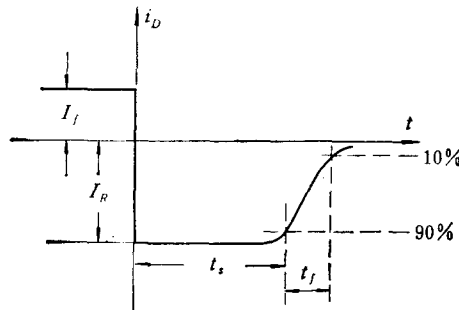


图 2 串联测试电流波形

形可以借助宽带取样示波器观测,由此可以读出 t_r 和 t_f .

显然,由取样示波器读出的 SRD 的阶跃时间 t_f 实际上包含了下列三部份的贡献:

1. t_{r1} 是由取样示波器带宽 B 决定的上升时间

$$t_{r1} = \frac{0.35}{B}. \quad (1)$$

2. t_{r2} 是 pn 结的本征阶跃时间,它取决于基区剩余贮存载流子的抽出速度.

3. t_{r3} 是由二极管电容充电决定的上升时间. 这三者之间的关系为^[5]

$$t_f = \sqrt{t_{r1}^2 + t_{r2}^2 + t_{r3}^2}. \quad (2)$$

当取样示波器选定之后, t_f 的增大和减小主要由 t_{r2} 和 t_{r3} 的变化决定. 因此为了减小 t_f , 必须从分析 t_{r2} 和 t_{r3} 着手. 据此, 本文提出一种新的超高速阶跃二极管结构, 即用 P 型外延材料制作的 n^+pp^+ 突变结结构.

根据 Varshney^[3] 等人的分析结果, 窄基区 p^+nn^+ 和 p^+n (指数) n^+ , 这两种结构具有相似的阶跃特性. 这些结构的共同点是均以空穴作为注入基区的少数载流子, 其本征阶跃时间可近似地由剩余空穴的抽出时间决定:

$$T_{rp} = \frac{W_n^2}{2D_p}, \quad (3)$$

式中 W_n 是 n 型基区宽度, $W_n \ll L_p$, L_p 是空穴扩散长度, D_p 是空穴扩散系数.

由于结构的类似性, 显然可以将上述结论同样应用于 n^+pp^+ 结构, 不过此时注入基区的少数载流子不再是空穴, 而是电子. 因此本征阶跃时间现在可近似地由剩余电子的抽出时间决定:

$$T_{rn} = \frac{W_p^2}{2D_n}. \quad (4)$$

式中 W_p 是 P 型基区宽度, $W_p \ll L_n$, L_n 是电子扩散长度, D_n 是电子扩散系数.

新的 n^+pp^+ 结构与惯用的 p^+nn^+ 结构比较, 具有哪些优点呢?

我们知道, 在硅中, $D_n = 35 \text{ cm}^2/\text{sec}$, $D_p = 12.5 \text{ cm}^2/\text{sec}$, 即 $D_n \approx 2.8D_p$. 所以从 (3) 和 (4) 式立即得到如下的结论:

1. 如果 P 基区的杂质浓度与 n 基区的杂质浓度相同, 而且 $W_n = W_p$, 那么

$$T_{rn} \approx T_{rp}/2.8.$$

即是说, 剩余电子抽出的时间约为剩余空穴抽出时间的三分之一.

2. 若令 $T_{rn} = T_{rp}$, 那么根据 (3) 和 (4) 式得到

$$W_p \approx 1.7W_n.$$

即是说, 在要求相同本征阶跃时间的情况下, 允许 n^+pp^+ 结构的中心 P 区的宽度为 p^+nn^+ 结构的中心 n 区宽度的 1.7 倍. 故前者在工艺上更容易实现.

中心区宽度的增加将导致击穿电压 V_B 的增加. 对于突变结, 如本文所采用的结构, 外延层杂质浓度足够低, 在击穿之前, 随着反向偏压的增高, 耗尽层已扩展至衬底. 由基本公式^[6]导出击穿电压与耗尽层宽度的关系为

$$V_B = \left(E_{mB} - \frac{qN_A W}{2\epsilon} \right) W. \quad (5)$$

式中 E_{mB} 是击穿时结中电场最大值, q 是电子电荷, ϵ 是硅的介电常数, N_A 是受主杂质浓度, W 是耗尽层宽度.

用此式可以证明, 中心区宽度增加将使二极管的击穿电压增加. 这种特性显然可以提高器件的功率处理能力 ($\propto V_B^2 C_{\min} f_{in}$), 从而可以应用于更高的功率.

由电容与耗尽层宽度的关系式

$$C = \frac{\epsilon A}{W}, \quad (6)$$

可以看出 (在二极管结面积 A 不变的情况下), 电容随耗尽层宽度的增加而减小. 从下面进一步的分析中可知, 电容的减小对降低电容的充放电时间, 从而缩短阶跃时间是十分有益的.

然后我们考察无源参数对阶跃时间 t_f 的影响.

假定结电导在贮存相之末瞬时降低 (无剩余电荷), 那么所观察到的瞬态特性应该仅由与 SRD 相关的阻抗决定. SRD 的等效电路示于图 3. 图 3 中 L_s 是二极管引线电感, R_s 是二极管串联电阻, $R(V)$ 和 $C_j(V)$ 是二极管的势垒电阻和势垒电容, 它们两个强烈地依赖于外加电压, C_p 是二极管的管壳电容.

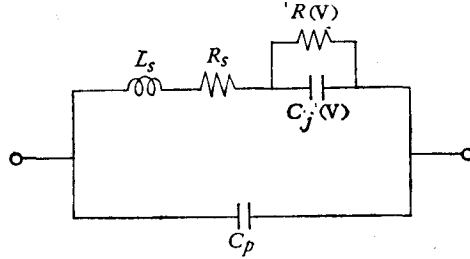


图3 SRD 的等效电路

此处我们引用 Moll^[2] 等人分析所得的结果:

(1) 假定 $L_s = 0$, 单由 RC 考虑所决定的 10—90% 的阶跃时间为

$$t_{r3} = t_{RC} = 2.5RC. \quad (7)$$

(2) 考虑引线电感的影响, 在最佳电感补偿情况下 (临界阻尼, 无过冲),

$$t_{r3} = t_{LRC} = 1.25RC \quad (\text{当 } L = R^2C/4 \text{ 时}). \quad (8)$$

在 (7) 和 (8) 式中, $C = C_j + C_p$, C_j 取 C_{j0} 与 $C_{j\min}$ 的平均值. R 与测量电路有关, 参看图 1 SRD 的典型运用电路. 图 1 中 R_i 是激励源的内阻, R_L 是负载电阻, 就是观测用取样示波器的输入电阻, 一般 $R_i = R_L = 50\Omega$. 所以 (7) 和 (8) 式中的 R , 对于串联电路有 $R = R_i + R_L + R_s = 100 + R_s$; 对于并联电路有 $R = R_i + \frac{R_i R_L}{R_i + R_L} = 25 + R_s$. R_s 由器件设计及工艺决定, C 由管壳电容及 pn 结电容组成, 因而也由器件设计及工艺决定. 在测试电路中, R_i 和 R_L 都已固定. 所以欲减小由 RC 考虑所决定的充电时间, 就只能通过减小 R_s 和 C 来实现. 但是这两者相比, 改变电容对 t_{r3} 的影响更显著. 例如, 对于串联电路, 改变电容 dC 以及改变体电阻 dR , 对充电时间所引起的改变 dt_{RC} 分别为

$$g_C = \frac{dt_{RC}}{t_{RC}} = \frac{dC}{C},$$

$$g_{R_s} = \frac{dt_{RC}}{t_{RC}} = \left(\frac{1}{1 + \frac{R_i + R_L}{R_s}} \right) \frac{dR_s}{R_s} = \left(\frac{1}{1 + \frac{100}{R_s}} \right) \frac{dR_s}{R_s}.$$

当改变率 dR_s/R_s 与 dC/C 相同时, 两种变化之比为

$$\frac{g_{R_s}}{g_C} = \frac{1}{1 + \frac{100}{R_s}} \ll 1.$$

概括地说, 在设计超高速 SRD 时, 我们主要考虑了以下几点:

- (1) 采用新的窄基区 n^+pp^+ 结构, 同时降低中心 P 区的浓度.
- (2) 采用介电系数小的管壳材料, 以减小管壳电容, 适当减小 $p-n$ 结面积; 尽量减小串联电阻.
- (3) 采用管壳内引线电感补偿, 针对具体应用电路控制电感量, 实现最佳电感补偿.

三、二极管制造

我们实际制作的超高速 SRD 采用电阻率为 $1-3 \times 10^{-3} \Omega \cdot \text{cm}$ 的 P 型衬底(掺硼)的 pp^+ 外延材料, 其外延层厚度为 $4-6 \mu\text{m}$, 电阻率为 $5-10 \Omega \cdot \text{cm}$. 于 $1190-1200^\circ\text{C}$ 扩散磷形成 n^+p 结. 扩散前及腐蚀台面后均用(氨水+过氧化氢+去离子水)及(盐酸+过氧化氢+去离子水)进行清洁处理, 以便提高少数载流子寿命. 扩散后低温淀积二氧化硅, 用它保护腐蚀台面, 然后再淀积二氧化硅, 保护 pn 结.

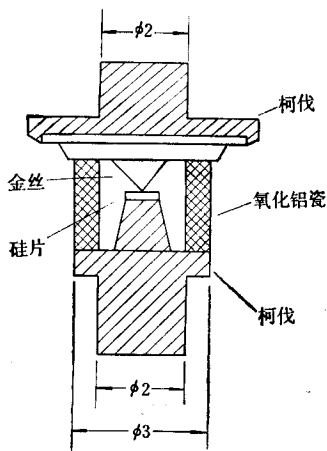


图4 阶跃二极管剖面图

为保证光刻台面, 光刻引线孔, 光刻接触金属, 三次光刻图形的对准, 将三种图形编制在一块板上, 从而保证了光刻精度, 方便了操作, 并提高了成品率.

封装使用的管壳以氧化铝瓷环 $\phi 3 \times 3 \text{ mm}$ 为主(也曾试用过石英玻璃管壳和微晶玻璃制成的微带管壳), 如图4所示. 为了减小管壳电容, 中心柱采用截圆锥体. 管壳镀金, 用热压超声法焊入管芯. 用两根金丝作引线, 其长度根据中测情况决定(即达到实现电感补偿的目的),

台面上涂硅油保护, 经烘烤后用环焊方法封管.

四、测量结果与讨论

二极管直流特性用晶体管特性曲线图示仪(如 JT-1 型)测量, 电容用小电容测量仪测量. 二极管的脉冲特性按图5所示的方框图测量. 测量用的脉冲发生器设计成外触发的, 为了减小观察波形时的晃动, 直接采用取样示波器输出的同步脉冲作为发生器的输入触发脉冲. 测量管座是阻抗为 50Ω 的同轴结构, 设计时考虑了尽量减少结构上的不连续性. 所用波形显示仪器是带宽为 18 GHz 的商品取样示波器. 整个测试系统(考虑到管

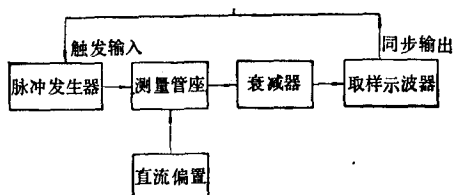


图 5 SRD 脉冲特性测量框图

座、衰减器以及有关转接器的影响)的带宽在 10 GHz 以上。脉冲测量条件为: 正向电流 10 mA, 反向电流 100 mA, 用图 1(b) 的串联电路测量阶跃时间 t_f , 表 1 给出一批样管的测量结果。

表 1 SRD 的测量结果

样管编号*	材料类型	击穿电压 $V_B(<10\mu A)$ (V)	二极管电容 $C_j(0V)$ (PF)	寿命 τ (ns)	阶跃时间 t_f (10—90%) (ps)	正向微分电 阻 R_f ($I_f=100\text{ mA}$) (Ω)	管壳类型
12	p	29	0.5	10	50	1.3	陶瓷同轴
4	p	38	0.5	16	55	1.5	陶瓷同轴
47(2)	p	32	0.5	15	50	3.0	陶瓷同轴
14(1)	p	30	0.5	10	60	1	陶瓷同轴
47(4)	p	29	0.5	11	50	1	陶瓷同轴
S12	p	28	0.4	10	<50	1.3	石英同轴
17	n	21	0.5	9	90	1.7	陶瓷同轴
23	n	23	0.4	10	100	1.9	微晶玻璃 微带型

* 所用样管是与本所五室 504 组在 1974 年以前共同制成的。

五、讨 论

1. 实验中曾采用过窄基区 p^+nn^+ 结构, 取得的最好结果是 $t_f \approx 90\text{ps}$ (按 10—90% 计算)。从表 1 可以看出, 采用 p 型材料制成的 n^+pp^+ 型阶跃二极管具有极快的阶跃时间 (50—60ps), 尤其是用介电常数很小的石英管壳封装的 SRD, 取得了最好的结果 ($t_f < 50\text{ps}$)。

2. 本工作将器件的设计制造与电路运用统一考虑, 提出了在环焊封管前在管壳内控制引线长度实现电感补偿的方法, 使制成的二极管能较好地适用于具体的运用电路。上面已经提到, 用取样示波器测得的 t_f 是与采用的测量电路分不开的。特别是 t_{f3} , 在串联电路中 $R \approx 2R_i = 100\Omega$, 在并联电路中 $R \approx \frac{1}{2} R_i = 25\Omega$ 。因而两种测量电路(也就是 SRD 的两种典型运用电路)的电感补偿是不同的。设串联电路的最佳补偿电感为 $L_{\#}$, 并联电路的最佳补偿电感为 $L_{\#}$, 显然由 (8) 式可知 $L_{\#} = 16L_{\#}$ 。本实验制作的样管均对串联电路实行最佳电感补偿, 故这种二极管应用于并联电路时, 由于引线电感超出 $L_{\#}$ 很

多,将导致过冲显著增加,实验已观察到这种现象.若要求二极管同时适用于串联和并联电路,则只有设法尽量减小二极管内部引线电感.在应用时可根据具体电路在二极管外串联适当的电感,实现最佳补偿,从而充分发挥二极管的性能.

3. 本文尝试了用微晶玻璃(当然采用陶瓷片或者石英片性能会更好)制成微带管壳的工艺,取得 $t_f = 100\text{ps}$ 的结果. 由于原来的测试管座是同轴型的,不能安装微带型管壳. 所以这里测得的阶跃时间是用比较简陋的方法测出的. 如果精心设计同轴微带转接,那么完全有可能取得更好的结果. 需要指出,微带管壳有其优越性. 微带管壳便于同微带传输线直接连接,可缩小微波电路尺寸,易于实现微波集成. 此外,用热压超声方法完全有可能将这种采用三次光刻制成的管芯直接焊接到微带电路中去,从而进一步减少管壳封装电容对阶跃时间的不利影响.

用本文提出的结构制成的 n^+pp^+ 二极管已应用于取样示波器、快速脉冲发生器和铯原子钟等,都取得了良好的结果.

参 考 文 献

- [1] J. L. Moll *et al.*, *PIRE*, 50(1962), 43.
- [2] R. W. Dutton *et al.*, *IEEE Trans. ED*, ED-16(1966), 458.
- [3] D. J. Roulston, R. C. Varshney, *Electronics Letters*, 5(1969), 548; R. C. Varshney, D. J. Roulston, *Solid-State Electronics*, 13(1970), 1081.
- [4] J. L. Moll, *PIEEE*, 57(1969), 1250.
- [5] W. Pfeiffer, *Intern. Elektron. Rundschau* Bd 26, (1972), 191.
- [6] 黄昆、谢希德, 半导体物理学, 科学出版社, 321 页(1958).

A NEW ULTRA HIGH SPEED SNAP-OFF DIODE WITH n^+pp^+ STRUCTURE

ZHANG ZHI-ZHONG ZHOU XUAN

(Institute of Semiconductor, Academia Sinica)

ABSTRACT

Various important factors determining the snap-off time of the step-recovery-diode (SRD) are investigated. In addition, a new structure of SRD is proposed, that is n^+pp^+ diode with abrupt n^+p junction and narrow p base region. The analysis shows that because the carriers injected into the base region have larger diffusion coefficient, the snap-off time of such diode is greatly reduced. The process used to produce this diode is also described, and many diodes produced by this method have been employed in many practical circuits. The best result of the snap-off time is smaller than 50 ps (10—90%).