

少子陷阱特性和铍硅共注半绝缘 GaAs 空穴陷阱^{*}

陈开茅 金泗轩

(北京大学物理系, 北京 100871)

邱素娟

(石家庄电子工业部十三研究所, 石家庄 050051)

(1993 年 10 月 15 日收到)

用深能级瞬态谱 (DLTS) 技术测量了高温退火的 Be 和 Si 共注入的 LEC 半绝缘 GaAs (无掺杂)。在多子脉冲作用下的 Al/Be-Si 共注 LEC SI GaAs 肖特基势垒中, 观测到 E_{01} (0.298), E_{02} (0.341), E_{03} (0.555) 和 E_{04} (0.821) 等四个电子陷阱以及两个主要的少子(空穴)陷阱 H_{05} (0.54) 和 H_{05}' (0.57)。两少子陷阱的 DLTS 信号具有若干特点, 比如它们的 DLTS 峰难于通过增宽脉冲达到最大高度; 以及峰的高度强烈地依赖于温度等。这些现象可以用少子陷阱的少子俘获和热发射理论进行合理地解释。鉴于用 DLTS 技术测量这种陷阱的困难, 我们用恒温电容瞬态技术测定它们的空穴表观激活能分别为 0.54 和 0.57 eV。它们是新观测到的和 Be-Si 共注 SI GaAs 有关缺陷。

PACC: 7155; 7340N

1 引言

选择性离子注入技术是 GaAs 平面工艺的核心。离子注入既给半导体材料引进所需的杂质也造成有害的损伤和缺陷。为了充分地激活引入的杂质, 人们积极地研究杂质的激活率与退火条件的关系。为了彻底消除注入损伤和缺陷, 人们同样热心地研究损伤和有关的深能级的各种属性, 以及研究消除损伤的方法。关于单元素离子的注入已进行过很多的研究^[1-7]。但是两种或两种以上的元素离子先后注入同一材料所引入的损伤或深能级的研究还很少见报道^[8], 本文的目的之一是报告用多子脉冲 DLTS 在 Be 和 Si 联合注入的 LEC 半绝缘 GaAs (未掺杂) 观测到两个主要的少数载流子陷阱。

关于多子脉冲下出现少子陷阱的 DLTS 峰的现象已有报道^[9,10], 但是过去的工作未对少子陷阱的电容瞬态(或电流和电压瞬态)以及其 DLTS 信号的特点进行系统地研究, 也未曾研究过有关的正确的测量方法。因此本文的另一目的是从理论上和实践上对少子陷阱作较系统的研究。

^{*} 国家自然科学基金资助的课题。

2 有关少子陷阱的一些理论

为了方便起见,下面仅以 n 型半导体与金属接触势垒中的深能级为例进行讨论。在半导体的禁带中有一深能级 E_i , 它的电子和空穴热发射率分别为

$$e_n = C_n n_i \exp\left(\frac{E_i - E_i}{kT}\right) \quad (1)$$

和

$$e_p = C_p n_i \exp\left(\frac{E_i - E_i}{kT}\right) \quad (2)$$

从 e_n 和 e_p 的比值,即

$$e_n/e_p = \exp\left[2\left(E_i - E_i - \frac{kT}{2} \ln \frac{C_p}{C_n}\right)/kT\right] \quad (3)$$

的关系中可以引进一个深能级 E_i 对应的特征能级 $E_i^{(1)}$, 即

$$E_i^{(1)} = E_i + \frac{kT}{2} \ln \frac{C_p}{C_n} \quad (4)$$

其中 E_i 是半导体的本征费密能级, C_n 和 C_p 分别是陷阱的电子和空穴俘获系数, T 是绝对温度, k 是玻耳兹曼常数。(3)和(4)式指出,如果陷阱能级 E_i 大于它所对应的特征能级 $E_i^{(1)}$, 则它为电子陷阱, 反之, 则它是空穴陷阱。下面着重讨论 n 型半导体中的空穴(少子)陷阱。

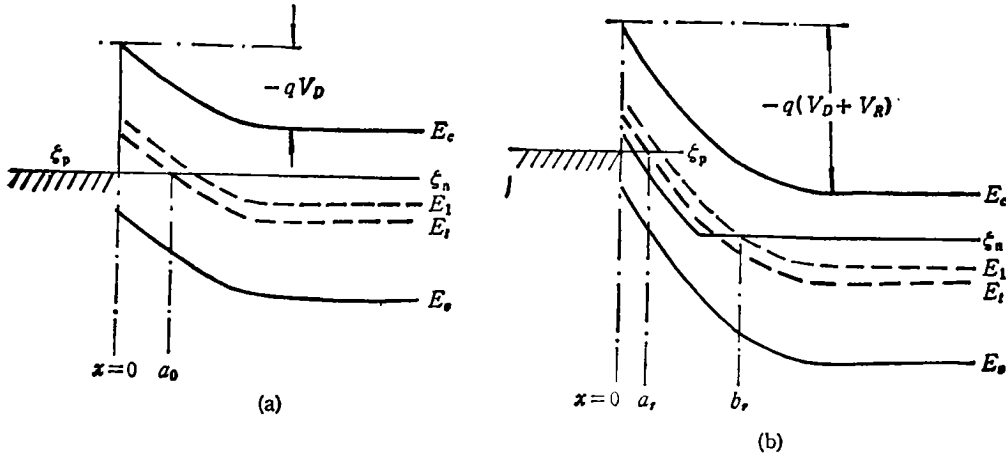


图 1 含少子陷阱 E_i 金属/n 型半导体接触势垒能带草图

(a) 零偏置 (b) 反向偏置

图 1 示出不同偏置下包含一个空穴陷阱 E_i 的金属/n 型半导体接触势垒的能带示意图,其中图 1(b) 中的 a_r 是反向偏压 V_R 作用下空穴费密能级 ζ_p 与深能级 E_i 的交点与金属/半导体界面的距离, b_r 是在同样条件下 E_i 与电子费密能级 ζ_n 的交点到界面的距离。可以证明当深能级 E_i 与两带交换载流子达到稳定时,在 a_r 的左边(界面附近),

深能级的电子占据率为少子费密能级决定的费密狄拉克分布;在 b_r 的右边,这个电子占据率为多子(电子)费密能级决定的费密狄拉克分布;而在 $a_r < x < b_r$ 的范围内,深能级的电子占有率为 $c_p/(c_n + c_p)$, 对于 $E_r < E_1$, $c_n < c_p$ 的情况,这个占据率接近于1.

在反向偏压 V_R 上迭加一宽度为 t_p , 高度恰好使金属/半导体接触处于零偏置的多子脉冲 V_p , 在这脉冲的推动下,当接触由反偏转变为零偏时,处于 a_r 与 a_0 之间的少子陷阱将变空,即填充进空穴,在脉冲过后,那些填充进去的空穴将被热发射回价带,同时产生多子脉冲下的少子电容瞬态 $\Delta C(t_p, t)$. 在浅杂质浓度 N_D 远远大于深中心浓度 N_{TT} , 以及脉冲间歇时间足够长,使得深能级的电子占据状态能够达到稳定态等条件下,这一电容瞬态可以表示为

$$\Delta C(t_p, t) = \Delta C(t_p, 0) \exp(-t/\tau_c). \quad (5)$$

其中 $\Delta C(t_p, 0)$ 是热发射电容瞬态的初值,它与脉冲宽度 t_p 的关系直接反映出载流子填充深能级的过程,它的具体表达式为

$$\Delta C(t_p, 0) = +e_p \tau_c \left[C_k^3 / A^2 \epsilon_s^2 N_D(X_R) \int_{a_r}^{a_0} \{1 - \exp[-t_p/\tau_c(x, T)]\} N_{TT}(x) dx \right]. \quad (6)$$

其中 C_R 是反向偏压 V_R 对应的金属/半导体接触势垒电容, A 是接触势垒面积, ϵ_s 是半导体的介电常数, X_R 是反向偏压 V_R 对应的空间电荷区宽度, $N_p(X_R)$ 是空间电荷区边界处的浅施主浓度, τ_c 是深中心的热发射时间常数,它与电子和空穴的热发射率的关系为

$$\tau_c = 1/(c_n + c_p). \quad (7)$$

τ_r 是深能级的俘获时间常数,它与电子和空穴的俘获率 $C_n n$ 和 $C_p p$ 的关系为

$$\tau_r(x, T) = 1/[c_n + C_n n + c_p + C_p p(x, T)] \quad (8)$$

其中 n 和 p 分别是自由电子和自由空穴浓度,在金属/n型半导体接触界面附近,自由电子被耗尽为零.

在零偏置和热平衡的接触势垒中,空穴(少子)和电子的分布为统一费密能级决定的费密狄拉克分布.在距离金属/半导体界面 x 处,空穴浓度可以表示为

$$p(x, T) = (N_v N_c / n_0) \exp \left[-\frac{E_g + q\varphi(x)}{kT} \right]. \quad (9)$$

其中 E_g 是半导体的禁带宽度, $\varphi(x)$ 是 x 处的电位势, q 是电子电荷的绝对值, N_v 和 N_c 分别为半导体价带和导带的有效状态密度, n_0 是半导体内部的自由电子浓度.

由(9)式看出半导体中的少子浓度具有如下特点: 1)它是由材料特征参数 E_g , N_v , N_c 等决定的,在相同的温度、相同的多数载流子浓度和相同的势垒高度条件下,其数值对于不同的材料有很大的差别.例如在 300K 时, GaAs 的少子浓度比 Si 的小 8 个数量级; 2)它与多子浓度成反比; 3)它是温度的函数.

由于一般情况下少子浓度较多子浓度低很多个数量级,尤其是在宽禁带半导体材料中,这种差别尤为突出,因此处于金属/n型半导体界面附近的空穴陷阱很难为有限宽度的多子脉冲引进的空穴所饱和和填充.这样将导致(6)式中的 $\{1 - \exp[-t_p/\tau_c(x, T)]\}$ 因子强烈地依赖于温度.这种关系可以引出多种复杂的物理现象,比如: 1) 对于大禁带

宽度的半导体材料,可能观测不到多子脉冲下少子陷阱的电容瞬态信号;2)在多子浓度比较高的半导体中,因少子浓度很低,而不易于观测到少子陷阱的瞬态信号;3)在低温下,也因少子浓度很低,而很难看见少子陷阱的瞬态信号;4)由于少子浓度随温度指数地升高,造成少子陷阱的电容瞬态初值强烈地依赖于温度;5)在不能对深中心饱和填充的情况下,可以由于少子浓度是温度的函数,也可以由于少子俘获截面是温度的函数,或者两者都是温度的函数,造成电容瞬态是温度的复杂的函数;6)深能级的电容瞬态初值可以因深能级未被饱和填充也可以因 $c_p\tau_c$ (或 $c_n\tau_c$) 与温度紧密相关而强烈地依赖于温度,在这种情况下,不能用传统的 DLTS 方法测量深中心的能级位置,否则将造成严重的错误。

3 实验和结果

本文的实验样品包含 Be 和 Si 共注入的以及单纯注 Si 的两类样品,所有样品的衬底均是不掺 Cr 的 LEC 半绝缘 GaAs。Be-Si 共注样品的制作过程为,先用 160keV 的 Be⁺ 离子注入于衬底中,注入剂量为 $7 \times 10^{11}\text{cm}^{-2}$,后用 160keV 的 Si⁺ 离子注入,其注入剂量为 $6.4 \times 10^{12}\text{cm}^{-2}$ 。接着将部分样品在 980℃ 下快速退火 3.6s,其余的在 700℃ 下退火 20min。最后将样品做成 Al 肖特基势垒。单纯注 Si 样品的制作过程为用 160keV Si⁺ 离子注入于衬底中,剂量为 $4.6 \times 10^{12}\text{cm}^{-2}$,在 790℃ 下退火 16min,然后也做成肖特基势垒。经稳态高频 C-V 分析得知样品中的浅杂质浓度约为 $8 \times 10^{16} - 10 \times 10^{16}\text{cm}^{-3}$ 。

3.1 Be-Si 共注入 LEC 半绝缘 GaAs 中的陷阱

在反向偏压 V_R 为 -1V,脉冲高度为 1V 和脉冲宽度为 1ms 的条件下,在 700℃ 下退火 20min 的 Be-Si 共注样品的 DLTS 谱如图 2 所示,为了便于比较,将单纯注 Si 样品的谱线也绘于图中(见虚线)。Be-Si 共注样品的谱线中包含有 E_{01} , E_{02} , E_{03} 和 E_{04} 等四个电子陷阱的 DLTS 峰以及包含有 H_{01} , H_{02} 和 H_{03} 等三个空穴(少子)陷阱的峰。详细观察发现 H_{03} 实际上是由能级相近的两个缺陷 H_{03} 和 H_{03}' 组成的。这些陷阱在禁带中的能级位置、载流子热发射率与温度的关系、浓度以及俘获截面等参数示于表 1。其中俘获截面数据是利用 DLTS 峰高与填充脉冲宽度的关系直接测量的结果。经 980℃ 快速退火 3.6s 的样品的 DLTS 谱和上述结果不大相同,虽然它也具有 E_{01} , E_{02} , E_{04} , H_{01} 和 H_{03} 等缺陷的 DLTS 峰,但是不具有 H_{02} 和 E_{03} 的 DLTS 峰。在单纯注 Si 的样品中,明显存在 E_{02} 和 E_{04} 对应的 DLTS 峰,但是不存在 H_{01} , H_{02} 和 H_{03} 等少子陷阱的 DLTS 峰。

3.2 少子陷阱 H_{03} 的特性

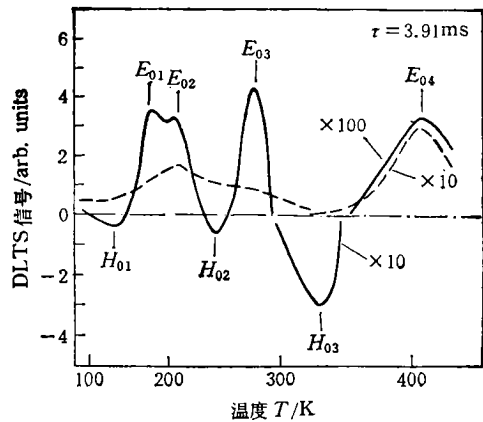


图 2 在 700℃ 下退火 20min Be-Si 共注 LEC SI GaAs 的 DLTS 谱,虚线表示单纯注 Si LEC SI GaAs 的谱

表 1 Be-Si 共注 LEC 半绝缘 GaAs 缺陷的电学性质

缺陷名称	表观激活能 /eV	载流子热发射率/ s^{-1}	电子俘获截面 / cm^2	缺陷浓度 / cm^{-3}
E_{01}	0.298	$e_n = 1.6 \times 10^6 T^2 \exp(-0.298 eV/kT)$	1.5×10^{-18}	1.5×10^{14}
E_{02}	0.341	$e_n = 1.2 \times 10^6 T^2 \exp(-0.341 eV/kT)$	1.5×10^{-18}	1.5×10^{14}
E_{03}	0.555	$e_n = 5.1 \times 10^7 T^2 \exp(-0.555 eV/kT)$	8.6×10^{-19}	5.2×10^{14}
E_{04}	0.821	—	$10^{17} \exp\left(-\frac{0.119 eV}{kT}\right)$	1.2×10^{14}
H_{01}	—	—	—	—
H_{02}	—	—	—	—
H'_{03}	0.542	$c_p = 1.9 \times 10^6 T^2 \exp(-0.542 eV/kT)$	—	$\sim 10^{10}$
H''_{03}	0.573	$c_p = 1.7 \times 10^6 T^2 \exp(-0.573 eV/kT)$	—	$\sim 10^{10}$

图 3 示出 H_{03} 缺陷的 DLTS 峰随温度扫描率窗(即取样时间 t_1 和 t_2)的变化。这个变化包含两个方面:随着取样时间的缩短,峰的位置(峰温)向高温方向移动;同时,在比值 t_1/t_2 不变的情况下,峰的高度随率窗的变快而迅

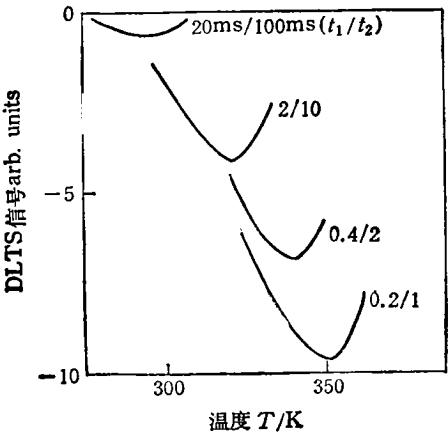


图 3 Be-Si 共注 LEC Si GaAs 少子陷阱 H_{03} 的 DLTS 峰与率窗的关系, $V_R = -1V, V_p = 1V, t_p = 1ms$

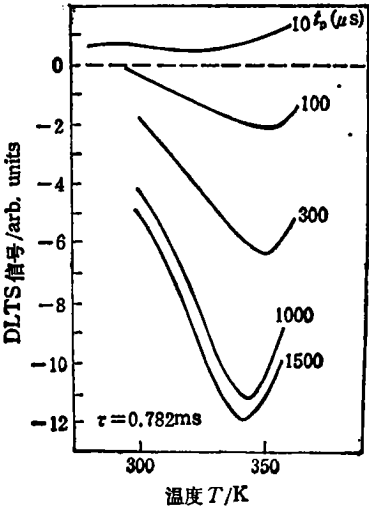


图 4 Be-Si 共注 LEC Si GaAs 少子陷阱 H_{03} 的 DLTS 峰高度与脉冲宽度 t_p 的关系, $V_R = -1V, V_p = 1V, \tau = 0.782ms$

速增高。如图所示,在 $t_1/t_2 = 20ms/100ms$ 时,峰温为 295K,峰高为 0.7 (任意单位),在 t_1/t_2 变为 0.2ms/1ms 时,峰温为 349K,峰高为 9.6 (arb. units),在这个过程中峰的高度增加了 13.7 倍。可以设想如果率窗变得比图中所示的最慢的率窗还要慢,则峰温将低于 295K,而且峰的高度将随温度降低而趋于零。

图 4 示出在率窗 $\tau = 0.782ms$ 时少子陷阱 H_{03} 的 DLTS 峰高度随脉冲宽度 t_p 的变化。由图可见,当脉冲宽度小于 10 μs 时,很难看出样品中会有少子陷阱 H_{03} 的存在,因为此时此处的信号均是正的。还可以看到,当脉冲宽度大于 1ms 时, H_{03} 的 DLTS 峰高还远未达到饱和状态。可以设想对于比较慢的率窗, H_{03} 缺陷将更难于为脉冲期间的少子所饱和和填充。

图3的实验结果表明空穴(少子)陷阱 H_{03} 的电容瞬态的初值强烈地依赖于温度。在这种情况下, 峰温对应的电容瞬态的时间常数 τ 不等于 $(t_2 - t_1)/\ln \frac{t_2}{t_1}$, 也就是说瞬态的时间常数不能用不同率窗下的温度扫描确定, 传统的 DLTS 测量方法不能适用于这种情况。如果在少子陷阱的 DLTS 峰附近没有其它峰存在, 则可以用 Lee 等^[12]提出的 DLTS 测量方法解决上述问题, 测定陷阱的少子表观激活能。但是仔细观察发现 H_{03} 不是单一缺陷, 而是两个能级相近的缺陷 H'_{03} 和 H''_{03} 组成的。对于这样两个具有电容瞬态初值强烈依赖于温度的缺陷, 是很难用 DLTS 方法测定它们的能级位置的。在这里, 我们用恒温电容瞬态技术测量 H'_{03} 和 H''_{03} 。图5示出这种测量的一典型实例, 即让样品的温度恒定在 367.5K 处, 测量电容瞬态, 瞬态中包含着 H'_{03} 的快态和 H''_{03} 的慢态, 当时间 $t \rightarrow \infty$ 时, 快态早已结束, 只余下慢态。在 $t \rightarrow \infty$ 时, 电容瞬态的对数曲线的斜率的倒数即是 H'_{03} 发射空穴电容瞬态的时间常数 τ'' , $\tau'' = 0.27\text{ms}$ 。从电容瞬态中减去 H'_{03} 的分量, 即可得到 H''_{03} 的分量, 并从中得到它的空穴热发射时间常数 $\tau' = 0.10\text{ms}$ 。类似于这种测量步骤, 可以测出其它温度的热发射时间常数。从 324 至 378K 的温度范围内, 所测 H'_{03} 和 H''_{03} 的空穴热发射时间常数作为温度的函数示于图6。从这些测量数据进一步得到 H'_{03} 和 H''_{03} 的空穴表观激活能分别为 0.54 和 0.57eV。

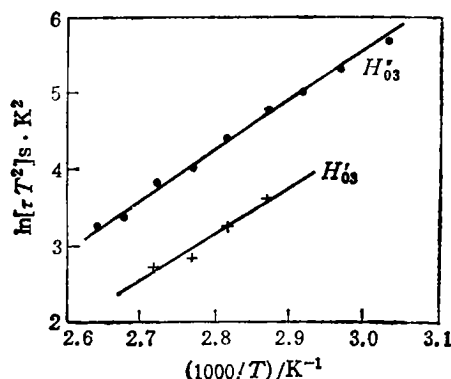
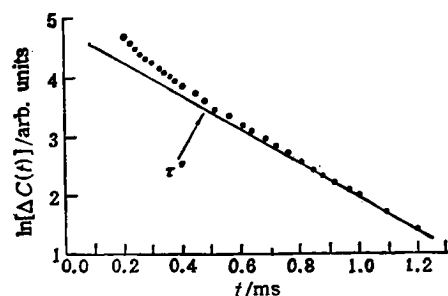


图5 Be-Si 共注 LEC Si GaAs 空穴陷阱 H'_{03} 和 H''_{03} 的电容瞬态, $T = 367.5\text{K}$, $\tau' = 0.10\text{ms}$, $\tau'' = 0.27\text{ms}$ 图6 H'_{03} 和 H''_{03} 的空穴热发射率与温度的关系, 叉号代表 H'_{03} , 实心圆代表 H''_{03}

4 讨 论

Meijer 等^[9]和傅等^[10]曾经注意到半导体中的少子陷阱问题, 并合理地解释了为什么在多子脉冲下会有少子 DLTS 峰出现的物理现象, 但是他们未对有关问题作进一步研究。本文从理论和实验两个方面较系统地研究了少子陷阱的有关问题。第二节的理论研究指出少数载流子填充深中心的主要问题是, 少数载流子浓度非常低, 在有限宽度的脉冲期间, 这种载流子难于对陷阱作饱和填充。这种填充的不饱和性将使半导体材料的特征参数、半导体中的多子浓度、陷阱所在处的电位势、陷阱对载流子的俘获截面以及温度等直接影响陷阱对少子的俘获过程, 以及相应的电容(或电流或电压)瞬态或 DLTS 信号。这一理论研究对于用实验研究与少子陷阱有关的复杂的物理过程是有益的和必要的。

图 4 示出 Be-Si 共注 LEC 半绝缘 GaAs 空穴陷阱 H'_{03} 和 H''_{03} 难于在脉冲期间为空穴饱和填充。造成这种结果有两种原因: 1) 在脉冲期间, 能为少子填充的陷阱处于金属/半导体接触的空间电荷区中, 即处在图 1 所示的 a_0 与 a_s 的范围内, 在这一区域内, 空穴浓度随着电位势的升高而指数地增大, 相应地空穴俘获率也随着电位势指数地增加, 结果致使陷阱的空穴俘获过程为许多不同时间常数的指数时间函数的迭加, 时间常数长的部分就不易被饱和填充; 2) 空穴是少子, 其浓度很小, 整个区域的陷阱的空穴填充过程都很慢, 如果温度降低, 填充过程会变得更慢。

在相同的取样时间比, 即 t_2/t_1 等于常数的情况下, H_{03} 缺陷的 DLTS 峰高度随着峰温的升高而迅速增高 (见图 3)。造成这种结果可能有如下三种原因, 1) 方程式(6)中 $c_p\tau_c$ 是温度的函数; 2) 在相同的脉冲宽度下, H_{03} 缺陷不为空穴饱和填充, 而空穴浓度随温度指数地增大, 相应地被空穴填充的缺陷数目随温度升高迅速地增加; 3) 在 H_{03} 不为空穴饱和填充的情况下, 如果缺陷的空穴俘获截面随温度升高而迅速增大, 则也可以造成被空穴填充的缺陷数目随温度迅速增加。在 300K 温度时, GaAs 的禁带宽度为 1.424eV, 以及第二节的实验结果给出 H'_{03} 和 H''_{03} 的空穴表现激活能分别为 0.54 和 0.57eV, 这表明 H'_{03} 和 H''_{03} 的能级位置离 GaAs 的禁带中央相当远, 应该有 $c_p \gg c_n$, 以及 $c_p\tau_c \approx 1$ 。这就是说对于 H'_{03} 和 H''_{03} 来说, 原因1)是不存在的, 原因2)肯定是存在的, 且是主要原因, 而原因3)是否存在, 现在不得而知, 是个需要进一步研究的问题。

Cho 等的工作^[1]认为在单纯注 Be 的 LEC 半绝缘 GaAs 中未曾观察到 H'_{03} 和 H''_{03} 之类的缺陷。在我们的工作中, 也未在单纯注 Si 的 LEC 半绝缘 GaAs 样品中观测到 H'_{03} 和 H''_{03} 缺陷。这就意味着空穴陷阱 H'_{03} 和 H''_{03} 是 Be-Si 共注 LEC 半绝缘 GaAs 所特有的。关于这两缺陷的起源、微观结构和如何对它们进行退火仍然是个有趣的重要的研究课题。

5 结 论

我们的理论研究指出, 在宽禁带半导体中, 少子陷阱的主要问题是, 在有限宽度的脉冲作用下, 陷阱难于为少子饱和填充 (即少子填充的不饱和性)。这种不饱和性导致少子热发射电容 (或电流或电压) 瞬态初值强烈地依赖于半导体材料的特征参数 (E_g, N_v, N_c), 多数载流子浓度、电位势 $\phi(x)$, 少子俘获截面以及样品的温度, 并且使少子陷阱的 DLTS 信号变得十分复杂以及使传统的 DLTS 方法失效。我们发现和观测了 Be-Si 共注 LEC 半绝缘 GaAs 中的少子陷阱 H'_{03} 和 H''_{03} , 它们的 DLTS 信号是非常复杂的。我们用恒温电容瞬态技术确定了两缺陷的空穴表现激活能分别为 0.54 和 0.57eV, 并且认为存在于 GaAs 中的这两缺陷是 Be-Si 共注引起的。

- [1] P. Donnelly, W.T. Lindley, C.E. Hurwitz, *Appl. Phys. Lett.*, **27**(1975), 41.
- [2] T.R. Jervis, D.W. Woodard, and L.F. Eastman, *Electron. Lett.*, **15**(1979), 619.
- [3] J.L. Tandon, N.A. Nicolet, and F.H. Eisen, *Appl. Phys. Lett.*, **34**(1979), 165.
- [4] S.I. Kwun, W.G. Spitzer, and C.L. Anderson, H.L. Dunlap, and K.V. Vaidyanathan, *J. Appl. Phys.*, **50**(1979), 6873.

- [5] D.W.E. Allsop and A.R. Peaker, *Solid-St. Electron*, **29**(1986), 467.
- [6] M.V. Rao, P.E. Thompson, H.B. Dietrich, and D.S. Simons, *J. Appl. Phys.*, **67**(1990), 6165.
- [7] A. Kitagawa, A. Usami, T. Wada, and Y. Tokuda, *J. Appl. Phys.*, **63**(1988), 414.
- [8] H.Y. Cho, E.K. Kim, and S.K. Min, *J. Appl. Phys.*, **72**(1991), 661.
- [9] E. Meijer, L.A. Ledebro, and Z.G. Wang, *Solid-St. Commun.*, **46**(1983), 255.
- [10] 傅春寅、鲁永令、曾树荣, *物理学报*, **34**(1985), 1559.
- [11] E. H. Rhoderick, and R.H. Williams, *Metal-Semiconductor Contact second Edition* (Clarenton Press, Oxford, 1988) PP. 163—167.
- [12] W.L. Lee and J.M. Borrego, *J. Appl. Phys.*, **63**(1988), 5367.

PROPERTIES OF MINORITY CARRIER TRAPS AND THE HOLE TRAPS IN SEMI-INSULATING LEC GaAs AFTER Si-AND Be-COIMPLANTATION

CHEN KAI-MAO JIN SI-XUAN

(Department of Physics, Peking University, Beijing 100871)

QIU SU-JUAN

(13th Research Institute of Ministry of Electronics Industry, Shijiazhuang 050051)

(Received 15 October 1993)

ABSTRACT

The deep levels have been investigated by the deep level transient spectroscopy (DLTS) technique in Si- and Be-coimplanted undoped semi-insulating LEC GaAs. The four electron traps, $E_{01}(0.298)$, $E_{02}(0.341)$, $E_{03}(0.555)$, and $E_{04}(0.821)$, and two hole traps, $H_{03}(0.54)$ and $H'_{03}(0.57)$, were observed by majority carrier pulse DLTS measurement. The DLTS signals of the two hole (minority carrier) traps possess several interesting properties, for example, it is very difficult to make the heights of the DLTS peaks of them reach their maxima by broadening the pulse width, and the heights of the peaks depend strongly on the temperature of the samples. These phenomena can be successfully explained by the theory of the capture and thermal emission of the minority carrier at the trap. It is impossible to measure the energy levels of such two traps using the traditional DLTS technique, therefore, the hole apparent activation energies were measured to be 0.54 and 0.57 eV by the constant temperature capacitance transient technique, respectively. The H'_{03} and H''_{03} are newly observed defects which relate to the Si- and Be-coimplantation in semi-insulating LEC GaAs.

PACC: 7155; 7340N