

载流子穿越具有双 Mott 势垒的 半导体晶界的输运行为

郑振华 缪容之 陈 羽

(宁波大学物理系, 宁波 315211)

(1995 年 8 月 9 日收到)

讨论了穿越具有双 Mott 势垒的 n 型半导体晶界的载流子输运行为, 重点分析了受主缺陷扩散层对偏压下晶界势垒、直流电流、非线性特性和电容等的作用. 晶界势垒在偏压下的变化决定了载流子穿越晶界的输运行为分为预击穿、击穿和回复三个区域. 受主缺陷扩散层的存在改变了势垒及其偏压关系, 使电流的变化和非线性特性大幅度加强, 很大程度上决定了预击穿区的漏电流; 同时也使势垒加宽而减小高频电容, 但使直流偏压下因晶界电荷的共振响应而产生的电容峰值增大.

PACC: 7340L; 7220H; 8140R

1 引 言

多晶半导体晶界的缺陷通常是载流子(多子)的陷阱, 其对载流子的俘获使晶界附近形成空间净电荷区即导致了晶界附近的势垒形成. 晶界势垒决定了多晶半导体的电学性能和很多特有现象^[1], 这些现象对诸如 ZnO 变阻器^[1]、边界层电容器^[1-3]、正电阻温度系数(PTCR)电阻器^[1-4]和多晶硅器件^[1,5]等有很重要意义.

多晶半导体的晶界的基本特性如晶界的原子结构和电子结构及其对电学性能的作用已有很多研究^[1-12], 但多是建立在晶界的双肖特基型势垒的假设上的. 对诸如 BaTiO_3 和 ZnO 半导体陶瓷等, 制备条件的特殊性使得可以在晶界附近形成载流子浓度比晶粒内部低得多的薄层, 即所谓的晶粒表面的受主缺陷扩散层^[1-4], 这一低载流子薄层的存在使得晶界附近的电子结构明显区别于双肖特基型势垒, 为此, 我们最近提出了 n 型半导体同时存在晶界受主态和晶粒表面的受主缺陷扩散层的晶界势垒模型^[3], 或称为晶界的双 Mott 势垒模型, 这一模型解决了 BaTiO_3 陶瓷半导体的 PTC 特性向边界层电容效应过渡^[3]、陶瓷半导体的电压效应的定量计算^[11]和边界层电容器的设计^[12]等问题.

本文由 n 型半导体的存在受主缺陷扩散层的双 Mott 势垒模型讨论载流子穿越半导体晶界的载流子输运行为.

本文的结果对提高 ZnO 变阻器等器件的性能有重要意义.

2 晶界的双 Mott 势垒模型^[3]

对于 n 型半导体陶瓷, 晶界附近的势垒的形成依赖于晶界受主态及其对浅能级施主

的俘获而形成的空间电荷区,亦即需要同时具备存在晶界受主态和晶粒的半导体化两个因素.

晶界受主态的可能来源包括晶界因晶格失配引起的无序结构及其引入的悬挂键等缺陷、在晶界掺入的施主杂质与其他杂质及对晶粒组分的偏离等.虽然晶界的非周期结构、缺陷及杂质必定引入晶界电子态,但对像还原气氛烧结的半导体等,这些电子态的能级并不明显低于晶粒的费密能级而不能起到受主态的作用.晶界电子态的这种性质正是还原气氛烧结的 BaTiO_3 半导体陶瓷没有或只有很弱 PTC 特性的原因^[3].

当晶界存在过剩负离子及其作用而产生的正离子缺少和正离子的深氧化态等受主缺陷时,晶界电子态的能级明显低于晶粒的费密能级,从而具有显著的受主态特性.晶界的受主缺陷的形成主要是通过氧化气氛烧结、冷却或热处理,这表明对 n 型半导体陶瓷通过还原气氛烧结实现半导体化时不易形成明显的晶界受主态而难以形成晶界势垒,因此,通常施主掺杂是这类半导体进行半导体化的途径.晶界受主缺陷的数量和氧化程度决定了晶界受主态的密度和能级深度,晶界的氧化程度越高受主缺陷浓度越高,晶界受主态的能级就越低、态密度也越大.

由于晶界比晶粒的原子结构松散易于离子扩散,在制备过程中受主缺陷首先是在晶界产生的,在进一步的过程(氧化气氛烧结、冷却或热处理)中将向晶粒内部扩散,在晶粒表面形成受主缺陷扩散层,扩散层中的受主缺陷以正离子缺位或填隙负离子的形式出现,如 BaTiO_3 半导体陶瓷中形成的是钡缺位为主的受主缺陷扩散层.扩散层中的受主缺陷浓度由晶界的受主缺陷浓度或制备过程的气氛决定,气氛的氧化程度高则受主缺陷浓度高;而扩散层的厚度由缺陷的扩散速度和扩散时间决定,扩散速度越高和扩散时间越长则厚度越大,如过程足够长扩散可深入晶粒中心使整个陶瓷变成绝缘体^[2-4].

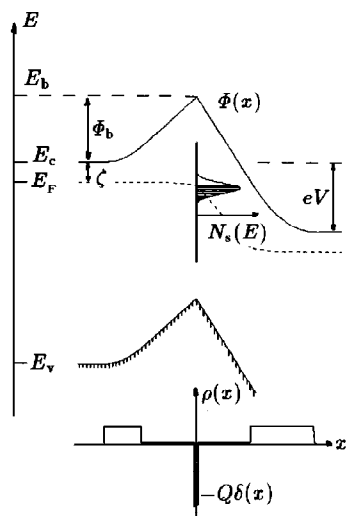


图1 n 型半导体晶界的双 Mott 势垒模型 图中给出偏压下的能带图、电荷分布和晶界受主态分布

因晶粒表面的受主缺陷扩散层是受主缺陷从晶界向晶粒扩散时形成的,所以晶界的各种受主缺陷浓度必定比受主缺陷扩散层中的受主缺陷浓度高,这表明晶界受主态总是存在的,并且其能级低于晶粒表面的受主缺陷扩散层的能级.

受主缺陷扩散层中的受主缺陷抵消了大部分载流电子,使扩散层中的载流子浓度降低而成为低载流子浓度层,在形成晶界势垒时,扩散层中的少量载流子也将被俘获而形成密度远低于非扩散层中电荷密度的净电荷层.

因此,可以认为,晶界势垒是由晶界受主态、受主缺陷扩散层和载流子耗尽层组成并决定的,如把受主缺陷扩散层中载流子浓度作常数处理,则得到这种电子结构的理想晶界势垒模型——双 Mott 势垒模型,该模型的电荷分布和势垒的示意图如图 1 所示.

3 直流性能

因晶界受主态对载流子的俘获导致晶界附近形成的空间电荷区,使得晶界势垒得以建立并导致能带的弯曲.晶界势垒 $\Phi(x)$ 的几何关系可由泊松方程求得

$$\frac{d^2 \Phi(x)}{dx^2} = \frac{\rho(x)}{\epsilon_0 \epsilon_r}. \quad (1)$$

如假定晶界为理想的平面结构且晶粒内部的载流子分布均匀,则(1)式退化为一维问题.对双 Mott 势垒模型,电荷密度 $\rho(x)$ 分布如图 1 所示,其表达式为

$$\rho(x) = eN_D [\Theta(l_B + l_L + x) - \Theta(l_B + x) + \Theta(l_B - x) - \Theta(l_B + l_R - x)] + eN_B [\Theta(l_B + x) - \Theta(l_B - x)] - Q\delta(x), \quad (2)$$

式中 Q 为晶界电荷密度, N_D 为晶粒内部的载流子浓度, N_B 为晶粒表面的受主缺陷扩散层的载流子浓度, l_L 和 l_R 分别为晶界左边和右边晶粒内部的载流子耗尽层厚度, l_B 为晶粒表面的受主缺陷扩散层的厚度, ϵ_r 为相对介电常数, ϵ_0 为真空介电率, e 为电子电荷. $\Theta(x)$ 为阶跃函数, $\delta(x)$ 为 Dirac δ 函数.为简单起见,这里我们认为晶界两边的受主缺陷扩散层的厚度相同,并因晶粒表面的受主缺陷扩散层中的载流子浓度远比晶粒内部低,下面讨论时我们忽略 N_B 的影响.

3.1 晶界势垒的直流偏压关系

利用边界条件

$$\Phi(-\infty) = \Phi(-l_B - l_L) = 0, \quad \Phi(\infty) = \Phi(l_B + l_R) = -eV, \quad (3)$$

则在耗尽层近似下,(1)式的解为

$$\Phi(x) = \begin{cases} \gamma(l_B + l_L + x)^2 & (-(l_B + l_L) \leq x < -l_B), \\ \gamma[l_L^2 + 2l_L(l_B + x)] & (-l_B \leq x < 0), \\ \gamma[l_R^2 + 2l_R(l_B - x)] - eV & (0 \leq x < l_B), \\ \gamma(l_B + l_R - x)^2 - eV & (l_B \leq x \leq l_B + l_R), \end{cases} \quad (4)$$

其中 $\gamma = e^2 N_D / 2 \epsilon_0 \epsilon_r$, 由此再利用 $x=0$ 处的连续性条件

$$\Phi(0^-) = \Phi(0^+) = \Phi_b \quad (5)$$

及电中性条件

$$eN_D(l_R + l_L) = Q, \quad (6)$$

可解得晶界两边的载流子耗尽层厚度和晶界势垒的高度 Φ_b 的偏压关系分别为

$$l_L = \frac{Q}{2eN_D} \left(1 - \frac{V}{V_c} \right), \quad l_R = \frac{Q}{2eN_D} \left(1 + \frac{V}{V_c} \right) \quad (7)$$

和

$$\Phi_b = \frac{Q^2}{8\epsilon_0 \epsilon_r N_D} \left(1 - \frac{V}{V_c} \right)^2 + \frac{eQl_B}{2\epsilon_0 \epsilon_r} \left(1 - \frac{V}{V_c} \right). \quad (8)$$

晶界势垒的高度 Φ_b 由晶粒内部的载流子的耗尽层上的部分(上式等号右边第一项)及这

些电荷在晶粒表面的受主缺陷扩散层上的电场引起的部分(上式等号右边第二项)组成的,这两部分与晶界电荷的密度 Q 和外加偏压 V 有不同的关系,但都在外加偏压趋于临界值 V_c 时趋于零. 临界值 V_c 为

$$V_c = \frac{Q^2}{2\epsilon_0\epsilon_r N_D} + \frac{eQl_B}{\epsilon_0\epsilon_r}. \quad (9)$$

界面电荷 $Q(V)$ 由相对于价带固定的晶界受主态 $N_s(E)$ 的载流子的填充情况决定,其值由晶界的准费密能级 E_{Fi} 以下的晶界受主态的载流子的填充部分求和得到:

$$Q = e \int_{-\infty}^{E_{Fi}} dE N_s(E) f(E), \quad (10)$$

其中

$$f(E) = \left[1 + \exp\left(\frac{E - E_{Fi}}{kT}\right) \right]^{-1} \quad (11)$$

为被晶界受主态俘获的电荷的费密分布函数. 式中 E_{Fi} 为存在外加偏压时晶界的准费密能级,它相对于晶粒内部的费密能级向下移动了 $\Delta\xi$,

$$\Delta\xi = E_F - E_{Fi} = kT \ln \frac{2}{1 + \exp(-eV/kT)}, \quad (12)$$

这一移动由晶界电荷的俘获和发射的细致平衡条件决定.

3.2 直流电流

外加偏压使晶界势垒高度下降的同时也使势垒变得不对称,这使得存在流过晶界的净电流. 下面我们用电热发射模型对此作分析^[8-10].

电子直接越过势垒 Φ_b 的发射电流与势垒高度(以 kT 为单位)负值的指数成正比,故负偏向的电流因外加电压而出现因子 $\exp(-eV/kT)$, 因此,直接越过势垒的净电流为

$$J = \left[A \exp\left(-\frac{\Phi_b + \zeta}{kT}\right) \right] \left[1 - \exp\left(-\frac{eV}{kT}\right) \right], \quad (13)$$

式中 $A = A^* T^2$, A^* 为 Richardson 常数, ζ 为导带底和晶粒的费密能级 E_F 的能量差, k 为 Boltzmann 常数, T 为绝对温度.

除了上述的主要电流外,还需考虑被晶界受主态俘获电流和晶界电荷的发射电流. 晶界受主态的空能态的俘获电流为

$$\begin{aligned} dJ_c &= dJ_{cR} + dJ_{cL} \\ &= \left[A \exp\left(-\frac{\Phi_b + \zeta}{kT}\right) \right] \left[1 + \exp\left(-\frac{eV}{kT}\right) \right] c(E) N_s(E) [1 - f(E)] dE, \end{aligned} \quad (14)$$

而晶界该能级的电荷的发射电流为

$$\begin{aligned} dJ_e &= \left[\exp\left(-\frac{E_b - E}{kT}\right) \right] b(E) N_s(E) f(E) dE \\ &= \exp\left(-\frac{\Phi_b + \zeta + \Delta\xi}{kT}\right) b(E) N_s(E) [1 - f(E)] dE, \end{aligned} \quad (15)$$

其中俘获截面 $c(E)$ 和电荷发射率 $b(E)$ 近似为常数. 对外加偏压为直流的情况, 晶界受主态中各能级电荷分布是稳定的, 因此单个能级的流入和流出晶界的电荷相等, 即流入和

流出晶界的电流相等,故此,当外加偏压为零时可得 $b=2Ac$,外加偏压不为零时可得晶界和晶粒内部的准费密能级的差值 $\Delta\epsilon$,结果即为(12)式。

由晶界左边或右边对上述电流考虑方向求和,可得流过晶界的外部直流电流,此处计算晶界右边的电流

$$J_{dc} = J - J_{cR} + J_e/2$$
$$= A(1 - C^*/2) \left[\exp\left(-\frac{\Phi_b + \zeta}{kT}\right) \right] \left[1 - \exp\left(-\frac{eV}{kT}\right) \right], \tag{16}$$

其中总俘获概率为

$$C^* = C \int dE N_s(E) [1 - f(E)]. \tag{17}$$

因子 $(1 - C^*/2)$ 是由于俘获和发射的不对称引起的。

3.3 直流性能的计算结果与讨论

这里给出上述势垒高度和电流的偏压关系的数值计算结果并作讨论.用于计算的晶界受主态的分布为高斯型,其中心位于 E_s ,标准偏差为 ΔE ,总密度为 N_t ,其他有关晶界的微观参数及部分结果列于表 1。

表 1 图 2—6 所用的晶界的微观参数及部分结果

曲线 标记	$Q(0) \times 10^{15} e$		$N_t \times 10^{15}/m^{-2}$		$l_B \times 10^{-6}/m$		$\Phi_b(0)/eV$	
	(a)	(b)	(a)	(b)	(a)	(b)	(a)	(b)
○	7.47	10.0	7.50	17.4	0	0	0.47	0.89
△	5.60	6.11	7.50	12.0	0.1	0.1	0.82	0.93
+	3.94	3.42	7.50	7.70	0.2	0.25	0.92	0.95
×	2.99	1.85	7.50	4.30	0.3	0.5	0.97	0.96
□	2.39		7.50		0.4		1.01	

$N_D = 3 \times 10^{22} m^{-3}$, $N_B = 0$, $\epsilon_r = 9$, $A^* = 3 \times 10^5 A \cdot m^{-2} \cdot K^{-2}$, $T = 300 K$, $E_b - E_s = 1.0 eV$, $\zeta = 0.05 eV$, $\Delta E = 0.16 eV$, $c = 2 \times 10^{-17} m^{-2}$, 禁带宽度 $E_g = 3.2 eV$, 晶粒尺寸 $D = 15 \mu m$, 晶粒电阻率 $\rho_0 = 0.5 \Omega \cdot cm$.

因晶界受主态的分布相对于 $x=0$ 处的价带是固定的,当外加偏压加在晶界时,晶界势垒高度 Φ_b 减小,但由(8)式可见,在晶界受主态未被填满时,这一减小被晶界电荷和临界值 V_c 的增加所部分补偿,在晶界受主态的填充率较低时这种补偿特别明显,这时势垒高度基本被钉住;而在晶界受主态填满的区域,势垒高度很快下降.结果见图 2。

受主缺陷扩散层对晶界势垒高度 Φ_b 有很大影响,受主缺陷扩散层的存在可以使得晶界受主态密度较低或晶粒的施主密度很大时仍具有较大的晶界势垒高度,相应结果及其偏压关系如图 2(a)所示,这种作用对提高晶界势垒有关的器件如 **ZnO** 变阻器、边界层电容器和 **PTC** 电阻器等性能有重要作用^[3].同样在合适的晶界受主态时,受主缺陷扩散层的存在可以使得无偏压时具有相同势垒高度但减小临界值 V_c ,从而增大晶界势垒高度在偏压时下降的强度,数值结果如图 2(b)所示.受主缺陷扩散层的存在改变了势垒高度和偏压的关系,出现了势垒高度 Φ_b 和偏压 V 关系的线性项,使没有受主缺陷扩散层

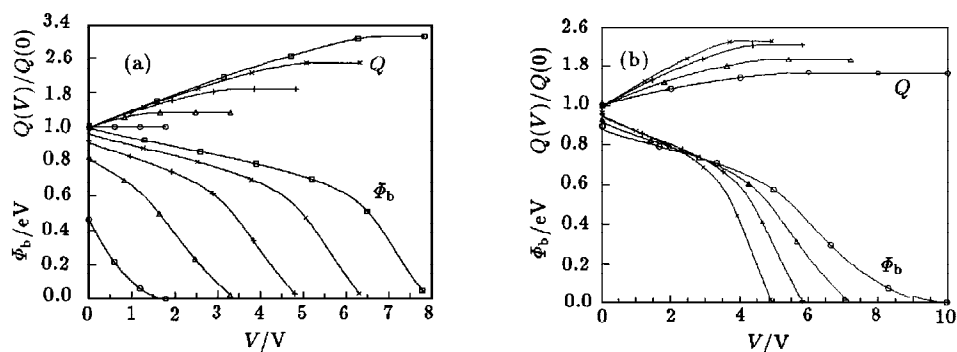


图2 势垒高度和加在晶界的直流偏压的关系

时 $\Phi_b \sim (V_c - V)^2$, 变为受主缺陷扩散层的厚度较大时的 $\Phi_b \sim (V_c - V)$, 这一关系在晶界受主态填满时尤为明显. 有关结果示于图2.

由(15)式可见, 流过晶界的直流电流不但和势垒高度 $\Phi_b(V)$ 有强烈的依赖关系, 还与因子 $[1 - \exp(-eV/kT)]$ 和 $(1 - C^*/2)$ 有关, 因此电流在偏压下的变化关系分为三个区域: 低外加偏压 ($eV \ll kT$) 的势垒高度近似为常数时电流和偏压的关系是准欧姆的, 而在略高外加偏压时势垒高度减小受因子 $[1 - \exp(-eV/kT)]$ 和 $(1 - C^*/2)$ 的抵制, 电流和偏压的关系是亚欧姆的; 因受主缺陷扩散层的存在或晶界受主态分布^[10]不同时势垒高度减小有明显区别, 故这一区域的电流(漏电流)很大程度上由这两个因素决定. 当偏压增大使晶界受主态填满时势垒高度迅速下降, 电流增加几个数量级, 这就是击穿区域; 击穿区域的电流变化由势垒高度随外加偏压的变化情况决定, 受主缺陷扩散层的存在加快了偏压下势垒的下降, 故使电流变化大幅度增强. 当很大的偏压使晶界势垒很小或消失时, 又进入由晶粒有限电导率控制的欧姆区域. 电流的这一巨大变化示于图3.

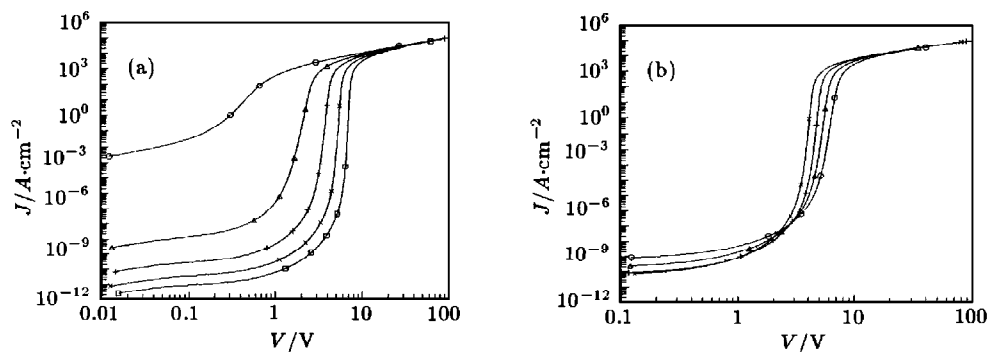


图3 直流电流和加在晶粒的直流偏压的关系

晶界的电击穿行为可由非线性系数 $\alpha = d(\log J)/d(\log V)$ 来量度, 所得的结果如图4所示. 在大偏压使晶界受主态填满时势垒高度迅速减小的区域可得到大的非线性系数. 非

线性系数由势垒高度在偏压下降的速度和相应的外加偏压大小决定,因此,势垒高度快速下降处在低偏压区域并不能得到大的非线性系数.受主缺陷扩散层对击穿区的非线性特性有很大的影响,对双肖特基型势垒,偏压在 $V_c/2$ 附近时非线性系数有极大值,极大值约为 $eV_c/2kT$;在存在受主缺陷扩散层时,非线性系数的极大值及其对应的偏压值都增大,当受主缺陷扩散层的厚度较大时,非线性系数的极大值移至 V_c 附近,极大值增至约为 eV_c/kT ,约为相同 V_c 值时的双肖特基型势垒的两倍.对合理的参数非线性系数可高达 70—100.

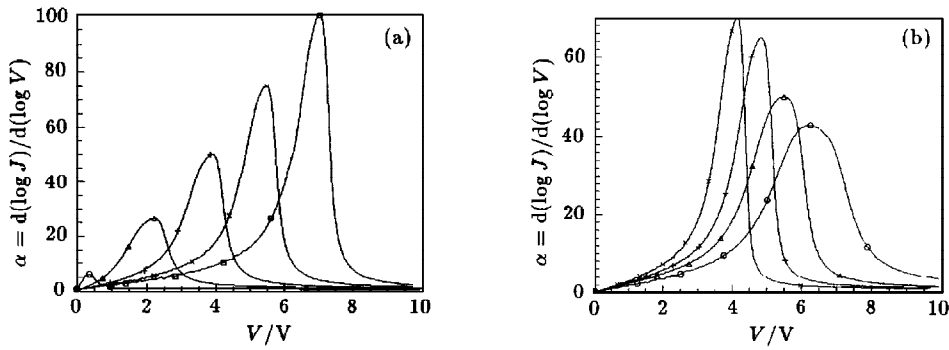


图 4 非线性系数和加在晶粒的直流偏压的关系

4 与时间有关的性能^[10]

当一个由直流部分 V_0 和与时间有关但很小的交流部分组成的偏压

$$V(t) = V_0 + \tilde{V}\exp(i\omega t) \quad (e\tilde{V}/kT \ll 1) \quad (18)$$

加在晶界时,越过半导体晶界的电流变成与时间相关,从而出现与时间相关的晶界受主态俘获和再发射的电流,这也使得晶界电荷和晶粒表面的净电荷层与时间相关.交流小信号电流由越过半导体晶界的电流 J_R 和晶粒表面的电荷层电荷的时间变化引起的电流 dQ_R/dt 两部分组成,这两部分的电流都和晶界电荷的变化有关,为此这里先讨论晶界电荷在(18)式的时间有关的偏压下的变化情况(下面与时间有关的参量都以(18)式相似的形式表示,其中 $\Phi_b(t) = \Phi_{b0} - \tilde{\Phi}_b\exp(i\omega t)$, $E_{Fi}(t) = E_{Fi0} + \tilde{E}_{Fi}\exp(i\omega t)$, $Q(t) = Q_0 + \tilde{Q}\exp(i\omega t)$).

4.1 小交流信号下的晶界电荷和势垒

由(10)式晶界电荷的表达式及(11)式的结果可得

$$\tilde{Q} = C_{i0} \tilde{E}_{Fi}, \quad (19)$$

其中

$$C_{i0} = eN_s(E_{Fi0})/2 + \int_{-\infty}^{E_{Fi0}} dE N_s(E) f(E)[1 - f(E)]/kT,$$

可见晶界电荷的含时部分仅当晶界受主态的空态和占有态相当时才有较大的值.

晶界电荷的含时部分也可由流入和流出晶界的电荷之差来确定,

$$\frac{dQ}{dt} = i\omega \tilde{Q} \exp(i\omega t) = (\tilde{J}_c - \tilde{J}_e) \exp(i\omega t) = \tilde{J}_1 \exp(i\omega t), \quad (20)$$

流入晶界的净电流

$$\tilde{J}_1 = \frac{AC^*}{kT} \exp\left(-\frac{\Phi_b + \zeta}{kT}\right) \left[1 + \exp\left(-\frac{eV}{kT}\right)\right] \left[\tilde{\Phi}_b - \frac{e\tilde{V}}{1 + \exp(eV/kT)} - \tilde{E}_{Fi}\right]. \quad (21)$$

由(19)–(21)式可求得晶界费密能级的变化为

$$\tilde{E}_{Fi} = \left[\tilde{\Phi}_b - \frac{e\tilde{V}}{1 + \exp(eV/kT)}\right] / (1 + i\omega\tau), \quad (22)$$

其中 τ 为弛豫时间

$$\tau = C_{i0} kT \exp\left(\frac{\Phi_b + \zeta}{kT}\right) / \left[AC^* \left(1 + \exp\left(-\frac{eV}{kT}\right)\right)\right], \quad (23)$$

而晶界电荷可表为

$$\tilde{Q} = C_i(\omega) \left[\tilde{\Phi}_b - \frac{e\tilde{V}}{1 + \exp(eV/kT)}\right], \quad (24)$$

其中晶界电容 $C_i(\omega)$

$$C_i(\omega) = C_{i0} / (1 + i\omega\tau). \quad (25)$$

由(4)式得到 $x=0$ 处的晶界势垒的表达式,并展开成(18)式的形式,可得

$$-\tilde{\Phi}_b = \frac{e\tilde{Q}_L}{C_L} = \frac{e\tilde{Q}_R}{C_R} - e\tilde{V}, \quad (26)$$

其中 $C_L = \epsilon_0 \epsilon_r / (l_B + l_L)$, $C_R = \epsilon_0 \epsilon_r / (l_B + l_R)$. 由 $\tilde{Q} = \tilde{Q}_L + \tilde{Q}_R$ 可得

$$\tilde{\Phi}_b = \frac{C_R + C_i(\omega) / [1 + \exp(eV/kT)]}{C_R + C_L + C_i(\omega)} e\tilde{V}, \quad (27)$$

故晶界电荷的偏压关系为

$$\tilde{Q} = \frac{C_i(\omega) \{C_R - (C_L + C_R) / [1 + \exp(eV/kT)]\}}{C_R + C_L + C_i(\omega)} e\tilde{V}. \quad (28)$$

4.2 小交流信号下的电流

由(26)式可得耗尽层电荷变化引起的位移电流为

$$J_{Rd} = dQ_R/dt = i\omega C_R (e\tilde{V} - \tilde{\Phi}_b) \exp(i\omega t) / e. \quad (29)$$

越过晶界势垒的交流电流由(16)式展开有

$$J_{Rb} = \frac{A}{kT} (1 - C^*/2) \exp\left(-\frac{\Phi_b + \zeta}{kT}\right) \left[1 - \exp\left(-\frac{eV}{kT}\right)\right] \\ \times \left[\tilde{\Phi}_b + \frac{e\tilde{V}}{\exp(eV/kT) - 1} + \frac{\hat{C}\tilde{E}_{Fi}}{2 - C^*}\right] \exp(i\omega t), \quad (30)$$

其中

$$\hat{C} = C \int dE N_s(E) f(E) [1 - f(E)].$$

把(22)和(27)式代入(29)和(30)式即得小交流信号下越过晶界势垒的交流电流和耗

尽层电荷变化引起的位移电流.总交流电流为

$$J = J_{Rd} + J_{Rb} = [\sigma_{dc} + \sigma(\omega) + i\omega C(\omega)] \tilde{V} \exp(i\omega t). \quad (31)$$

上式已把总导纳分为三部分即直流部分的电导率 σ_{dc} , 交流部分的电导率 $\sigma(\omega)$ 和电容 $C(\omega)$, 它们的表达式分别为

$$\sigma_{dc} = \frac{eJ_{dc}}{kT} \left\{ \left(1 + \frac{\hat{C}}{2 - C^*} \right) \frac{C_R + C_{i0}/[1 + \exp(eV/kT)]}{C_R + C_L + C_{i0}} + \frac{1}{\exp(eV/kT) - 1} - \frac{\hat{C}/(2 - C^*)}{1 + \exp(eV/kT)} \right\}, \quad (32)$$

$$\sigma(\omega) = \frac{(\omega\tau)^2}{(C_R + C_L + C_{i0})^2 + [\omega\tau(C_R + C_L)]^2} \frac{eJ_{dc}/kT}{C_R + C_L + C_{i0}} \times \left[(C_R + C_L) \left(C_R - \frac{C_L + C_R}{1 + \exp(eV/kT)} \right) \left(C_{i0} - \frac{\hat{C}(C_R + C_L)}{2 - C^*} \right) \right] + \frac{C_R C_{i0}}{\tau} \left[\frac{C_L + C_R}{1 + \exp(-eV/kT)} - C_L \right], \quad (33)$$

$$C(\omega) = \frac{eJ_{dc}\tau}{kT} \frac{\left(C_R - \frac{C_L + C_R}{1 + \exp(eV/kT)} \right) \left(C_{i0} - \frac{\hat{C}(C_R + C_L)}{2 - C^*} \right)}{(C_R + C_L + C_{i0})^2 + [\omega\tau(C_R + C_L)]^2} + \frac{C_R \left\{ (C_R + C_L + C_{i0}) \left[C_L + \frac{C_{i0}}{1 + \exp(-eV/kT)} \right] + (\omega\tau)^2 C_L (C_R + C_L) \right\}}{(C_R + C_L + C_{i0})^2 + [\omega\tau(C_R + C_L)]^2}, \quad (34)$$

电容在高频时趋于常数 $C_{hf} = C_R C_L / (C_R + C_L)$.

4.3 计算结果和讨论

电容 $C(\omega)$ 与外加直流偏压 V_0 和交流信号频率 ω 的关系如图 5 和图 6 所示. 对一定频率, 电容从无偏压时的高频值 C_{hf} 随直流偏压增大出现一个约增加一至两个数量级的极大值, 这一极大值的成因是晶界电荷的共振响应; 偏压下势垒高度 Φ_b 降低时弛豫时

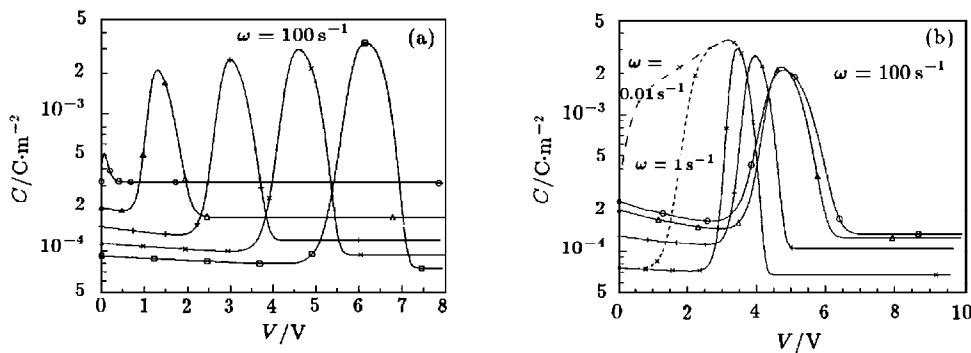


图5 电容和直流偏压的关系

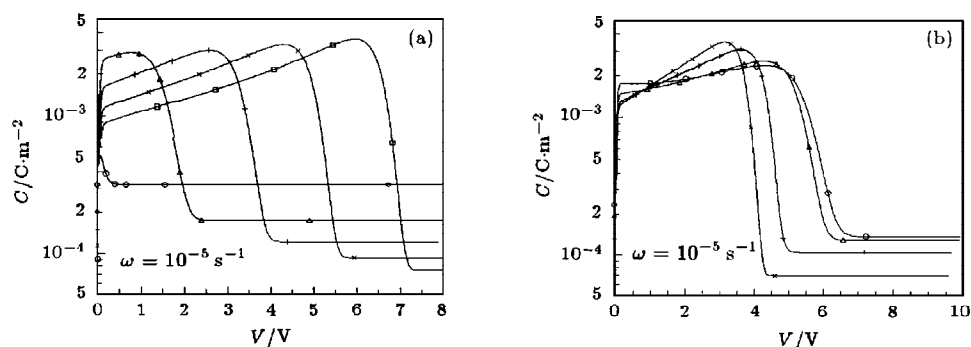


图 6 低频电容和直流偏压的关系

间 τ 很快减小, 当 $\omega\tau \lesssim 1$ 时, 晶界电荷的交换变得跟得上交流信号的变化, 从而使晶界参与交流响应而增大电容; 但当直流偏压很大时晶界受主态逐步填满, 参与交换的电荷减少, 故电容回落直至高频值。

受主缺陷扩散层存在时势垒加宽、势垒层的电容 C_L 和 C_R 减小从而使高频电容 C_{hf} 减小, 但电容的峰值反而增加, 这有两方面原因, 对图 5(a) 的晶界受主态密度不变的情况, 受主缺陷扩散层的存在使得晶界受主态的空态增加, 使晶界参与交流响应的电荷增加而增大电容; 对图 5(b) 晶界受主态密度减小的情况, 受主缺陷扩散层的存在使 C_{j0} 减小, 因 C_{j0} 比 C_L 和 C_R 大, 且在电容的峰值区有 $\omega\tau \ll 1$, 由 (34) 式可认为电容和 C_{j0} 成反比, 故电容的峰值反而增加。

低频电容 $C(0)$ 主要由 C_{j0} 与 C_L 和 C_R 的关系决定, 在很大偏压范围 C_{j0} 大于 C_L 和 C_R , 可认为 $C(0)$ 和 C_{j0} 成反比, 这使 C_{j0} 很小时仍能得到大的 $C(0)$, 且当偏压使得 C_{j0} 减小时电容 $C(0)$ 增大, 直至 C_{j0} 和 C_L 或 C_R 相当时达到极大值; 更大偏压时 C_{j0} 小于 C_L 和 C_R , $C(0)$ 减小直至高频值; 很低偏压时直流电流 σ_{dc} 很小, 因 $C(0)$ 正比于 σ_{dc} , 故也很小并在 $V=0$ 时回到高频值。低频电容的有关关系示于图 6。

电容和交流信号频率的关系具有一般的弛豫特性, 这也是晶界电荷的交换是否跟上交流信号的问题。在直流偏压 V_0 降低势垒高度 Φ_b 和弛豫时间 τ 时, 电容的弛豫频率移向高频, 但当直流偏压很大时电容已经减至高频的值, 因而电容的弛豫现象消失。

当外加直流偏压 V_0 为零时, 电容 $C(\omega) = C_{hf}$, 即没有色散行为, 但实验结果显示这类半导体从低频到高频电容减小达几个数量级。这种明显的色散关系可由不同电阻率的晶粒和晶界在不同频率时的分压关系决定, 故可用低阻的晶粒和高阻的晶界的双层结构模型来解释^[13], 得到结果是电阻率和电容的 Debye 型色散关系。

由 (33) 式可知, 一定偏压时交流电导率 $\sigma(\omega)$ 随交流信号频率而增大, 在 $\omega\tau \gg 1$ 时趋于一个与偏压有关的高频值。而对一定频率, 交流电导率在偏压增大时也出现一个极大值, 这一极大值产生的机理和电容同为晶界的共振响应。在交流信号频率增大时, 交流电导率的极大值明显增大, 极大值对应的偏压提高。

5 结 论

本文详细讨论了穿越具有双 Mott 势垒的 n 型半导体晶界的载流子输运行为, 特别分析了受主缺陷扩散层对偏压下晶界势垒、直流电流、非线性特性和电容等的作用. 载流子输运性能由晶界受主态俘获载流子而形成的晶界势垒决定, 因此, 低压时晶界势垒高度因晶界电荷增加而被钉住时输运行为有准欧姆或亚欧姆关系; 更大偏压使晶界受主态填满时晶界势垒高度迅速下降, 电流增加达几个数量级, 这是击穿区域; 在很大的偏压时, 晶界势垒很小或消失时又进入由晶粒有限电导率控制的欧姆区域.

受主缺陷扩散层的存在, 一方面使晶界受主态密度较低或晶粒的施主密度很大时仍有较大的势垒高度, 这对晶界势垒有关的器件有重要的作用; 另一方面, 改变了势垒高度与偏压的关系, 使无偏压时具有相同势垒高度但减小势垒消失的电压, 从而大幅度增大势垒高度和电流在偏压下的变化.

用非线性系数来量度晶界的电击穿行为, 表明非线性系数在击穿区存在一个峰值, 离开峰值时系数很快减小. 受主缺陷扩散层对非线性特性有很大的影响, 受主缺陷扩散层的存在可使晶界势垒消失的电压相同时的非线性系数增加近一倍. 对合理的参数非线性系数可高达 70—100.

交流信号的电容和电导被晶界电荷在交流信号下响应的弛豫时间所控制. 对一定的频率, 电容和交流电导率都从无偏压时的高频值在偏压增大出现一个因晶界电荷的共振响应而产生的极大值, 受主缺陷扩散层使极大值增大. 对一定偏压时, 电容和交流信号频率的关系具有一般的弛豫特性, 弛豫时间在势垒下降时快速减小; 交流电导率随交流信号频率而增大, 在高频时趋于一个与偏压有关的常数.

本文的结果对提高 ZnO 变阻器等器件的性能有重要意义.

- [1] Ed. G. Harbeke, Polycrystalline Semiconductors, Vol. 57 of Springer Series in Solid-State Science (Springer-Verlag, Berlin, 1985); ed. H. J. Leamy *et al.*, Grain Boundary in Semiconductors (North-Holland, Amsterdam, 1982); ed. L. M. Levinson, Grain Boundary Phenomena in Electronic Ceramics, Advances in Ceramics Vol. 1 (American Ceramic Society, Columbus, OH., 1981).
- [2] J. Daniels and R. Wernicke, *Philips Res. Rept.*, **31**(1976), 544.
- [3] 郑振华、缪容之、陈 羽, 中国科学, **24**(1994), 218.
- [4] R. Wernicke, *Phys. Stat. Sol.*, **47**(1978), 139.
- [5] C. G. McCognial *et al.*, *Phys. Rev.*, **B28**(1983), 5908.
- [6] E. W. Tayler, N. H. Odell and H. Y. Fan, *Phys. Rev.*, **88**(1952), 867.
- [7] R. E. Thomson and D. C. Chadi, *Phys. Rev.*, **B29**(1984), 889.
- [8] R. K. Mueller, *J. Appl. Phys.*, **32**(1961), 635.
- [9] G. E. Pike, *Phys. Rev.*, **B30**(1984), 3274.
- [10] G. Blatter and F. Greuter, *Phys. Rev.*, **B33**(1986), 3952.
- [11] 郑振华、缪容之、陈 羽, 科学通报, **38**(1993), 1846.
- [12] 郑振华、陈 羽、缪容之, 科学通报, **40**(1995), 187.
- [13] C. G. Koops, *Phys. Rev.*, **83**(1951), 121.

CARRIER TRANSPORT THROUGH A SEMICONDUCTOR GRAIN BOUNDARY WITH A DOUBLE MOTT BARRIER

ZHENG ZHEN-HUA MIAO RONG-ZHI CHEN YU

(*Department of Physics, Ningbo University, Ningbo 315211*)

(Received 9 August 1995)

ABSTRACT

Carrier transport through an n-type semiconductor grain boundary with a double Mott barrier consisting carrier depletion layers, acceptor defect layers (ACLs) on grain surface and negative-charged interface by trapping of majority carriers is studied. The effect of ACL on the barrier, current, nonlinearity and capacitance is especially treated. The change of barrier under bias governs transport properties, and ascertains the existence of pre-breakdown, breakdown and upturn regions. ACLs result in a change of barrier and its intensifying decline under bias, and thus enhance the current change and nonlinearity, and largely determine the leakage current. And ACLs reduce capacitance at high frequency by broaden barrier but increase capacitance peak originated from the resonant response of interface charge under bias.

PACC: 7340L; 7220H; 8140R