

新型槽栅 PMOSFET 热载流子退化机理与 抗热载流子效应研究*

任红霞 郝 跃

(西安电子科技大学微电子研究所, 西安 710071)
(2000 年 2 月 16 日收到, 2000 年 4 月 29 日收到修改稿)

分析了槽栅器件中的热载流子形成机理,发现在三个应力区中,中栅压附近热载流子产生概率达到最大.利用先进的半导体器件二维器件仿真器研究了槽栅和平面 PMOSFET 的热载流子特性,结果表明槽栅器件中热载流子的产生远少于平面器件,且对于栅长在深亚微米和超深亚微米情况下尤为突出.为进一步探讨热载流子加固后对器件特性的其他影响,分别对不同种类和浓度的界面态引起的器件栅极和漏极特性的漂移进行了研究,结果表明同样种类和密度的界面态在槽栅器件中引起的器件特性的漂移远大于平面器件.为开展深亚微米和亚 0.1 微米新型槽栅 CMOS 器件的研制奠定了基础.

关键词:槽栅 PMOSFET,热载流子退化机理,热载流子效应
PACC:0750,6170T,7340Q,7200

1 引 言

随着超大规模集成电路(VLSI)特征尺寸的进一步减小,与沟道电场有关的器件热载流子效应变得日趋严重,已成为限制 VLSI 电路最大器件密度和导致深亚微米金属-氧化物-半导体(MOS)器件退化以致失效的最重要的可靠性因素之一^[1].虽然降低电源电压和减小栅氧化层厚度是抑制热载流子效应的有效方法^[2],但由于受器件驱动能力和速度及漏电流和隧道电流的影响,电源电压和栅氧化层厚度的降低是有限度的.为最大限度抑制短沟道效应和热载流子效应,人们探索了许多器件结构和制备工艺^[3].槽栅器件作为一种在深亚微米区域极具应用前景的 MOS 器件被提了出来^[4,5].但目前国际上对槽栅器件的研究还处于起步阶段,所涉及的基本上为槽栅 n 型 MOS(NMOS)器件,对多数载流子为空穴的槽栅 p 型金属-氧化物-半导体场效应管(PMOSFET)的研究基本没有触及.

由于空穴在同样电场下获得的动能比电子小得多,长沟 p 型金属-氧化物-半导体(PMOS)器件中由热空穴引起的器件损伤比同样偏置条件下 NMOS

器件中的热电子要小得多,PMOS 器件的热载流子效应一直未受重视.但随着器件尺寸进入亚微米和深亚微米,PMOS 器件的热载流子效应日趋严重,在互补金属-氧化物-半导体(CMOS)电路中 PMOS 器件的退化造成的影响不能再被忽略.为研究和发展新型槽栅 CMOS 器件和电路,本文着重分析槽栅 PMOS 器件中的热载流子生成机制和抗热载流子效应,同时分别对不同种类的界面态引起的器件特性的影响进行了研究.

2 深亚微米 MOSFET 热载流子退化机理

当载流子在大于 10^4 V/cm 的加速电场下运动时,它从电场获得的能量大于散射过程中与晶格原子碰撞损失的能量.因而,这样的载流子就成为热载流子.随着 MOS 器件的沟道长度进入深亚微米,沟道区的横向和纵向电场显著增加.载流子在高场中获得足够的能量,形成热载流子的概率大大增加.这些高能载流子在 MOS 器件沟道中能够翻越界面势垒,注入栅氧,在 Si-SiO₂ 界面产生界面态,或被栅氧化层中的电荷陷阱俘获,导致器件特性,如阈值电

* 国防科技预研基金(批准号:99J8.1.1.DZD132)和高等学校博士点基金(批准号:8070110)资助的课题.

压、跨导和线性区及饱和区漏电流的退化,使电路性能随时间逐渐退化^[6].

载流子的能量、运动方向由器件的结构参数和器件内电势分布所决定,所以沟道热载流子的产生和注入是与器件的偏置条件密切相关的.一般认为 MOS 器件沟道热载流子效应可分为三个偏置应力区域^[7]:高栅压应力区($V_{GS} \approx V_{DS}$)、中栅压($V_{GS} \approx V_{DS}/2$)应力区和低栅压($V_{GS} \approx V_{DS}/4 - V_{DS}/2$)区.在低栅压应力区,较少的热载流子只能产生少量的界面态.在中栅压应力区,器件工作在饱和状态,产生了大量的热载流子,使界面态的产生达到峰值,成为器件退化的主要机制^[3].高栅压应力区,器件工作在临界饱和点附近,热载流子的数量较少,氧化层电荷陷阱中俘获的注入电子成为 NMOS 器件中器件退化的主要原因,而 PMOS 器件中则为俘获的注入热空穴^[8].热载流子的注入集中在靠近漏结的高场区内.在深亚微米器件中,沟道退化部分占整个沟道长度的比例增加,其影响更加严重.

通常认为 PMOSFET 中主要有三种热载流子退化机制^[9-11]:由电子注入产生的负氧化层电荷;由载流子注入产生的界面态和由空穴注入产生的正氧化层电荷.一般认为热电子注入被栅氧化层俘获是 PMOS 退化的主要机制.但对深亚微米,尤其是超深亚微米 PMOS,究竟那种退化机制占主要地位,目前还不清楚.

MOS 器件的热载流子效应有衬底热载流子效应和沟道热载流子效应两种,分别见图 1(a)和(b).在器件尺寸进入亚微米、深亚微米范围后,大部分衬底热载流子在到达表面前就在强沟道电场的作用下进入源和漏区,使衬底热载流子效应大大减弱,所以对深亚微米 MOS 器件退化起主要作用的是沟道热载流子效应.所以,我们认为热载流子注入栅电流的大小比衬底电流更能准确地反映热载流子可靠性.对于沟道热载流子效应,它引起的 MOS 器件的损伤主要发生在器件靠近漏区一端,所以栅氧化层的退化主要发生在漏区.

3 深亚微米槽栅 PMOSFET 热载流子效应

在深亚微米和超深亚微米(沟道特征尺寸小于 $0.1 \mu\text{m}$)PMOSFET 中,栅电流是作为衡量热载流子可靠性的很好指标.利用先进的 MEDICI 器件仿真

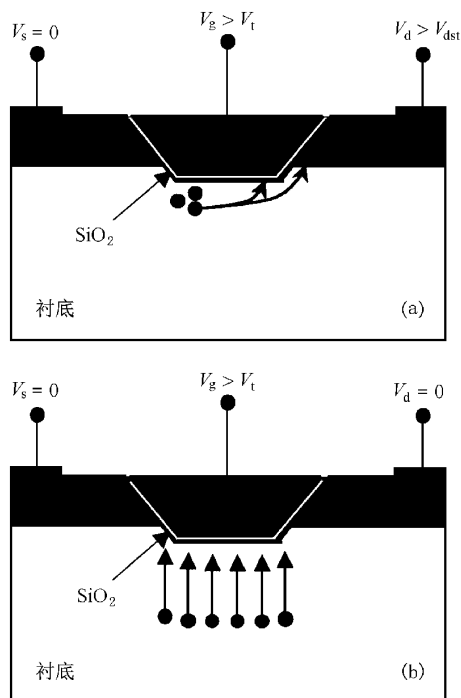


图 1 槽栅 MOS 器件中的两种热载流子效应
(a) 衬底热载流子效应 (b) 沟道热载流子效应

器可以精确地模拟出电场、栅电流、衬底电流,从而反映器件的热载流子效应本质.本研究中 PMOS 器件的结构参数为 n 型衬底,杂质浓度 $5.0 \times 10^{16} \text{ cm}^{-3}$;有效沟道长度 $0.05, 0.13, 0.50$ 和 $0.80 \mu\text{m}$,栅氧化层 4 nm ,固定界面态密度 10^{10} cm^{-2} ,沟道不掺杂,漏源结表面掺杂浓度 $6.0 \times 10^{18} \text{ cm}^{-3}$,漏源结深 $0.08 \mu\text{m}$,槽栅器件凹槽向下凹入 $0.1 \mu\text{m}$,形成 $0.02 \mu\text{m}$ 的负结深.

3.1 槽栅和平面 PMOSFET 中的热载流子效应

图 2 给出不同沟道长度下,槽栅和平面器件的栅极热载流子注入电流曲线.由仿真结果可以看出,随着沟道长度的缩短,不论是槽栅器件还是平面器件,其热载流子效应都明显增大,但槽栅 PMOSFET 的栅极热载流子注入电流都远小于平面器件,这说明,在同样条件下,槽栅器件的抗热载流子效应要优于平面器件,尤其是随着沟道长度的缩短,槽栅器件的抗热载流子效应比平面器件增强.在沟道长度为 $0.05 \mu\text{m}$ 时,槽栅器件的栅电流仅为平面器件的 1.54% ,而在沟道长度为 $0.80 \mu\text{m}$ 时,这个参量为 15.1% .因此,与平面器件相比,在短沟道情况下,槽栅器件能够更好地抑制热载流子效应.我们还对两种结构器件的衬底电流进行了研究,发现与栅电流

有同样的规律.另外,在不同沟道长度下,槽栅器件栅极热载流子注入电流在略低于中栅压的近似相等的偏压下达到最大值,这主要是由于栅极热载流子注入电流主要由热电子注入电流组成.而平面器件中,随着沟道长度的缩短,栅极热载流子注入电流达到最大值的栅压明显降低.这主要是因为随着沟道缩短,在同样外加电场作用下,沟道内电场增强,电子速度明显升高,导致在相对较低的偏压下注入栅极的热载流子便达到最大值,这也说明平面器件的短沟道效应较严重.下面将从槽栅器件内热载流子产生情况及与热载流子产生有关的物理量的分布分析槽栅器件抗热载流子效应增强的原因.

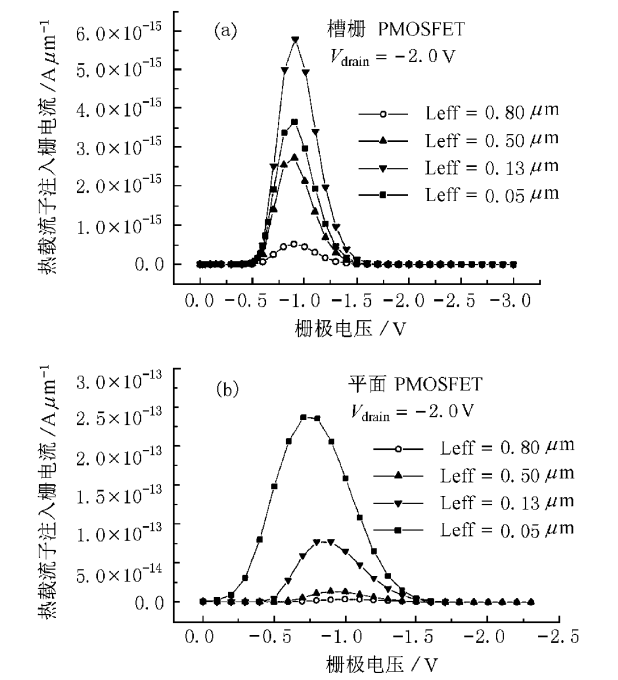


图2 不同沟道长度的槽栅和平面器件的栅电流
(a)槽栅器件的栅极热载流子注入电流 (b)平面器件的栅极热载流子注入电流

3.2 槽栅器件中的热载流子产生机制

槽栅器件内热载流子效应减小的主要原因是由于拐角及拐角势垒(见图3),载流子既要改变运动方向,又要攀越势垒,因而槽栅器件的热载流子产生率比平面器件的小,所以槽栅器件的衬底电流和栅极电流比平面器件的要小得多.因为衬底电流和栅极电流反映了热载流子产生的数量,也就说明了槽栅器件热载流子效应要优于平面器件.由于槽栅器件源端附近场强比平面器件的要小,注入栅氧化层的热载流子也就比较少,它预示着栅电流较弱.另外,

在靠近漏区的一段路程中,槽栅器件的电流线较为离散(纵向场反向),载流子离栅较远,相对于平面器件,热载流子更不容易到达栅.

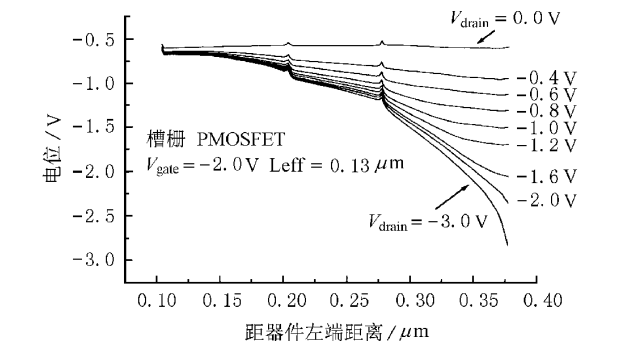


图3 槽栅器件沿 Si/SiO₂ 界面表面电位分布

进一步以 0.13 μm 槽栅器件为例,讨论不同栅极电压下与热载流子效应有关的器件内部物理参数的分布.图4给出漏压为 -2 V,栅压从 0 V—3 V 变化时,器件内部电场幅值和平行场沿 Si/SiO₂ 界面的分布.从图中可看出,随着栅压增大,电场幅值和平行场在两个拐角处形成的势垒都增大.除了横向场在不同栅压应力区的分布不同以外,在槽栅器件中,一方面,栅压增大,到达界面的电荷更容易穿过氧化层到达栅极,使热载流子注入栅电流增大;另

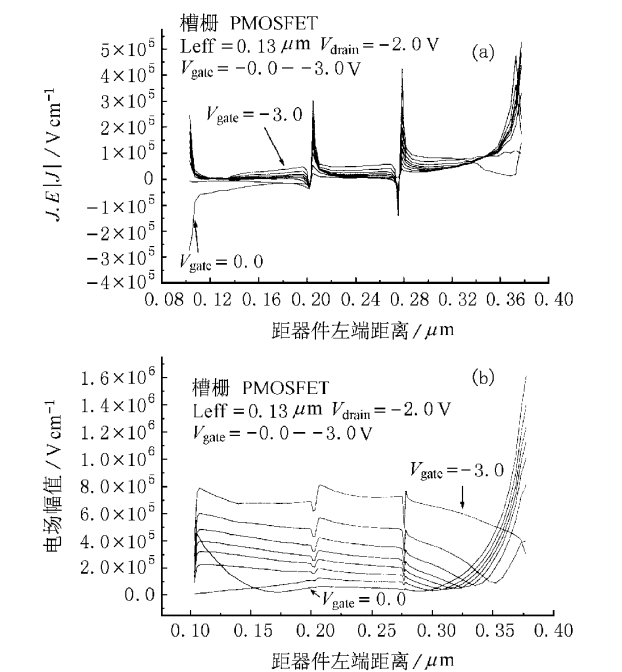


图4 不同栅压下 0.13 μm 槽栅器件的电场幅值和电流方向平行场沿 Si/SiO₂ 界面分布
(a)平行场分布 (b)电场幅值分布

一方面,随着栅压的增大,拐角势垒增大,载流子跨越势垒需要的能量增大,使热载流子的数量减少.这几方面相互作用,使得热载流子注入栅电流在某一栅电压附近达到最大值.

图 5 给出不同栅压下沿 Si/SiO₂ 界面热载流子速度的分布.从图中可以看出,槽栅器件内空穴速度在沟道的近源端倾斜部分和平坦部分内随栅压升高而升高,在近漏端倾斜部分随栅压升高而降低,电子速度则基本上在中栅压应力区达到最高,这与前面热载流子产生机理分析相附.

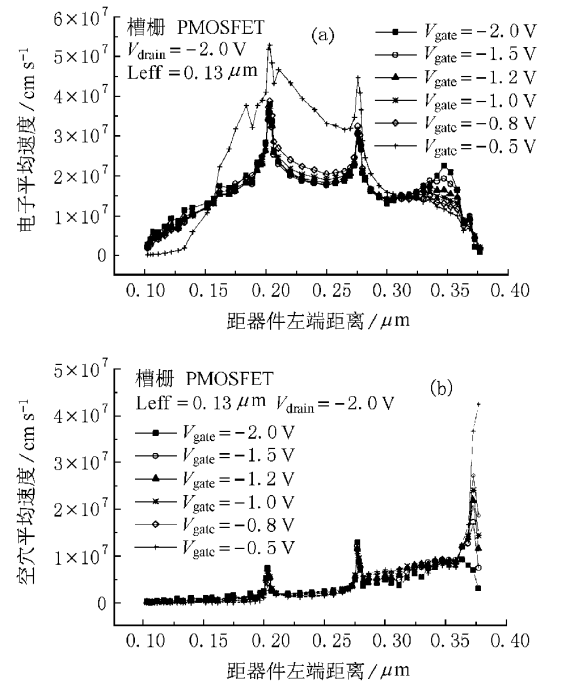


图 5 不同栅压下 0.13 μm 槽栅器件内热载流子速度沿 Si/SiO₂ 界面分布
(a) 电子平均速度分布 (b) 空穴平均速度分布

图 6 以对数坐标形式给出不同栅压下 0.13 μm 槽栅器件沿 Si/SiO₂ 界面注入的热载流子电流.从图中可以看出,在槽栅器件中,注入界面的热载流子电流基本为热电子电流.通过研究还发现,只有在栅压较高时,注入的热空穴电流才占主导地位,但注入的热空穴电流与低栅压应力下注入的热电子电流相比约小 20 个量级.这说明,在深亚微米区域,在一般栅压情况下,热载流子损伤仍以热电子注入为主,而在高栅压下则以空穴注入损伤为主.另外,从图中还可以看出,热载流子注入基本在栅压大约为漏压的一半时达到最大,所以在深亚微米槽栅器件中,仍然在中栅压应力区器件损伤最大.另外我们还对热载

流子注入概率进行了分析,同样得出在中栅压区附近电子和总的载流子注入概率较大,而在低栅压和高栅压区都较小.

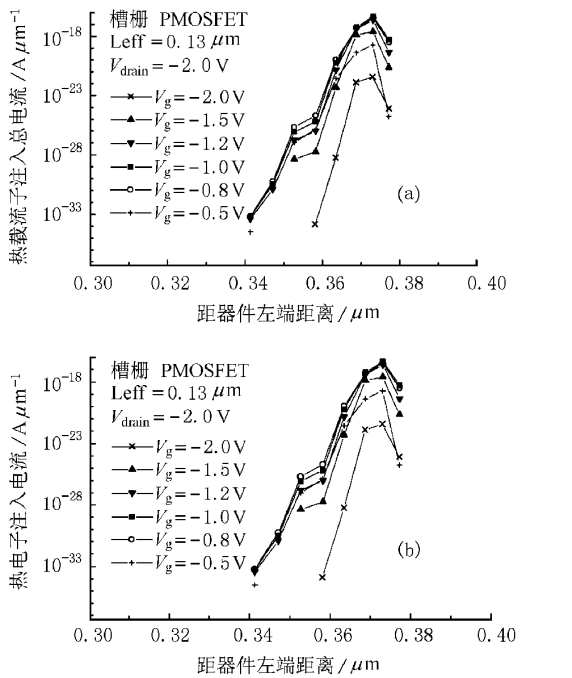


图 6 不同栅压下 0.13 μm 槽栅器件沿 Si/SiO₂ 界面注入的热载流子电流
(a) 总热载流子注入电流 (b) 热电子注入电流

虽然槽栅 MOSFET 中产生的热载流子数量较少,那么热载流子引起的器件特性的退化是否也小于平面器件,需要进一步研究.

4 界面态在深亚微米槽栅 PMOSFET 中引起的损伤

在深亚微米 PMOSFET 中,主要有三种热载流子退化机制.其中界面态的产生对器件特性的影响是非常显著的.快速界面态只允许存在于半导体禁带内,且被分为电子或空穴的施主或受主类型.我们首先对受主型界面态的产生对槽栅和平面 PMOSFET 特性的影响进行分析.

图 7 给出在漏端界面加入一定的 μ (空穴)型受主和 n (电子)型受主界面态密度时,槽栅和平面器件栅极特性的漂移.由于热载流子注入集中在漏区附近,所以仅研究在漏端施加界面态的情形.从图中可以直观地看出栅极特性的漂移情况.

从栅极特性图中容易看出,在同样界面态密度

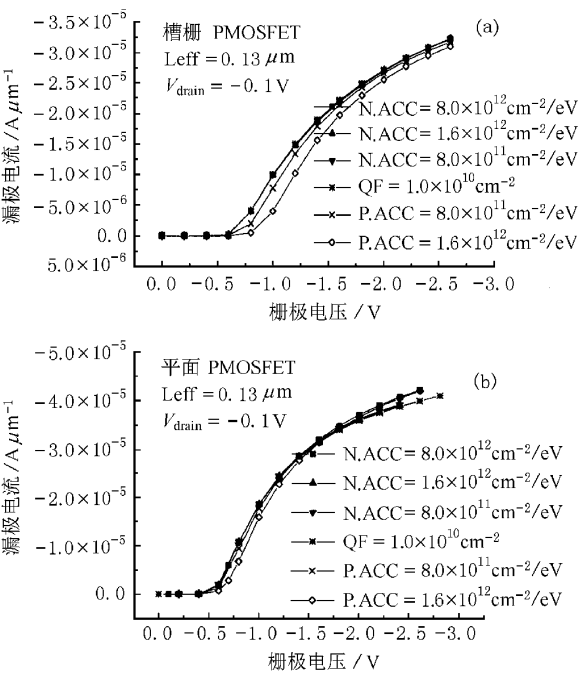


图7 不同受主界面态密度下槽栅和平面 PMOSFET 的栅极特性

(a) 槽栅器件 (b) 平面器件

下,槽栅器件的栅极特性漂移要比平面器件大,且在两种结构的器件中, p 型受主界面态引起的栅极特性的漂移要大于 n 型受主界面态,不同受主型界面态引起的特性的基本变化规律为: p 型受主界面态明显地使器件的栅极特性向右漂移,导致器件的阈值电压升高,亚阈斜率因子迅速增大,亚阈特性严重退化,线性因子增大,跨导特性变好.这是因为随着漏端附近热载流子的注入和带正电荷的界面态(p 型受主)的累积,对多数载流子-空穴产生了一个排斥作用,相当于给载流子到达漏极增加了一个势垒,所以导致器件的阈值电压升高,栅极特性曲线向右漂移,可以推知同时会导致漏极驱动能力的退化. n 型受主界面态则使器件的栅特性向左略微移动,导致器件的阈值电压略有降低,亚阈特性略有改善,跨导特性略有退化.这是因为随着漏端附近热载流子的注入和带负电荷的界面态(n 型受主)的累积,对沟道内的多数载流子-空穴产生了一个吸引作用,相当于漏区向沟道内扩展,使有效沟道长度缩短,屏蔽了部分界面态的影响,所以器件的栅极特性左移,阈值电压降低.也因为同样的原因,必会导致漏极驱动能力升高,后面的结果同样证明了这一点.但同时载流子靠近界面,受到了界面的更严重的散射,降低了迁移速度,又会导致漏极驱动能力降低,最后表现出

来的漏极驱动能力便是这两方面综合作用的结果.界面态密度对平面器件特性的影响可以同样解释.

图8为在漏端加入不同受主型界面态后,在 -2 V 栅极偏压下槽栅和平面器件漏极特性的漂移情况.由图中同样可以看出,在两种结构的器件中, p 型受主型界面态使器件的漏极特性向下偏移,导致器件的漏极驱动能力减弱,而 n 型受主界面态则正相反,使器件的驱动能力增强.具体原因我们已在他们对栅极特性的影响中进行了解释.另外,相同浓度的 p 型受主界面态比 n 型界面态对漏极特性的影响显著,同样浓度的界面态在槽栅器件中引起的器件漏极特性的漂移要远大于平面器件.

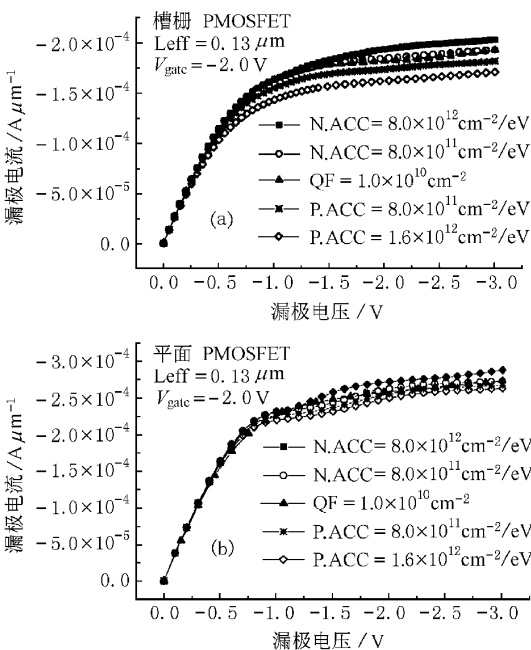


图8 不同受主界面态下槽栅和平面器件的漏极特性

(a) 槽栅器件的漏极特性 (b) 平面器件的漏极特性

我们进一步分析了施主型界面态对器件特性的影响.研究发现不管是对于栅极特性还是漏极特性,施主型界面态在槽栅和平面器件中引起的退化与受主型界面态不同, p 型施主态对器件的特性影响远远小于 n 型施主态, n 型施主态对器件特性的影响非常强烈,且 n 型施主界面态对器件特性的影响与 p 型受主态相似,而 p 型施主态则与 n 型受主态相似.

5 结 论

本文首先分析了 MOS 器件中热载流子产生机制,得到了槽栅器件中热载流子的产生同样与偏压

条件密切相关,且热载流子效应在中栅压应力附近达到最大值.槽栅 PMOSFET 中的栅极热载流子注入电流基本为电子电流,只有在高栅压下,空穴电流才占主导地位,但此时的空穴注入电流较中栅压下的电子注入电流小得多.

对槽栅和平面器件的热载流子特性进行了分析,结果表明槽栅器件中热载流子产生小于平面器件,尤其在短沟道情形下,槽栅器件能够很好地抑制热载流子的产生.尽管如此,同样数目的热载流子在槽栅器件中引起的器件特性的退化远大于平面器件,即槽栅器件特性对热载流子的产生更为敏感,但由于槽栅器件中热载流子数目远小于平面器件,槽栅器件的抗热载流子特性仍较平面器件好得多.研究表明,对于深亚微米和超深亚微米 MOS 器件,槽栅结构对提高器件特性和抗热载流子效应均十分有利.

- [1] C. Hu, "Simulating hot-carrier effects on circuit performance," *Semicon. Sci. Technol.* **7**, B555-558, 1992.

- [2] C. Fiegna, H. Iwai, T. Wada *et al.*, *IEEE Trans. Electron Devices* **41**(6) (1994), 940.
- [3] C. Hu, S. Tam, F. C. Hsu, P. K. Ko, T. Y. Chan, K. W. Terrill, *IEEE Trans. Electron Devices* **33**(1985), 375.
- [4] H. I. Kimura, J. Tanaka, H. Noda, *IEEE Electron Devices* **42**(1) (1995), 94.
- [5] P. H. Bricout, E. Dubois, *IEEE Electron Devices* **43**(8) (1996), 1251.
- [6] J. E. Chung, M. Jeng, J. E. Moon, P. K. Ku, C. Hu, *IEEE Trans. Electron Devices* **37**(1990), 1651.
- [7] W. D. Zhang, D. G. Xu, Y. Hao, *Acta Electronica Sinica* **27**(1999), 76 [in Chinese] 张卫东、许冬岗、郝跃, *电子学报* **27**(2) (1999), 76.
- [8] P. Heremans, R. Bellens, G. Groesenken, H. E. Maes, *IEEE Trans. Electron Devices* **35**(1988), 2194.
- [9] E. Takeda, Y. Nakagome, H. Kume *et al.*, *IEEE Trans. Electron Devices* **30**(6) (1983), 675.
- [10] K. Kwok, W. T. Geoffrey, *IEEE Trans. Electron Devices* **30**(8) (1983), 871.
- [11] R. Woltjer, G. M. Paulzen, H. G. Pomp *et al.*, *IEEE Trans. Electron Devices* **42**(1) (1995), 109.

STUDY ON THE HOT-CARRIER-DEGRADATION MECHANISM AND HOT-CARRIER-EFFECT IMMUNITY IN ADVANCED GROOVED-GATE PMOSFET*

REN HONG-XIA HAO YUE

(Microelectronics Institute, Xidian University, Xi'an 710071, China)

(Received 16 February 2000; revised manuscript received 29 April 2000)

ABSTRACT

In this paper, the hot-carrier mechanism in grooved-gate MOS is analyzed at first. It is found that the hot-carrier effect reaches its highest generate rate under medium gate bias voltage of the three stress areas. Then, the characteristics of hot-carrier-effect in grooved-gate and planar PMOSFET are simulated using advanced 2-dimensional device simulator. The results show that the hot-carrier generated in grooved-gate PMOSFET is far less than in planar PMOSFET, especially for the case of channel length in deep-sub-micron and super deep-sub-micron region. In order to investigate the other influences of hot-carrier-effect immunity on device characteristics, the drift of gate and drain characteristics induced by different interface state is studied for grooved-gate and planar devices. It shows that the drift induced by same interface state in grooved-gate MOSFET is far larger than in planar device. This work lays a foundation for the research and design of novel very-small-size grooved gate CMOS devices.

Keywords: grooved-gate PMOSFET, mechanism of hot-carrier-degradation, hot-carrier-effect

PACC: 0750, 6170T, 7340Q, 7200

* Project supported by the National Defense Pre-Research Fund of China (Grant No. 99J8.1.1. DZD132) and by the Doctoral Program Foundation of Institution of Higher Education of China (Grant No. 8070110).