

基于智能剥离技术的 SOI 材料制备*

舒 斌 张鹤鸣 朱国良 樊 敏 宣荣喜

(西安电子科技大学微电子学院, 宽禁带半导体材料与器件教育部重点实验室, 西安 710071)

(2006 年 6 月 30 日收到, 2006 年 9 月 28 日收到修改稿)

优化了硅片低温直接键合与智能剥离技术的工艺流程, 在 550℃、 2.1×10^{-2} Pa 条件下制备了 SOI 材料, 其顶层单晶 Si 膜的表面粗糙度为 8.5 nm, 缺陷密度为 90 cm^{-2} , 键合强度达到 153.7 kg/cm^2 . 形成的 SOI 结构除了可以形成三维集成电路中有源层间良好的绝缘层, 避免了高温过程对有源层器件结构、材料及性能的影响, 还能为三维集成电路后续有源层的制造提供高质量的单晶硅材料.

关键词: 绝缘体上硅, 智能剥离, 低温直接键合

PACC: 7340T, 7360F, 8190, 3250G

1. 引 言

超大规模集成电路技术之所以能取得快速发展主要源于器件尺寸的不断缩小和芯片面积的不断增大. 器件尺寸的缩小可以改善路性能、增加电路密度, 芯片面积的扩大可以丰富电路的功能, 并使成本不断降低. 正是由于这两方面的原因, 使得集成电路芯片的发展始终遵循着摩尔定律, 但随着超大规模集成电路特征尺寸逐步缩小到亚 100 nm 范围, 体硅器件在材料技术、器件理论、器件结构以及制作工艺等方面出现了一系列新问题, 使其功耗、可靠性以及性价比等受到较大影响. 因此, 研究新型的适于纳米量级半导体器件的新型器件就成为当前亟待解决的问题. 在众多新结构器件技术中, 绝缘体上硅(silicon on insulator, SOI)技术作为一种全介质隔离技术, 拥有许多体硅技术不可比拟的优越性, SOI CMOS 器件具有功耗低、抗干扰能力强、集成密度高(隔离面积小)、速度高(寄生电容小)、工艺简单、抗辐照能力强, 并彻底消除了体硅 CMOS 器件的寄生门锁效应等优点^[1], 而作为 SOI 技术基础的 SOI 材料则能够有效地克服体硅材料的不足, 充分发挥硅集成技术的潜力, 并能在高性能 ULSI, VHSI, 高压、高温、抗辐照、低压低功耗、存储器及三维集成等领域广泛地应用. 近年来, 随着注氧隔离(separation by implanted oxygen, SIMOX)技术^[2,3]和智能剥离(smart-cut)技术^[4]的出现, SOI 材料的质量得到了很大的提高, 国

内的上海微系统与信息技术研究所及上海新傲公司就是利用 SIMOX 技术来实现 SOI 材料制备的, 其顶层单晶 Si 膜的表面粗糙度可达 3 nm, 缺陷密度小于 105 cm^{-2} ^[5]. 与 SIMOX 技术相比, 智能剥离技术更经济、更省时、与现有的微电子工艺兼容、可大幅度降低成本, 且生成的顶层单晶硅薄膜质量更好, 但智能剥离技术需要 1100℃ 的高温退火过程来增加两个键合在一起的硅片的键合强度, 而这样的高温过程将会对基于 SOI 材料的三维集成电路(three dimensional integrated circuits, 3D ICs)^[6]的有源层器件结构、材料及性能产生不利影响. 因此, 研究在低温(不高于 600℃)下的硅片直接键合与智能剥离技术对于未来的 3D ICs 制造技术来说更具有现实意义. 本文优化了硅片低温直接键合与智能剥离技术的工艺流程, 在低温超高真空的条件下制备出了符合 3D ICs 制造要求的 SOI 材料.

2. 智能剥离技术

智能剥离技术是由 Bruel 等人^[5]于 1995 年提出的, 它是一种建立在硅片低温直接键合与离子注入基础上的 SOI 材料制备技术. 硅片直接键合的工艺过程如图 1 所示, 当两片经化学机械抛光(CMP)处理和常规清洗、平整度在一定范围内的硅片通过氧等离子体活化处理^[7]和亲水性处理后, 在室温或低温(小于 150℃)环境下使它们接近, 它们之间将依靠范德瓦耳斯力(van der Waals force)粘结在一起, 完成预键合.

* 武器装备预研基金项目(批准号 51408061104DZ01)资助的课题.

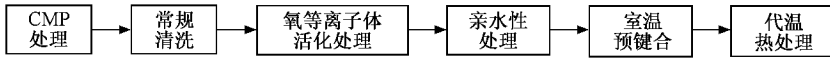
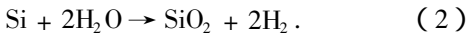
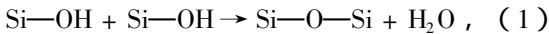


图 1 硅片低温直接键合的工艺流程

利用 CMP 方法处理硅片的表面是为了降低两硅片表面的微粗糙度,使其表面平整度达到硅片直接键合的基本要求,即亲水硅片表面的平均微粗糙度须小于 $0.5\text{nm}^{[8]}$ 。在预键合前,对硅片进行氧等离子活化处理可以提高硅片界面能⁹⁾(一般可提高 6—10 倍),其本质是用氧等离子体通过化学或物理作用对硅片表面进行处理,实现分子级的沾污去除以提高其表面的活性,增大硅片表面的悬挂键数量,使硅片表面被激活,这也是能够通过低温处理达到硅片键合强度要求的主要原因。干净的硅片表面是疏水性的,硅片通过表面亲水性处理后,在其表面将形成一层非定形的 SiO_x 表面过渡层,每个硅原子上有 0.7 到 3 个氧原子,其表面因化学极性的作用而存在非桥键的羟基(—OH)即硅醇,其结构为 $\text{Si—O—Si} + \text{Si(OH)}$,该结构易于物理吸附水形成氢键,此时硅片表面就成为亲水性,可以吸附水膜。亲水性处理后的洁净硅片在预键合时,键合界面发生如下反应:



最后,再经过低温(500—600℃)热处理,使键合界面进一步发生化学反应,以增强键合界面的键合强度(键合强度应不小于 150kg/cm^2)¹⁰⁾,这一工艺过程称为硅片低温直接键合。

智能剥离技术主要包括以下几个步骤:氧化及离子注入、硅片低温直接键合、低温处理(剥离),其工艺流程如图 2 所示。首先将一定剂量的 H^+ 注入到覆盖有氧化层的硅片 A 中,于是在氢离子的射程附近就形成了一个由许多气泡组成的局域性很强的微空腔层¹¹⁾,在室温下将其与另一硅片 B 键合在一起,然后进行热处理,在此过程中,气泡内压强随退火温度的升高而增大,同时,硅中的氢向注入峰值附近扩散,并聚集形成充满氢气的微泡,使气泡数量增多,达到一定温度(500℃左右)时,气泡内气体热膨胀产生足够的压力,使得键合在 B 片上的 SiO_2 和 Si 薄膜与 A 片的基体分离,即在硅片 B 上形成 SOI 结构。

优化后的低温直接键合技术和智能剥离技术包括以下几个步骤: CMP 处理、常规清洗、氧等离子体活化处理、亲水性处理、氧化及离子注入、硅片低温直接

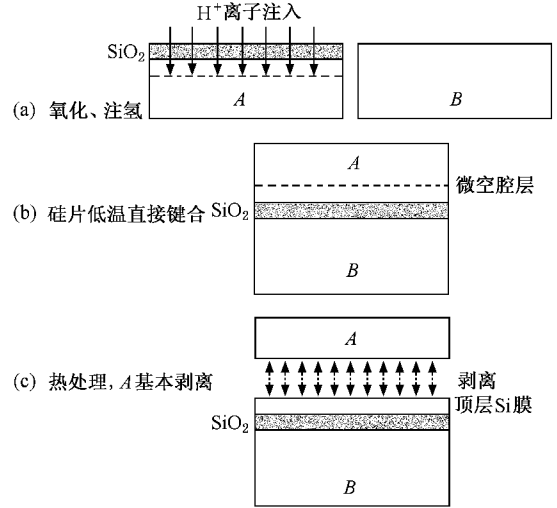


图 2 智能剥离的工艺流程

键合、低温处理(剥离)、超高真空低温热处理等。

3. 实验过程

取 4 片 10.16cm p 型(100)硅片,分为两组:1# 和 2#, 3# 和 4#, 分别进行 SOI 材料的制备和键合强度的测试。实验步骤:1)对 1# 和 3# 进行 CMP 处理和常规清洗;2)将 1# 和 3# 放入氧化炉中进行热氧化,在其表面生成约 900nm 厚的 SiO_2 ;3)在室温下用 ULVAC 型半导体离子注入机对 1# 进行氢离子注入,注入剂量为 $5 \times 10^{16}/\text{cm}^2$,注入能量为 190keV ,为防止束流过大产生而自加热效应,注入束流强度被限制在 $100\mu\text{A}$;4)对 1#—4# 进行常规清洗、氧等离子体活化处理与亲水性处理;5)甩干后,并分别将 1# 和 2#, 3# 和 4# 在 Cleaner CL200 型预键合机上进行预键合;6)将预键合好的 1# 和 2# 放入高温退火炉中进行热处理,当温度达到 550°C 时,可听到清脆的硅片剥离的声音,1# 基体分离,并在 2# 上留下 SiO_2 层和单晶 Si 薄膜,形成 SOI 结构,剥离过程在 5 min 内完成;7)将 2# 及预键合好的 3# 和 4# 放入超高真空 CVD 反应室中,在 550°C $2.1 \times 10^{-2}\text{Pa}$ 条件下进行 8 h 热处理以提高键合界面处的表面能,增加其键合强度,同时,此过程也可以使在离子注入过程中被损伤的晶格得以恢复;8)用原子力显微镜

(AFM)和扫描电子显微镜(SEM)分析 2# 上所形成的 SOI 结构顶层单晶 Si 膜的表面平整度和缺陷,9)测试 3# 和 4# 键合片的键合强度.

4. 结果分析与讨论

4.1. 表面平整度分析

硅片 2# 上所得到的 SOI 结构顶层单晶 Si 膜表面光亮,成镜面.用原子力显微镜观察到的顶层单晶 Si 膜表面状况如图 3 所示,图 3(a)和(b)分别为平

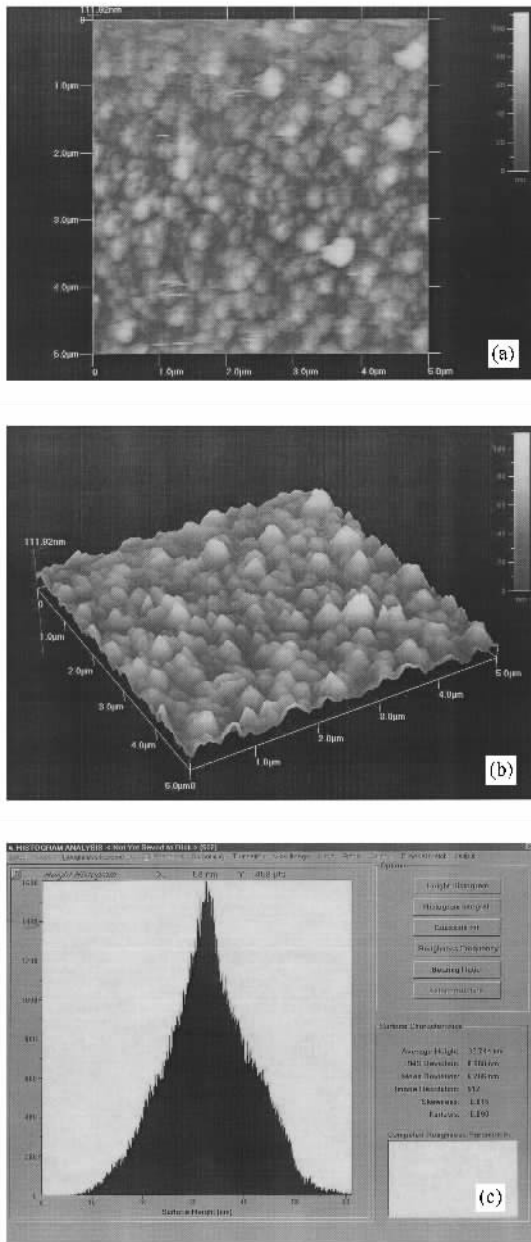


图 3 原子力显微镜观察到的顶层单晶 Si 膜表面状况 (a)平面形貌 (b)三维形貌 (c)表面粗糙度分布统计

面形貌图和三维形貌图,可以看出其表面粗糙度同普通抛光硅片相似 (c)是表面粗糙度分布统计,结果显示顶层单晶 Si 膜的表面粗糙度约为 8.5 nm,比抛光硅片大一个数量级左右,可满足一般的应用要求,如制备 SOI 微机械器件与尺寸较大的 MOSFET 器件等^[11].

取样品进行 SEM 成像,结果如图 4 所示,可以看出,顶层单晶体 Si 膜的厚度为 450 nm,而 SiO₂ 层的厚度为 900 nm,两者之和与注入能量为 190 keV 的氢离子的平均投影射程 1340 nm 基本符合^[12],这也说明注入氢硅片 1# 的剥离的确发生在氢分布的峰值处.

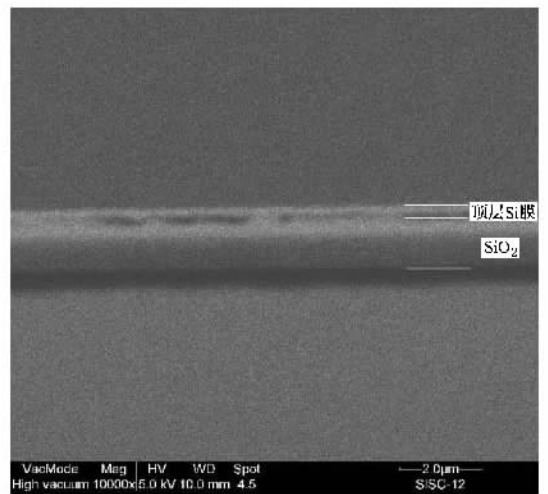


图 4 顶层单晶 Si 膜剖面的 SEM 图像

4.2. 表面缺陷分析

为了分析 SOI 结构顶层单晶 Si 膜表面的微观情况,取 1 cm × 1 cm 大小的样片,依次用铬酸(HCrO₃,浓度为 0.75 mol/L)和氢氟酸(HF:H₂O = 1:2)进行腐蚀,然后在显微镜下进行微观缺陷观测,结果如图 5 所示,放大倍数分别为 × 100, × 100 和 × 50.其中,图 5(a)的雪花状缺陷是由注入的氢离子产生的,称为氢致缺陷,它是由裂缝及周围的压印柱位错造成,腐蚀后,宏观上呈旋涡条状或均匀分布,微观上是小黑点,密度较高,在红外成像中裂缝呈条状或叶片状,在 X 射线中呈雪花状.氢致缺陷产生的原因是在氢或含氢气氛下的区熔单晶中,溶解有大量的氢,当晶体冷却到室温时,硅中氢呈高度饱和状态,并与硅形成 Si—H 键,在随后的热处理过程中, Si—H 键断裂,氢在硅中析出,聚集形成具有一定尺寸的原子团 (b)的圆坑形缺陷为位错缺陷,它

是在注氢过程中产生的缺陷或者是原硅片中固有的缺陷,由图(c)可以计算出实验所得到的 SOI 结构顶

层单晶 Si 膜表面的缺陷密度为 90cm^{-2} ,可满足 VLSI 用硅片的工艺标准要求.

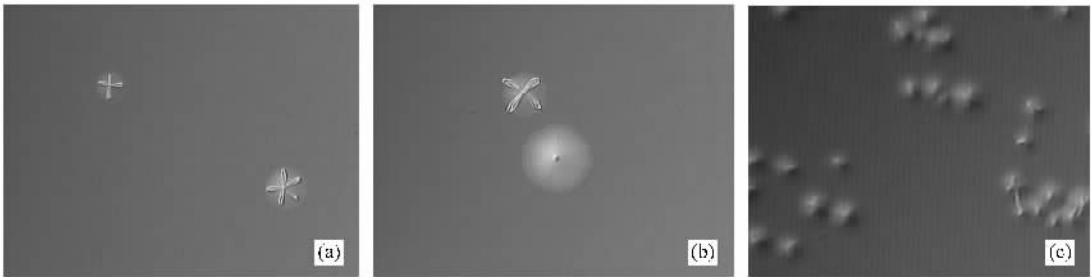


图 5 顶层单晶 Si 膜的表面缺陷 (a) 氢致缺陷 ($\times 100$) (b) 氢致缺陷和位错 ($\times 100$) (c) 微观缺陷 ($\times 50$)

4.3. 空洞率

利用红外图像来检测 1# 和 2# 在键合界面处的空洞率,结果如图 6 所示 (a) 和 (b) 分别为预键合后和 1# 基体刚从 2# 剥离后的红外成像图,可以看出,键合界面处均有少量的气泡 (c) 为在 2.1×10^{-2}

Pa, 550°C 条件下,经过 8 h 热处理之后的红外图像,可以看出,键合处的气泡已经消失,键合基本完全,看不出存在空洞和其他缺陷,说明超高真空条件有利于使预键合过程中界面处产生的气泡消失,从而进一步提高键合片的键合强度.

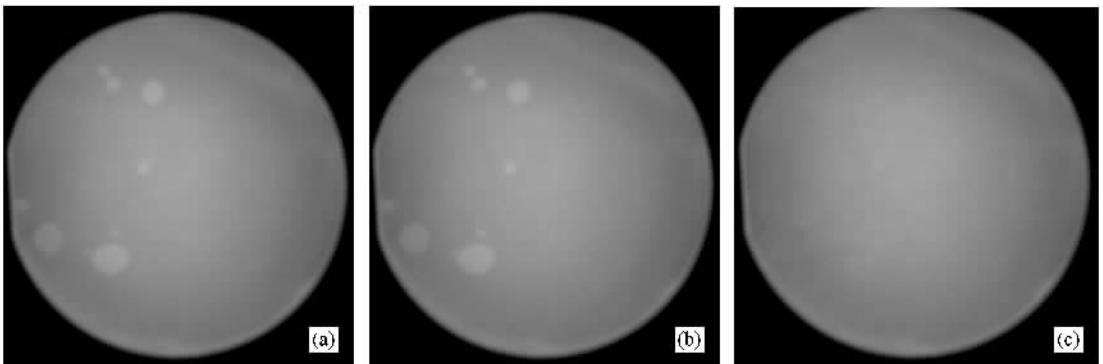


图 6 键合界面处的空洞率检测 (a) 预键合 (b) 剥离 (c) 超高真空低温处理

4.4. 键合强度测试

图 7 是 3# 和 4# 的键合片进行超高真空低温热处理前后的红外图像比较 (a) 是在 3# 和 4# 完成预键合之后的红外图像,可以看到键合界面处存在较大的气泡 (b) 是 3# 和 4# 的键合片在压强为 2.1×10^{-2} Pa, 温度为 550°C 的超高真空 CVD 反应室里,经过 8 h 热处理之后的红外图像,可以看出,气泡在退

火过程中已经消失.

利用环氧树脂将经过超高真空低温热处理的 3# 和 4# 的键合片粘在键合强度测试装置上,再利用液压式万能实验机对其进行键合强度测试,即利用外力将它们从键合界面处拉开,得到的测试结果为 153.7 kg/cm^2 ,该结果满足键合强度的最低要求^[10],被拉开后的键合片如图 8 所示,可以看出,键合界面光亮,呈镜面.

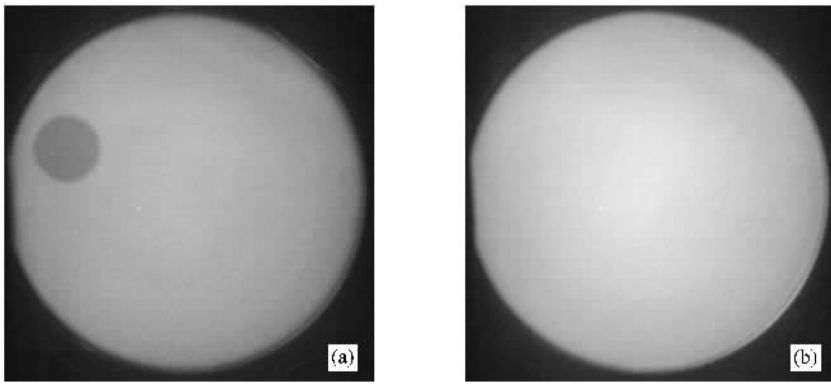


图7 3#和4#的键合片进行超高真空热处理前后的红外图像比较 (a)预键合后 (b)550℃, 2.1×10^{-2} Pa下, 热处理8 h

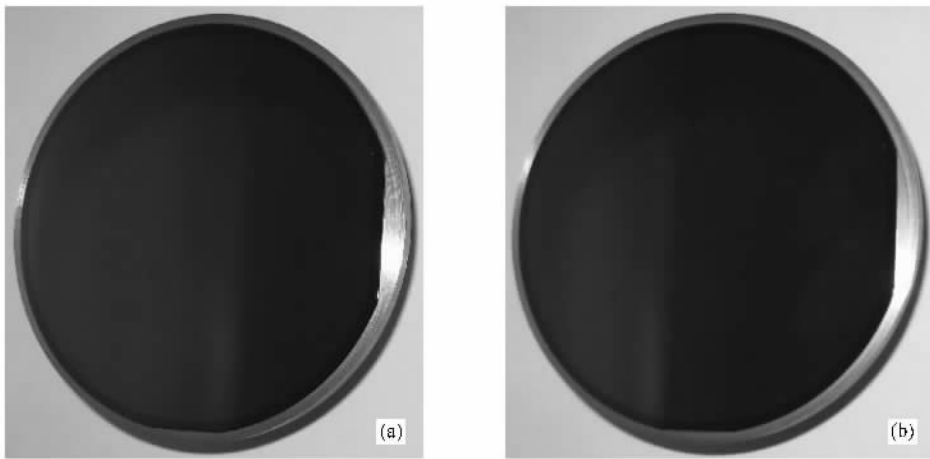


图8 被拉开的键合片3#和4#

5. 结 论

本文优化了硅片低温直接键合与智能剥离技术的工艺流程,在550℃, 2.1×10^{-2} Pa的条件下制备了SOI结构,其顶层单晶Si膜的表面粗糙度为8.5 nm,缺陷密度为 90 cm^{-2} ,键合强度达到153.7 kg/cm².这种方法制备的SOI结构顶层单晶Si膜厚度均匀,且厚度的大小可由氢的注入能量来控制;在

3D ICs制造中可以为后续有源层提供高质量的单晶硅材料,热氧化形成的高质量SiO₂层具有良好的Si—SiO₂界面,可作为3D ICs结构中有源层间良好的绝缘层,避免了高温过程对3D ICs的有源层器件结构、材料及性能的影响,剥离后的硅片仍可重复使用,大大降低了成本.此外,利用这种方法制备的SOI材料还可以广泛应用于微机械器件、电力电子器件、传感器以及VLSI和ASIC等领域中.

[1] Huang R, Zhang G Y, Li Y X, Zhang X 2005 *SOI CMOS Technology and Application* (Beijing: Science Press) p3 (in Chinese) [黄如、张国艳、李映雪、张兴 2005 *SOI CMOS 技术及其应用* (北京: 科学出版社) 第3页]

[2] Zheng Z S, Liu Z L, Zhang G Q *et al* 2005 *Chin. Phys.* **14** 565

[3] Zheng Z S, Liu Z L, Zhang G Q *et al* 2005 *Acta Phys. Sin.* **54** 348 (in Chinese) [郑中山、刘忠立、张国强等 2005 *物理学报* **54** 348]

[4] Bruel M 1995 *Electronics Letters* **31** 1201

[5] Duo X Z, Liu W L, Su X *et al* 2001 *J. Phys. D: Appl. Phys.*

- 34 5
[6] Burns J A , Keast C L , Kunz R R 2000 *IEEE International SOI Conference* 20
[7] Weinert A , Amirfeiz P , Bengtsson S 2001 *Sensors and Actuators A* 92 214
[8] He G R , Chen S Y , Xie S 2003 *Semiconductor Photo Electronics* 24
149
[9] Xiao L , Mao P S 1999 *Semiconductor Technologies* 24 23
[10] Tang G H 1996 *Electronic Devices* 16 256
[11] Aspar B , Lagahe C , Moriceau H *et al* 2000 *IEEE* 255
[12] Wittkower A 2000 *IEEE* 269

Fabrication of SOI material based on smart-cut technology^{*}

Shu Bin Zhang He-Ming Zhu Guo-Liang Fan Min Xuan Rong-Xi

(Key Laboratory of Ministry of Education for Wide Band-Gap Semiconductor Materials and Devices ,
School of Microelectronics , Xidian University , Xi 'an 710071 , China)

(Received 30 June 2006 ; revised manuscript received 28 September 2006)

Abstract

The process of the low-temperature-direct-bonding and smart-cut technologies is optimized , and the SOI material is fabricated at 550℃ under 2.1×10^{-2} Pa. The bonding strength of this structure is 153.7 kg/cm² , the total thickness variation and the defect density of the top monocrystalline silicon film are 8.5 nm and 90 cm⁻² , respectively. This method can produce a good insulator layer between active layers in the fabrication of the three-dimensional integrated circuits (3D ICs) , avoiding the unfavorable effects of the high-temperature process on the device structure , material quality and performance of the active layers. At the same time , the high quality monocrystalline silicon layer can be available for producing subsequent active layers in the fabrication of the 3D ICs.

Keywords : SOI , smart-cut , low-temperature-direct-bonding

PACC : 7340T , 7360F , 8190 , 3250G

^{*} Project supported by the National Defense Pre-Research Foundation of China (Grant No. 51408061104DZ01).