

背栅效应对 SOI 横向高压器件击穿特性的影响^{*}

乔 明[†] 张 波 李肇基 方 健 周贤达

(电子科技大学微电子与固体电子学院, 成都 610054)

(2006 年 11 月 12 日收到, 2006 年 12 月 14 日收到修改稿)

提出一种 SOI 基背栅体内场降低 BG REBULF (back-gate reduced BULK field) 耐压技术. 其机理是背栅电压诱生界面电荷, 调制有源区电场分布, 降低体内漏端电场, 提高体内源端电场, 从而突破习用结构的纵向耐压限制, 提高器件的击穿电压. 借助二维数值仿真, 分析背栅效应对厚膜高压 SOI LDMOS (> 600 V) 击穿特性的影响, 在背栅电压为 330 V 时, 实现器件击穿电压 1020 V, 较习用结构提高 47.83%. 该技术的提出, 为 600 V 以上级 SOI 基高压功率器件和高压集成电路的实现提供了一种新的设计思路.

关键词: SOI, 背栅, 体内场降低, LDMOS

PACC: 6120J, 7340Q

1. 引 言

SOI (silicon-on-insulator) 基横向高压器件的击穿电压主要受到埋氧层厚度的限制, 除非使用较厚的埋氧层, 否则很难实现超过 600 V 的击穿电压^[1-3]. 因此, 纵向耐压已成为 SOI 基高压器件在智能功率领域 (> 600 V) 应用的瓶颈. 为了突破习用 SOI 基高压结构的纵向耐压限制, 众多作者进行有效工作, 采用超薄的 SOI 结构^[4]、SIPOS (semi-insulating polycrystalline silicon) shielding layer 结构^[5]、衬底刻蚀再填充结构^[6]、SODI (silicon on double insulator) 结构^[7]、membrane power device^[1,8]、屏蔽槽结构^[9]、部分局域电荷槽结构^[10]等.

本文为了进一步提高 SOI 基横向高压器件的耐压, 提出一种 SOI 基背栅体内场降低 BG REBULF (back-gate reduced BULK field) 耐压技术. 借助二维器件数值仿真器 MEDICI, 分析了背栅效应对 600 V 以上级厚膜高压 SOI LDMOS (lateral double-diffusion MOSFET) 击穿特性的影响. 利用背栅电压的调制作用, 将有源区电场重新分配, 降低体内漏端电场, 提高体内源端电场, 从而提高器件的击穿电压.

2. BG REBULF 原理

图 1 为传统的厚膜 SOI 基高压双 RESURF (reduced SURface field) LDMOS 结构剖面图. 当器件处于反向阻断状态并且漏端偏压 V_D 逐渐增大时, 若背栅电位 V_{psub} 与 V_S, V_G 同为最低电位 0 V, 在漂移区足够长以满足横向耐压的情况下, 器件击穿发生在体内漏下方 S 层与 I 层界面处, 为纵向击穿. 若给器件施加一背栅电压, 当 V_{psub} 电位大于 0 V 时, 由于背栅效应, 漏端的高电势引向源端低场区, 使得更多的等势线向源端扩展, 这就将漏端的高电位引向源端, 使体内电场重新分配. 同时由于背栅电压 V_{psub} 的提高, 又提升了漏端的电位, 使得器件纵向耐压由漏下方的 S 层耗尽层、I 层、和衬底耗尽层; 源下方的 S 层耗尽层和 I 层共同承担, 纵向耐压较传统结构提高. 当背栅电压 V_{psub} 为 0 V 时, 纵向耐压主要由漏下方的 S 层耗尽层、I 层和衬底耗尽层承担, 并没有充分利用源下方的耗尽层和 I 层对器件耐压的贡献. 图中, p_{-sub} 表示工艺中采用 p 型衬底材料, 其浓度及厚度分别用 P_{sub} 和 t_{psub} 表示; n_{epi} 表示 n 型硅层, 其浓度及厚度分别用 N_{epi} 和 t_{nepi} 表示; p_{-top} 用来形成 DMOS 器件的双 RESURF, 其被分成三个区, 分别用 P_1, P_2 和 P_3 表示. 三个区可形成阶梯掺

^{*} 国家自然科学基金重点项目(批准号: 60436030)和模拟集成电路国家重点实验室(批准号: 9140C0903010604)资助的课题.

[†] E-mail: 2006qiaoming@sohu.com

杂,以优化器件的表面电场,其注入剂量、结深分别用 $Q_{p\text{top}1}, Q_{p\text{top}2}, Q_{p\text{top}3}, t_{p\text{top}1}, t_{p\text{top}2}, t_{p\text{top}3}$ 表示; P_{well} 用来形成 DMOS 器件的沟道区; n^+ 形成 LDMOS 的源和漏; i 层的厚度用 t_{ox} 表示;漂移区长度用 L_d 表示.

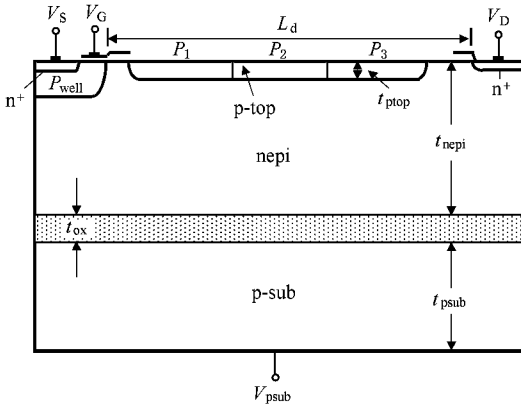


图 1 SOI 基高压双 RESURF LDMOS 剖面图

图 2(a) 给出了器件背栅电压 $V_{\text{psub}} = 0 \text{ V}$, LDMOS

发生击穿时的电势分布. 相邻两条等势线间的电势差为 50 V , 器件击穿电压二维仿真值为 690 V , 击穿发生在 A 点, 体内漏下方 S 层与 I 层交界处. 电力线在漏下方较集中, 而源下电场较低, 没有充分利用源下硅层对器件耐压的贡献. 图 2(b) 给出了 $V_{\text{psub}} = 300 \text{ V}$, LDMOS 发生击穿时的电势分布. 相邻两条等势线间的电势差为 50 V , 电势线重新分配, 较多的等势线分布到器件的源侧. 因此, 在同等 V_D 电压下, 背栅效应使得漏下体内电场降低(即 BG REBULF), 防止了器件过早的在漏下发生纵向击穿, 从而提高了器件的击穿电压. 器件的击穿电压二维仿真值为 986 V , 较 $V_{\text{psub}} = 0 \text{ V}$ 时提高了 42.90% . 漏极和背栅电极的电势差为 686 V , 击穿首先发生在栅侧多晶场板末端硅表面处, 即图 2(b) 中的 B 点. 其主要的仿真参数为 $P_{\text{sub}} = 1.2 \times 10^{14} \text{ cm}^{-3}, t_{\text{psub}} = 6 \mu\text{m}, N_{\text{epi}} = 5.2 \times 10^{14} \text{ cm}^{-3}, t_{\text{nepi}} = 20 \mu\text{m}, Q_{p\text{top}1,2,3} = 1.2 \times 10^{12} \text{ cm}^{-2}, t_{p\text{top}1,2,3} = 4.5 \mu\text{m}, t_{\text{ox}} = 4 \mu\text{m}, L_d = 150 \mu\text{m}$.

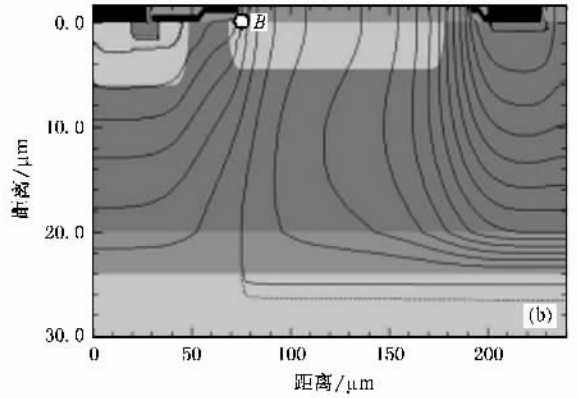
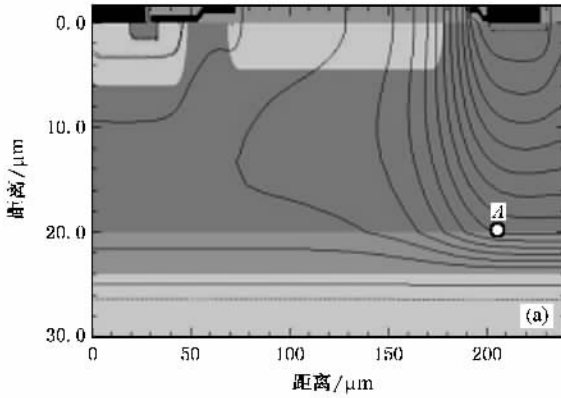


图 2 LDMOS 电势分布图 (a) $V_{\text{psub}} = 0 \text{ V}, V_D = 690 \text{ V}$; (b) $V_{\text{psub}} = 300 \text{ V}, V_D = 986 \text{ V}$

图 3 给出了不同电压条件下, 器件体内二维电子、空穴浓度分布. 从图 3(a) 中可以看出, 在 $V_{\text{psub}} = 0 \text{ V}, V_D = 690 \text{ V}$ 时, I 层与 p 型衬底界面处出现电子反型层, 源侧 I 层上方出现局部空穴层(如图 3(c)). 而在 $V_{\text{psub}} = 300 \text{ V}, V_D = 986 \text{ V}$ 时, 源侧 I 层下电子反型层消失(如图 3(b)), 取而代之的是空穴多子积累层(如图 3(d)), 使得源侧 I 层上方局部空穴层消失. 设源侧 I 层上方空穴的面密度为 Q_s , 则在 Si/SiO_2 界面, 电位移连续性为 $\epsilon_{\text{ox}} E_{\text{ox}} = \epsilon_{\text{Si}} E_{\text{Si}} + Q_s$, 其中 $E_{\text{Si}}, E_{\text{ox}}, \epsilon_{\text{Si}}$ 和 ϵ_{ox} 分别是界面处 Si 和 SiO_2 的电场和介电常数. 可看出, 在 E_{ox} 不变的条件下, 随着 Q_s 的消失, E_{Si} 将增大. 这就使得器件体内电场重新分

配, 源侧电场提高, 同等 V_D 电压下, 部分纵向耐压转移到源侧承受, 漏端体内场降低, 从而突破实用结构的纵向耐压限制.

3. 结果与分析

图 4 给出了厚膜 SOI 基高压双 RESURF LDMOS 的击穿电压随背栅电压 V_{psub} 的变化关系. 其中图 4(a) 为不同漂移区长度 L_d 的变化曲线; 图 4(b) 为 $L_d = 150 \mu\text{m}$ 时不同 $p\text{-top}$ 注入剂量的变化情况. 从图 4(a) 中可以看出, 在不同 V_{psub} 下, 器件的击穿电压随着 L_d 的增加而提高, 并在 L_d 增加到一定程度时器

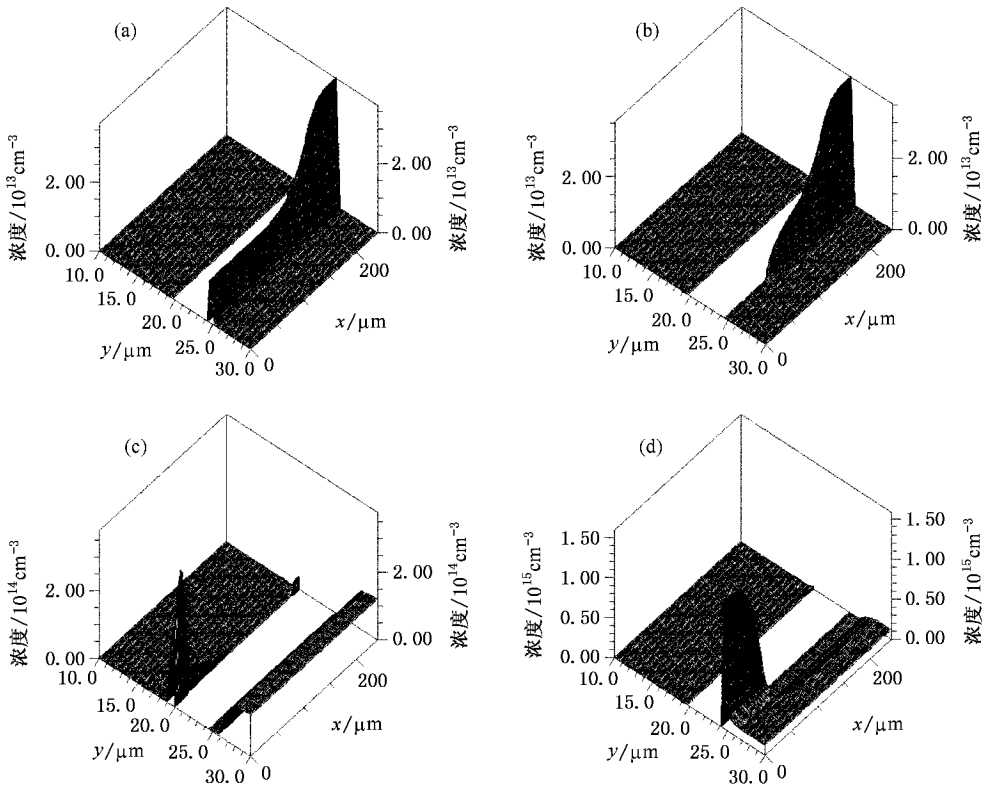


图3 二维(a)电子($V_{psub} = 0\text{ V}$, $V_D = 690\text{ V}$)(b)电子($V_{psub} = 300\text{ V}$, $V_D = 986\text{ V}$)(c)空穴($V_{psub} = 0\text{ V}$, $V_D = 690\text{ V}$)(d)空穴($V_{psub} = 300\text{ V}$, $V_D = 986\text{ V}$)浓度分布

件耐压逐渐趋向饱和. 在相同的 L_d 时, 器件的击穿电压随着背栅电压 V_{psub} 的提高, 先增大后减小, 这主要是由于背栅电压的调制作用. 图 4 (b) 给出了不同 p-top 剂量下的变化曲线, 在无 p-top 注入即单 RESURF LDMOS 时, 随着背栅电压的增加, 器件的击穿电压先增加; 在 $V_D > 100\text{ V}$ 时, 由于没有 p-top 层的结终端扩展作用, 使得电力线在较低背栅电压下

便在源侧场板末端集中, 器件击穿电压降低. 随着 p-top 剂量提高, 无背栅效应的 LDMOS 的漏端承受了器件大部分耐压, 导致背栅条件下单区双 RESURF LDMOS 击穿曲线随着 p-top 剂量的提高向右漂移. 对于 $Q_{ptop1,2,3} = 1.2 \times 10^{12}\text{ cm}^{-2}$ 时的 LDMOS, 当 V_{psub} 从 0 V 增加到 300 V 时, 由于源侧耗尽层对耐压的贡献, 器件的击穿电压近似线形增加, 从 690 V

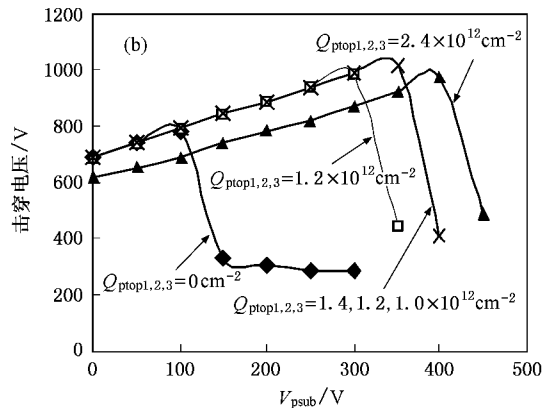
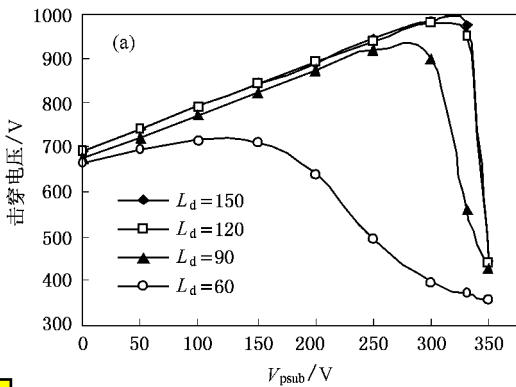


图4 击穿电压随背栅电压的变化关系 (a)不同漂移区长度;(b)不同 p-top 剂量



增加到 986 V. 当 V_{psub} 继续增加到 350 V 时, 器件击穿电压陡降为 440 V, 击穿发生在栅侧场板末端硅表面处. 而采用基于多区^[11]、VLD (variation of lateral doping)^[12] 或 SJ (super junction)^[13,14] 技术的双 RESURF LDMOS, 可提高器件漂移区中部的电场, 避免器件过早的在栅侧场板末端发生击穿, 从而进一步提高器件的击穿电压. 从图 4 (b) 中可以看出, 采用三区双 RESURF LDMOS, 在背栅电压为 330 V 时, 可实现器件击穿电压 1020 V, 较习用结构提高 47.83%.

图 5 给出了有、无背栅效应时, $Q_{\text{ptopl}23} = 1.2 \times 10^{12} \text{cm}^{-2}$ 的单区双 RESURF LDMOS 击穿时表面、体内、界面处的横向电场分布. 图 5 (a) 给出了 $V_{\text{psub}} = 300 \text{V}$, $V_{\text{psub}} = 0 \text{V}$ 时器件击穿时的表面电场分布. 当 $V_{\text{psub}} = 300 \text{V}$ 时, 在源侧 $P_{\text{well}}/N_{\text{epi}}$ 冶金结、以及栅极

场板末端出现两个新的表面电场峰值, 较 $V_{\text{psub}} = 0 \text{V}$ 时抬高了器件源侧表面电场, 器件的击穿电压从 690 V 提高到 986 V. 图 5 (b) (c) 分别给出了 $V_{\text{psub}} = 300 \text{V}$, $V_{\text{psub}} = 0 \text{V}$ 时, LDMOS 击穿时器件 $y = 10 \mu\text{m}$, $y = 20 \mu\text{m}$ 处的电场分布. 在 $y = 10 \mu\text{m}$, $x = 0-125 \mu\text{m}$, $V_{\text{psub}} = 300 \text{V}$ 时, 器件体内电场高于 $V_{\text{psub}} = 0 \text{V}$ 时. 而在 S 与 I 层界面处, 源侧体内场也亦由于背栅电压的影响而提高.

图 6 (a) (b) (c) 分别给出了 $V_{\text{psub}} = 300 \text{V}$, $V_{\text{D}} = 690 \text{V}$; $V_{\text{psub}} = 0 \text{V}$, $V_{\text{D}} = 690 \text{V}$ 时, 器件源侧 $x = 20 \mu\text{m}$ 、漂移区中部 $x = 120 \mu\text{m}$ 、漏侧 $x = 220 \mu\text{m}$ 处的纵向电场分布. 从图中可以看出, 由于背栅电压的作用, 使体内电场重新分配, 将漏端的高电势引向源端低场区, 使得更多的等势线向源端扩展, 源侧电场

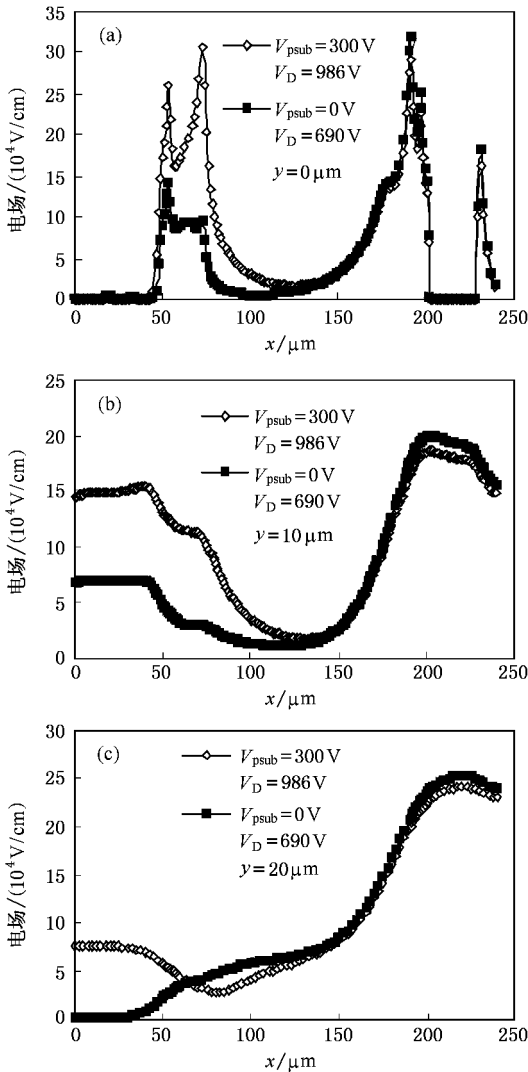


图 5 横向电场分布 (a) $y = 0 \mu\text{m}$ (b) $y = 10 \mu\text{m}$ (c) $y = 20 \mu\text{m}$

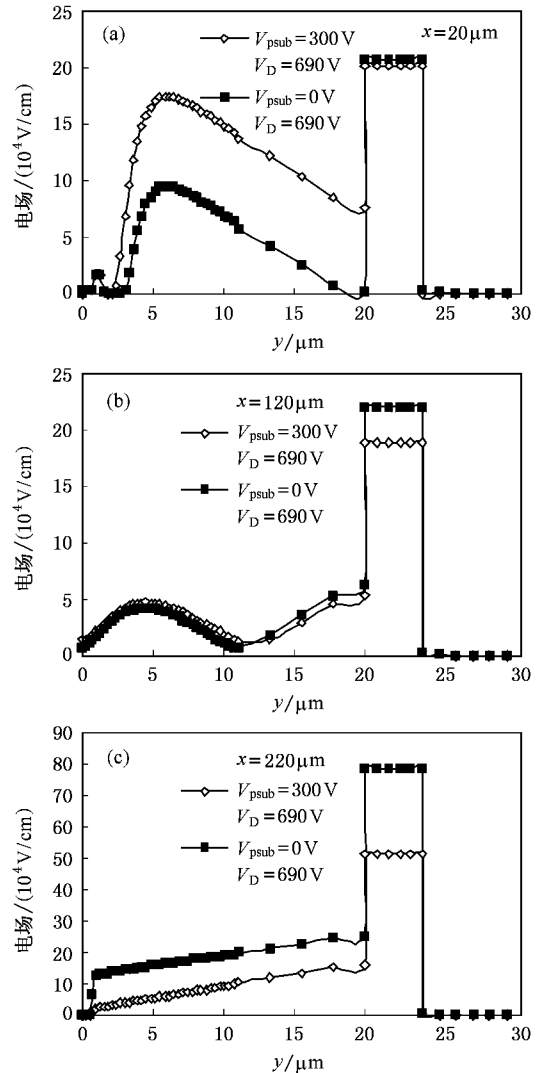


图 6 纵向电场分布 (a) $x = 0 \mu\text{m}$ (b) $x = 120 \mu\text{m}$ (c) $x = 220 \mu\text{m}$

明显提高(如图 6(a)),漏侧电场明显降低(如图 6(c))这就是 BG REBULF 的原理. 由于在 690 V 时漏端体内电场未达到硅的临界击穿电场,因此器件并没有发生击穿. 随着漏极电压 V_D 进一步提高,器件漏侧电场逐渐增加,从而承担更多耐压,使得器件击穿电压提高.

利用背栅效应提高 LDMOS 结构耐压的方法,与文献 [15] 的思想很类似,不同点在于本文是利用 SOI 的背栅效应提高器件的击穿电压,为 SOI 基 BG REBULF 新耐压技术. 而文献 [15] 是用于硅基的耐压技术,其通过嵌入在高阻衬底中的 n^+ 浮空层的等电位调制作用,提高源端体内低电场而降低漏端体内高电场使纵向电场重新分配,进而使器件耐压得以提高. 这种 SOI 基 BG REBULF 技术是一种新的终端技术,与 RESURF 降低表面电场的作用等同,两者同时使用可以解决 SOI 基高压器件的纵向和横向耐压的问题,进而提高器件的击穿电压. 该技术与标准高压 SOI 工艺同,可直接用于习用厚膜 SOI 结构,

无需采用文献 [1—10] 中涉及的额外工艺,节约了芯片成本.

4. 结 论

本文提出一种利用背栅效应降低 SOI 基横向高压器件体内场的新耐压技术——BG REBULF 技术. 该技术利用 SOI 基高压器件的背栅电压调制作用,将漏端的高电场重新分配,使得器件纵向耐压由漏下方的 S 层耗尽层、I 层、和衬底耗尽层,源下方的 S 层耗尽层和 I 层共同承担. 降低体内漏端电场,提高源端体内电场,从而突破习用结构的纵向耐压限制,提高器件的击穿电压. 借助二维数值仿真,在背栅电压为 330 V 时,实现 SOI 基三区双 RESURF LDMOS 击穿电压 1020 V,较习用结构提高 47.83%. 该技术的提出,为 600 V 以上级 SOI 基高压功率器件和高压集成电路的实现提供了一种新的设计思路.

- [1] Udrea F, Trajkovic T, Amaratunga G A J 2004 *Proc. of IEDM* 451
- [2] Zheng Z S, Liu Z L, Zhang G Q, Li N, Fan K, Zhang E X, Yi W B, Chen M, Wang X 2005 *Acta Phys. Sin.* **54** 348 (in Chinese) [郑中山、刘忠立、张国强、李 宁、范 楷、张恩霞、易万兵、陈 猛、王 曦 2005 物理学报 **54** 348]
- [3] Zheng Z S, Liu Z L, Zhang G Q, Li N, Fan K, Zhang E X, Yi W B, Chen M and Wang X. 2005 *Chin. Phys.* **14** 565
- [4] Merchant S, Arnold E, Baumgart H, Mukherjee S, Pein H, Pinker R 1991 *Proc. of ISPSD* 31
- [5] Funaki H, Yamaguchi Y, Hirayama K, Hirayama K, Nakagawa A 1998 *Proc. of ISPSD* 25
- [6] Rotter T, Stoisiek M 2004 *Proc. of IEDM* 447
- [7] Akiyama H, Yasuda N, Moritani J, Takanashi K, Majumdar G 2004 *Proc. of ISPSD* 375
- [8] Udrea F, Trajkovic T, Lee C, Garner D, Yuan X, Joyce J, Udugampola N, Bonnet G, Coulson D, Jacques R, Jzajlowicz M, Van D D S N, Ansari Z, Moysse P, Amaratunga G A J 2005 *Proc. of ISPSD* 267
- [9] Luo X R, Li Z J, Zhang B *et al* 2005 *Chinese Journal of Semiconductors* **26** 2154 (in Chinese) [罗小蓉、李肇基、张 波等 2005 半导体学报 **26** 2154]
- [10] Luo X R, Li Z J, Zhang B *et al* 2006 *Chinese Journal of Semiconductors* **27** 115 (in Chinese) [罗小蓉、李肇基、张 波等 2006 半导体学报 **27** 115]
- [11] Qiao M, Fang J, Xiao Z Q, Zhang B, Li Z J 2006 *Chinese Journal of Semiconductors* **27** 1447 (in Chinese) [乔 明、方 健、肖志强, 张 波、李肇基 2006 半导体学报 **27** 1447]
- [12] Chen X B, Fan X F. Optimum VLD makes SPIC better and cheaper 2001 *Proc. of ICSICT* 104
- [13] Chen X B 1993 US patent 5216275
- [14] Fang J, Qiao M, Li Z J 2006 *Acta Phys. Sin.* **55** 3656 (in Chinese) [方 健、乔 明、李肇基 2006 物理学报 **55** 3656]
- [15] Zhang B, Duan B X, Li Z J 2006 *Chinese Journal of Semiconductors* **27** 730 (in Chinese) [张 波、段宝兴、李肇基 2006 半导体学报 **27** 730]

Analysis of the back-gate effect on the breakdown behavior of lateral high-voltage SOI transistors^{*}

Qiao Ming[†] Zhang Bo Li Zhao-Ji Fang Jian Zhou Xian-Da

(College of Microelectronics and solid-state Electronics , University of Electronic Science and Technology , Chengdu 610054 , China)

(Received 12 November 2006 ; revised manuscript received 14 December 2006)

Abstract

A novel back-gate reduced bulk field concept which makes a breakthrough in improving the vertical breakdown voltage of high voltage SOI transistors is proposed. The mechanism of the improved breakdown characteristics is that the electric field distributions of the active region are modulated by the interface charges induced by the back-gate voltage. The bulk electric field at the drain side is reduced , the bulk electric field at the source side is increased , and the breakdown voltage of the high voltage SOI device is improved. The impact of the back-gate bias on thick film SOI LDMOS (over 600 V) is discussed via two-dimensional simulations. When the back-gate bias is 330V , the breakdown voltage of the three-zone SOI double RESURF LDMOS is 1020V , which is 47.83% greater than that of a conventional LDMOS. The novel concept presents a new method for realizing over 600 V high voltage power device and high voltage integrated circuit.

Keywords : SOI , back-gate , reduced BULK field , LDMOS

PACC : 6120J , 7340Q

^{*} Project supported by the State Key Program of National Natural Science of China (Grant No. 60436030) and the National Key Laboratory of Analogue Integrated Circuits of China (Grant No. 9140C0903010604).

[†] E-mail 2006qiaoming@sohu.com