

控制氧化层对双势垒纳米硅浮栅 存储结构性能的影响*

丁宏林 刘奎 王祥 方忠慧 黄健 余林蔚 李伟 黄信凡 陈坤基†

(南京大学物理系, 固体微结构国家重点实验室, 南京 210093)

(2007 年 11 月 10 日收到, 2007 年 12 月 5 日收到修改稿)

在等离子体增强化学气相沉积(PECVD)系统中, 利用逐层淀积非晶硅(a-Si)和等离子体氧化相结合的方法制备二氧化硅(SiO₂)介质层. 电容电压(C-V)和电导电压(G-V)测量结果表明, 利用该方法在低温(250 °C)条件下制备的 SiO₂ 介质层均匀致密, 其固定氧化物电荷和界面态密度分别为 $9 \times 10^{11} \text{ cm}^{-2}$ 和 $2 \times 10^{11} \text{ cm}^{-2} \cdot \text{eV}^{-1}$, 击穿场强达 4.6 MV/cm, 与热氧化形成的 SiO₂ 介质层的性质相当. 将该 SiO₂ 介质层作为控制氧化层应用在双势垒纳米硅(nc-Si)浮栅存储结构中, 通过调节控制氧化层的厚度, 有效阻止栅电极与 nc-Si 之间的电荷交换, 延长存储时间, 使存储性能得到明显改善.

关键词: 等离子体氧化, 二氧化硅, 纳米硅, 控制氧化层

PACC: 7335, 7360, 8170

1. 引言

随着信息社会的迅猛发展, 信息的存储显得至关重要, 人们对存储器尤其是非挥发性闪存(flash memory)的需求呈指数增长. 到目前为止, 已发展了多种存储器单元结构. 纳米硅(nc-Si)浮栅存储器由于具有单元面积小、工作电压低、编程速度快、功率损耗少等优点被认为是最具有应用前景的新一代高密度、低功耗闪存结构存储器件, 引起了人们广泛的研究兴趣^[1-6]. 在这种结构的存储器中, nc-Si 晶粒镶嵌于控制介质层和隧穿介质层之间作为电荷存储单元. 在栅极偏压控制下, 沟道中的电荷可以通过超薄隧穿介质层进出 nc-Si 晶粒, 使阈值电压发生偏移, 从而达到存储信息的功能. 在 nc-Si 浮栅存储器结构单元中, 高密度 nc-Si 量子点的制备和高性能介质层的获得是其中的两个核心技术, 而后者直接决定了器件的存储保留时间、读写速度、工作电压和可靠性等关键特性. 目前, 大多数研究者将目光集中在高质量超薄隧穿介质层的制备上, 以期改善器件的擦写时间和电荷保留时间之间的矛盾. 但对于同等

重要的控制介质层却研究得很少. 我们发现, 如果控制介质层较薄, 由于隧穿效应, 在 nc-Si 浮栅和栅电极之间将形成电荷传输的通道, 降低电荷存储时间; 并且当器件在负偏压下擦除时, 有电子从栅电极通过控制介质层进入 nc-Si 中, 在下次写入时影响写入的电子数量, 使存储器性能下降. 一般采用低压化学气相沉积(LPCVD)SiO₂ 层作为厚控制介质层^[6], 但得到的 SiO₂ 针孔密度较大.

在我们以往的工作中成功地在等离子体增强化学气相沉积(PECVD)系统中利用低温等离子体氧化的方法原位制备了高质量超薄隧穿氧化层和控制氧化层^[7]. 然而, 仅仅利用等离子体氧化的方法在 nc-Si 层上无法直接获得较厚的控制氧化层.

本文提出在 PECVD 系统中, 采用逐层淀积非晶硅(a-Si)和紧接着氧化的方法制备较厚的 SiO₂ 介质层. 实验结果表明, 利用该方法能够在低温条件下制备出与热氧化形成的 SiO₂ 膜性质相当、均匀致密的 SiO₂ 介质膜. 通过调节淀积和氧化的周期数, 可以很好地控制 SiO₂ 介质层的厚度. 为了验证该 SiO₂ 介质膜的质量及其对器件性能的影响, 将该 SiO₂ 介质膜作为控制氧化层应用在双势垒 nc-Si 浮栅存储结构

* 国家自然科学基金(批准号 90301009, 60571008), 国家重大科学研究计划项目(批准号 2006CB932202)资助的课题.

† 通讯联系人. E-mail: kichen@netra.nju.edu.cn

中,进行存储性能的检测.

2. 实 验

2.1. 厚控制栅 SiO₂ 介质层的制备

在 PECVD 系统中,由于氧化速率的限制很难直接通过等离子体氧化 a-Si 薄膜得到较厚的 SiO₂ 介质层,因此我们首先淀积一层厚度约为 1 nm 的 a-Si 薄膜,然后用等离子体氧化,使 a-Si 层变成 SiO₂ 层,多次重复淀积和氧化过程可获得所需厚度的 SiO₂ 介质层.淀积 a-Si 层时采用氩气(Ar)稀释的硅烷(SiH₄)气体作气源,淀积速率约为 0.13 nm/s.氧化则使用纯氧(O₂)气体.衬底温度为 250 °C,射频源频率为 13.56 MHz,功率为 50 W.每个周期淀积和氧化的时间分别为 10 s 和 2 min,重复 10 个周期得到厚栅 SiO₂ 介质层.淀积和氧化的时间是在多次实验基础上确定的,保证一次淀积的 a-Si 层完全被氧化形成 SiO₂ 介质层.

制备样品的衬底为 <100> 晶向的 p 型硅(Si),电阻率 1—3 Ω·cm.在样品制备前,所有的衬底都用标准的 RCA 清洗液清洗,并且用稀释的氢氟酸除去了表面的自然氧化层.

2.2. 双势垒 nc-Si 浮栅存储结构的制备

在 PECVD 系统中原位制备具有不同厚度控制氧化层的两组 SiO₂/nc-Si/SiO₂ 双势垒浮栅存储结构.一组是淀积一层 a-Si 薄膜并等离子体氧化,多次重复淀积和氧化过程制备的厚控制氧化层;另一组是直接通过等离子体氧化方法在 nc-Si 层上制备厚度约为 3 nm 的薄控制氧化层.两种存储结构具有相同的隧穿氧化层和 nc-Si 层,分别为 2 nm 和 6 nm.隧穿氧化层是对衬底直接等离子体氧化形成的,而 nc-Si 层是采用大氢稀释的硅烷气体生长的,具体制备过程已在文献 [7] 中进行了详细的报道.为了便于比较分析,我们将具有厚控制氧化层的存储结构标记为存储器 A,而存储器 B 的控制氧化层较薄.所有样品生长后,在 N₂ 气氛中 900 °C 退火 30 min.

用于电学测量的样品上下表面蒸铝做电极制成 MOS 结构,其上电极的面积为 3.1 × 10⁻² mm².为使下电极形成良好的欧姆接触,蒸好铝电极的样品在 400 °C N₂ 保护下进行合金化处理 20 min.

利用 GES-5 椭圆偏振仪测量了 SiO₂ 介质层的厚度;在室温下利用 HP4284A 型阻抗分析仪和

HP4156C 精密半导体参数分析仪测量了 SiO₂ 介质层的电学性质,测量了两种 nc-Si 浮栅存储结构的存储特性.

3. 结果与讨论

我们首先对制备的 SiO₂ 介质层进行结构和电学性能检测.椭圆偏振仪测量 SiO₂ 介质层的厚度为 30 ± 0.2 nm.我们所制备的 SiO₂ 薄膜 MOS 结构的变频 C-V 特性曲线如图 1 所示.测量时,栅极电压从 -10 V(积累区)向 +10 V(反型区)扫描再返回到 -10 V,交流信号的频率在 1 MHz 和 1 kHz 之间.

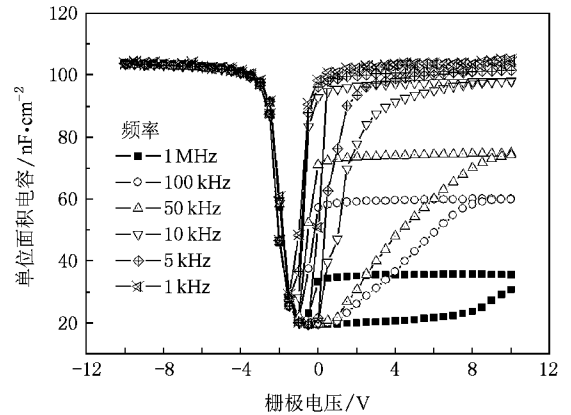


图 1 SiO₂ 介质层的变频 C-V 特性曲线

图中显示了典型的 MOS 结构 C-V 特性.利用最大电容法,得到 SiO₂ 介质层的厚度为 28.8 nm,这与通过椭圆偏振法测得的 30 ± 0.2 nm 基本符合,在下面的计算过程中,我们取膜厚为 30 nm.通过 1/C²-V 曲线得到样品的平带电压 V_{FB} 为 -2.1 V^[8],利用公式

$$N_f = -\frac{\epsilon_r \epsilon_0}{q} \cdot \frac{(V_{FB} - \phi_{MS})}{d_{ox}} \quad (1)$$

计算其固定电荷密度 N_f^[9].其中 φ_{MS} 为 Al-Si 功函数差,此处取 -0.9 eV;ε_r 为 SiO₂ 相对介电常数,取 3.9;ε₀ = 8.86 × 10⁻¹⁴ F/cm,为真空介电常数;q = 1.6 × 10⁻¹⁹ C,为电子电量;d_{ox} 是 SiO₂ 膜厚.计算结果表明,我们制备的 SiO₂ 介质层的固定电荷密度为 9 × 10¹¹ cm⁻².

采用 Hill 提出的电导峰法测量样品的界面态密度^[10].其公式为

$$N_{it} = \frac{2}{qA} \frac{G_{m, \max} / \omega}{\left(\frac{G_{m, \max}}{\omega C_{ox}} \right)^2 + \left(1 - \frac{C_m}{C_{ox}} \right)^2}, \quad (2)$$

其中 $G_{m, \max}$ 是 $G-V$ 曲线的峰值, C_m 为与之对应的电容值, C_{ox} 为氧化层电容, A 为电极面积, ω 为测试频率. 我们测量的 $G-V$ 特性曲线如图 2 所示, 测试频率为 10 kHz. 计算结果表明: 我们所制备的 SiO_2 界面态密度为 $2 \times 10^{11} \text{ cm}^{-2} \cdot \text{eV}^{-1}$. 利用连续升压击穿法测得 SiO_2 介质层击穿场强为 4.6 MV/cm.

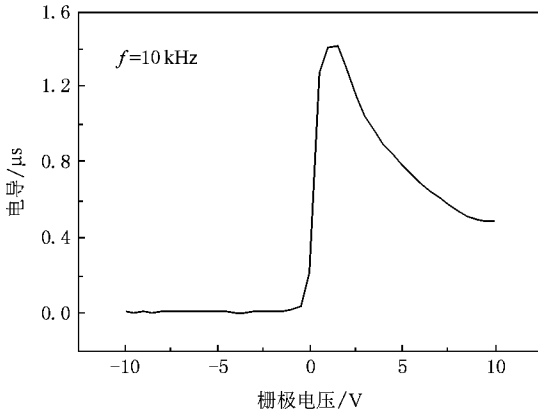


图 2 SiO_2 介质层的 $G-V$ 特性曲线

以上对 SiO_2 介质层进行的一系列研究表明: 我们利用逐层淀积 a-Si 和等离子体氧化相结合的方法制备的 SiO_2 介质层均匀致密并且达到一定的厚度, 能够满足 nc-Si 浮栅存储器对控制氧化层的要求. 因此, 我们将该 SiO_2 介质层作为一种厚控制氧化层应用到双势垒 nc-Si 浮栅存储结构中, 研究其对存储性能的影响, 并与薄控制氧化层进行比较.

图 3 是存储器 A 的剖面透射电子显微镜 (X-TEM) 照片. 可以看到, 各层之间界面清晰, 隧穿氧化层、nc-Si 层以及控制氧化层的厚度分别约为 2 nm, 6 nm 和 30 nm, 与设计值一致. nc-Si 的高分辨电子显微镜照片 (见插图) 显示出清晰的晶格像, 表明形成了 nc-Si 晶粒.

为研究控制氧化层对 nc-Si 浮栅存储器性能的影响, 我们对存储器 A 和 B 的高频 $C-V$ 特性进行比较研究. 所有测量均在 1 MHz 下进行. 我们定义电压从积累区 (负电压) 向反型区 (正电压) 扫描为正向扫描, 反之为反向扫描.

为了观察控制氧化层对电子注入、存储的影响, 我们固定开始扫描时的积累区起始电压 -5 V 不变, 逐渐增大返回时的起始正电压 (即从 4 V 增至 10

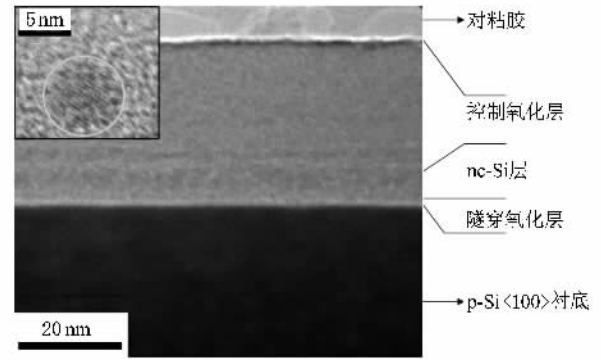


图 3 存储器 A 的剖面电子显微镜照片 (插图为 nc-Si 的高分辨电子显微镜照片)

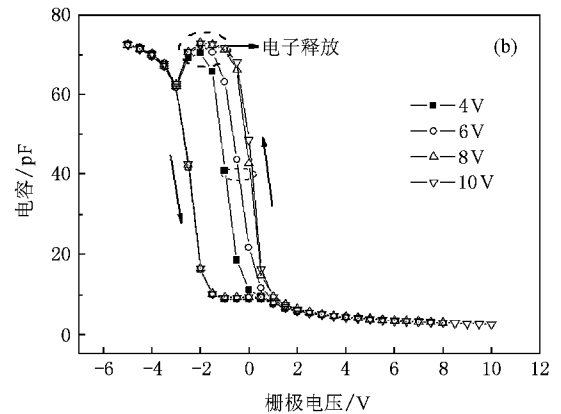
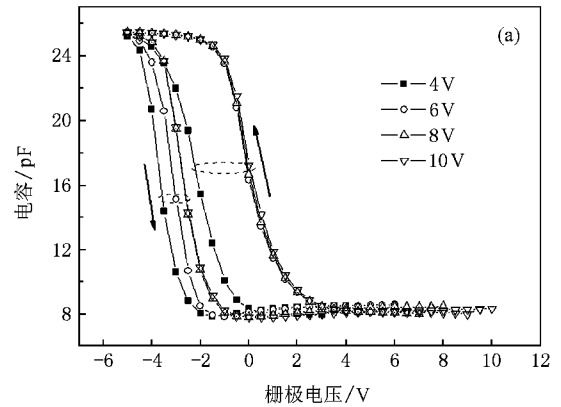


图 4 (a) 存储器 A 的不同反向扫描起始电压下的 $C-V$ 特性曲线; (b) 存储器 B 的不同反向扫描起始电压下的 $C-V$ 特性曲线

V), 作一系列 $C-V$ 测量, 如图 4 所示. 图 4(a) (b) 分别为存储器 A 和 B 的 $C-V$ 特性曲线. 从图中我们可以看到: 对于存储器 A, $C-V$ 回滞曲线表现出了理想的电子注入存储现象. 而对于存储器 B, 在负向扫描过程中, 出现了一个明显的电容峰, 这是由于在正电压下从硅衬底注入进 nc-Si 中的电子在负向扫描过程中逐步释放所引起的^[11], 说明存储器 B 保留电子

的时间很短.由于两组存储器的隧穿氧化层和 nc-Si 层均相同,故可以初步推断出薄的控制氧化层是漏电的主要途径.

为研究控制氧化层对空穴注入、存储的影响,我们逐渐增大起始扫描时的负偏压(即从 -6 V 增至 -12 V)得到一系列 $C-V$ 特性曲线,如图 5 所示.图 5(a)(b)分别对应存储器 A 和 B.从图 5(a)可以看到,由于较大的负栅极偏压的作用,空穴从衬底隧穿进入 nc-Si 中,使得正向扫描时的 $C-V$ 曲线向左偏移,引起 $C-V$ 回滞窗口.负电压越大,隧穿进入 nc-Si 中的空穴越多,回滞窗口越大.而对于存储器 B,我们却没有看到空穴的注入存储现象,如图 5(b)所示.这是因为存储器 B 的控制氧化层较薄,在负向偏压下,有少量电子从栅电极通过控制氧化层隧穿进入 nc-Si 中,使得正向扫描时的 $C-V$ 曲线略微向右偏移.仔细观察比较图 5(b)中的系列 $C-V$ 曲线,可以发现,当起始电压为 -10 V 时,负向扫描时的 $C-V$ 曲线与其余三条(-7 V , -8 V , -9 V)相比明显向左偏移.这说明,在相同的正向偏压下,注入进 nc-Si 中的电子数减少了.这是由于当 nc-Si 阵列中一部分 nc-Si 存储有电子后,该 nc-Si 及其周围电势升高,由于库仑阻塞作用,要想使 nc-Si 阵列存储相同数目的电子就需要更高的栅极电压.这种现象是不利于存储器实用化的.因为,当器件在实际使用时,其擦写电压是固定的,而且需要经过多次的擦写操作,当负偏压下的擦除操作引起电子从栅电极通过控制氧化层隧穿进入 nc-Si 晶粒后,在下次执行写操作时,存储进 nc-Si 中的电子数目减少,使得存储窗口变小,从而可能导致逻辑值发生混乱,器件性能下降甚至失效.

从上面的对比实验中,可以看到,当采用逐层淀积非晶硅(a-Si)和等离子体氧化相结合的方法增加了控制氧化层的厚度后,能有效阻止栅电极与 nc-Si 之间的电荷交换,延长存储时间,存储性能得到明显改善.因此,在 nc-Si 浮栅存储器中,一定厚度的高质量 SiO_2 控制氧化层对器件性能的改善是十分显著的.我们提出的利用逐层淀积 a-Si 和等离子体氧化相结合的方法制备的 SiO_2 介质层具有较低的固定电荷和界面态密度,均匀致密并且达到一定的厚度,

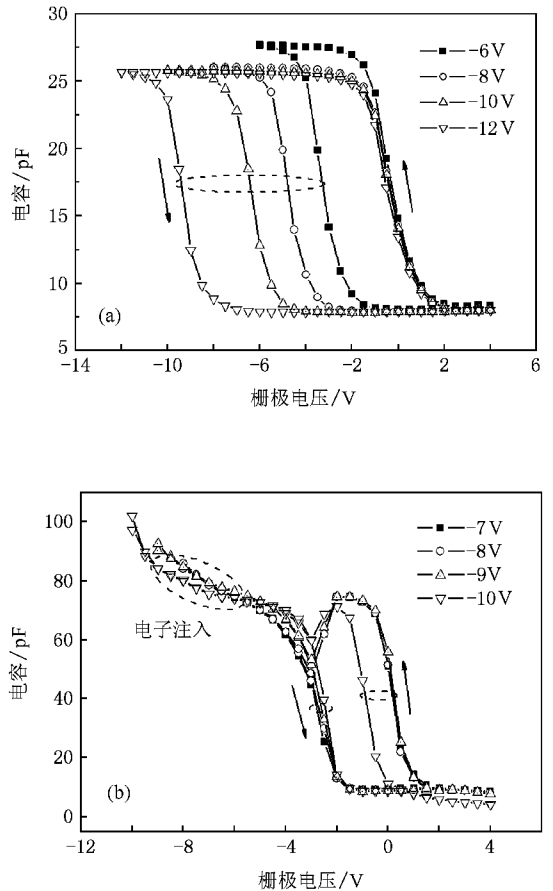


图 5 (a)存储器 A 的不同正向扫描起始电压下的 $C-V$ 特性曲线;(b)存储器 B 的不同正向扫描起始电压下的 $C-V$ 特性曲线

完全能满足 nc-Si 浮栅存储器对控制氧化层的要求.

4. 结 论

我们通过淀积一层 a-Si 薄膜,紧接着用等离子体氧化方法使其变成 SiO_2 层,多次重复淀积和氧化过程制备了具有一定厚度的 SiO_2 介质层.该 SiO_2 介质层均匀致密,其固定氧化物电荷和界面态密度分别为 $9 \times 10^{11} \text{ cm}^{-2}$ 和 $2 \times 10^{11} \text{ cm}^{-2} \cdot \text{eV}^{-1}$,击穿场强达 4.6 MV/cm ,与热氧化形成的 SiO_2 介质层的性质相当.将该 SiO_2 介质层作为控制氧化层应用到双势垒 nc-Si 浮栅存储结构中,通过调节控制氧化层的厚度,有效阻止栅电极与 nc-Si 之间的电荷交换,延长电荷存储时间,使存储性能得到明显改善.

- [1] Tiwari S , Rana F , Hanafi H , Hartstein A , Crabbé E F , Chan K 1996 *Appl. Phys. Lett.* **68** 1377
- [2] Ikeda M , Shimizu Y , Murakami H , Miyazaki S 2003 *Jpn. J. Appl. Phys.* **42** 4134
- [3] Park S , Cha Y K , Cha D , Park Y , Yoo I K , Lee J H , Seol K S , Choia S H 2006 *Appl. Phys. Lett.* **89** 033122
- [4] Wang J M , Chen K J , Song J , Yu L W , Wu L C , Li W , Huang X F 2006 *Acta Phys. Sin.* **55** 6080 (in Chinese) [王久敏、陈坤基、宋捷、余林蔚、吴良才、李伟、黄信凡 2006 物理学报 **55** 6080]
- [5] Oda S , Huang S Y , Salem M A , Hippo D , Mizuta H 2007 *Physica E* **38** 59
- [6] Nayfeh O M , Antoniadis D A , Mantey K , Nayfeh M H 2007 *Appl. Phys. Lett.* **90** 153105
- [7] Wu L C , Chen K J , Yu L W , Dai M , Ma Z Y , Han P G , Li W , Huang X F 2005 *Chinese Physics Letter* **22** 733
- [8] Bhat V K , Bhat K N , Subrahmanyam A 2000 *Semicond. Sci. Technol.* **15** 883
- [9] Guo W L 1989 *Interface physics of silicon and silicon dioxide* (Beijing : Publishing House of National Defence Industry) 50 (in Chinese) [郭维廉 1989 硅-二氧化硅界面物理 (北京 : 国防工业出版社) 第 50 页]
- [10] Hill W A , Coleman C C 1979 *Solid-State Electronics* **23** 987
- [11] Panchaipetch P , Ichikawa K , Uraoka Y , Fuyuki T , Tomyo A , Takahashi E , Hayashi T 2006 *J. Vac. Sci. Technol. B* **24** 1271

Effect of control oxide on the performance of nanocrystalline silicon based double-barrier floating gate memory structure^{*}

Ding Hong-Lin Liu Kui Wang Xiang Fang Zhong-Hui Huang Jian

Yu Lin-Wei Li Wei Huang Xin-Fan Chen Kun-Ji[†]

(National Laboratory of Solid State Microstructures and Department of Physics , Nanjing University , Nanjing 210093 , China)

(Received 10 November 2007 ; revised manuscript received 5 December 2007)

Abstract

The silicon dioxide (SiO_2) film was fabricated from layer-by-layer depositing amorphous silicon (a-Si) film combined with step-by-step plasma oxidation in the plasma-enhanced chemical vapor deposition (PECVD) system. The capacitance-voltage ($C-V$) and conductance-voltage ($G-V$) characteristics show that the fixed charge and interface state densities of the SiO_2 film are $9 \times 10^{11} \text{ cm}^{-2}$ and $2 \times 10^{11} \text{ cm}^{-2} \cdot \text{eV}^{-1}$, respectively. Furthermore , the breakdown field strength is as high as 4.6 MV/cm , which is comparable to that formed by hot oxidation. The prepared SiO_2 is employed as control oxide in nc-Si based double-barrier floating gate memory structure and is found to be an effective way to prevent the charge exchange between the gate electrode and nc-Si , which also lead to an enhancement in the retention time. The improved performance of the memory is discussed and is ascribe to the moderate-thickness of SiO_2 as well as its excellent electrical properties.

Keywords : plasma oxidation , silicon dioxide , nanocrystalline silicon , control oxide

PACC : 7335 , 7360 , 8170

^{*} Project supported by the National Natural Science Foundation of China (Grant Nos. 90301009 , 60571008) , the National Major Fundamental Research Program of China (Grant No. 2006CB932202).

[†] Corresponding author , E-mail : kjchen@netra.nju.edu.cn